オーディオ IC

オーディオサウンドコントロール IC

BD3859AFV

BD3859AFV は、CD ラジカセ、ミニコンポ等の音量・音質制御用に開発した信号処理用 IC です。2 線シリアル制御により、マイコンから容易に音量・音質をコントロールすることができます。SSOP-B40 パッケージに、ダイナミックバス・電子ボリウム・トーンコントロール・4 入力セレクタ・入力ゲインアンプが 1chip に内蔵され、セットの小型化への対応が可能です。

●用途

CD ラジカセ、ミニコンポ用

●特長

1) ダイナミックバスブーストによってブースト量が抑圧可能。
2) 電子ボリウムには抵抗ラダー型ボリウムを採用することにより最大減衰量 –97.5dB (IHF-A) を実現。
3) ボリウム切替ノイズが小さい。
   入力 : 0~–31dB (1dB ステップ)
   出力 : 0~–56dB (4dB ステップ)
4) 動作電源電圧範囲が広い : 4.5V~9.5V。
5) トーンコントロール可能 (バス、トレブル)。
   –10dB~+10dB (2dB ステップ)
6) 4 入力セレクタ内蔵。
7) 入力ゲインアンプ内蔵。
   0~+14dB (2dB ステップ)

●絶対最大定格 (Ta=25°C)

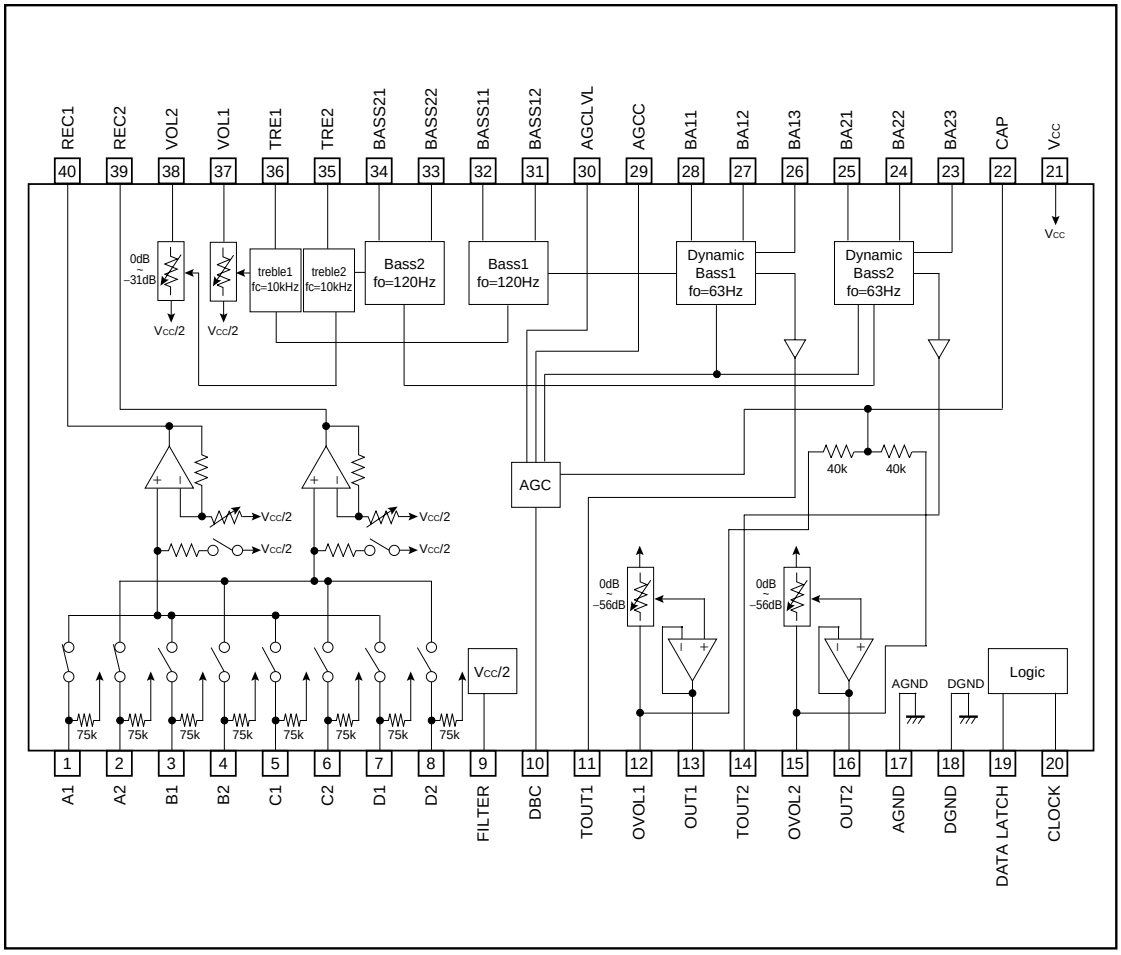
Parameter	Symbol	Limits	Unit
電源電圧	V_{CC}	10	V
許容損失	Pd	900*	mW
動作温度範囲	Topr	–25~+75	°C
保存温度範囲	Tstg	–55~+125	°C

*Ta=25°C**以上で使用する場合は、**1°C**につき**9mW**を減じる。**

●推奨動作条件 (Ta=25°C)

Parameter	Symbol	Min.	Typ.	Max.	Unit
電源電圧	V_{CC}	4.5	–	9.5	V

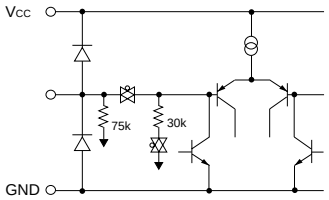
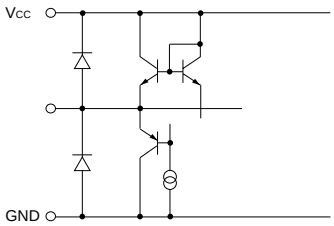
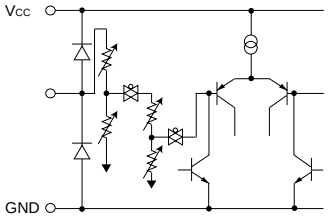
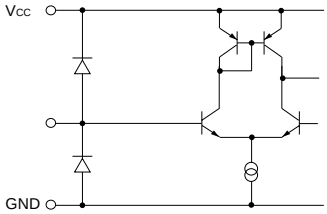
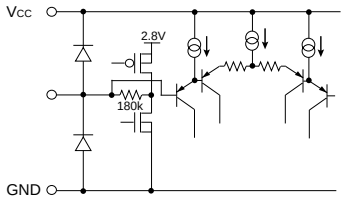
●ブロックダイアグラム

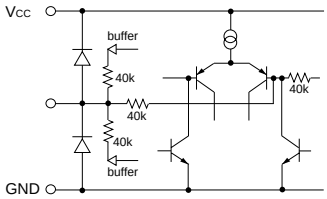
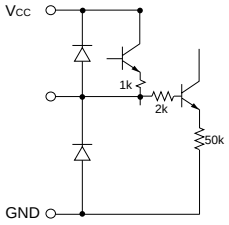
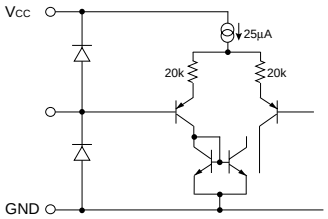
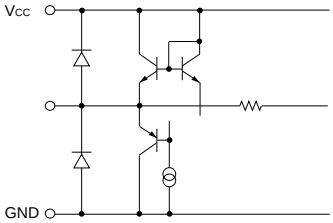
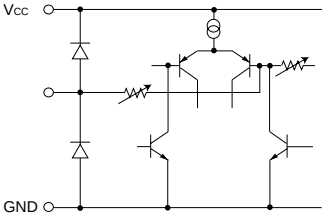

REC1
REC2
VOL2
VOL1
TRE1
TRE2
BASS21
BASS22
BASS11
BASS12
AGCLVL
AGCC
BA11
BA12
BA13
BA21
BA22
BA23
CAP
Vcc
40
39
38
37
36
35
34
33
32
31
30
29
28
27
26
25
24
23
22
21
0dB ~ −31dB
Vcc/2
treble1 fc=10kHz
treble2 fc=10kHz
Bass2 fo=120Hz
Bass1 fo=120Hz
Dynamic Bass1 fo=63Hz
Dynamic Bass2 fo=63Hz
AGC
40k
40k
0dB ~ −56dB
75k
AGND
DGND
Logic
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
A1
A2
B1
B2
C1
C2
D1
D2
FILTER
DBC
TOUT1
OVOL1
OUT1
TOUT2
OVOL2
OUT2
AGND
DGND
DATA LATCH
CLOCK

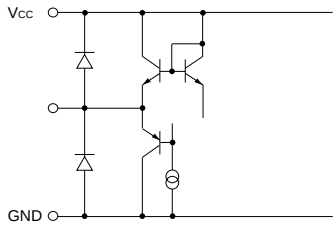
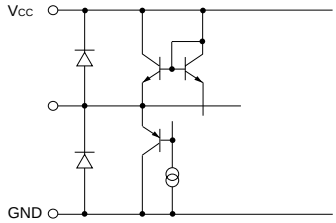
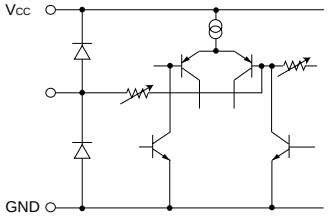
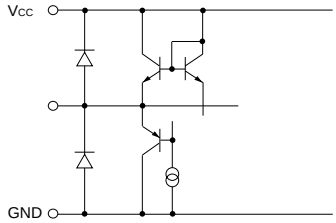
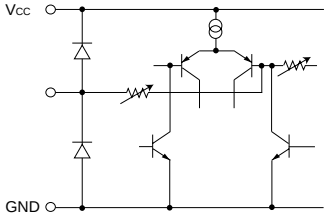
●端子説明

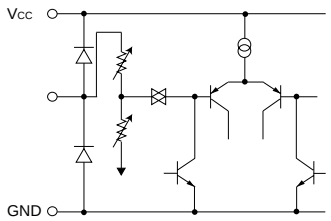
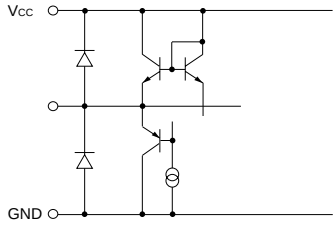
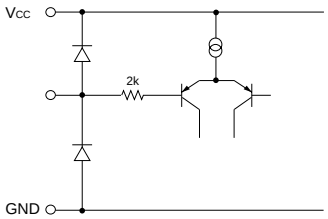
Pin No.	Pin name	Function	Pin No.	Pin name	Function
1	A1	CH1 入力端子A	21	Vcc	電源端子
2	A2	CH2 入力端子A	22	CAP	ダイナミックバスデテクトフィルタ端子
3	B1	CH1 入力端子B	23	BA23	CH2 ダイナミックバスフィルタ設定端子
4	B2	CH2 入力端子B	24	BA22	CH2 ダイナミックバスフィルタ設定端子
5	C1	CH1 入力端子C	25	BA21	CH2 ダイナミックバスフィルタ設定端子
6	C2	CH2 入力端子C	26	BA13	CH1 ダイナミックバスフィルタ設定端子
7	D1	CH1 入力端子D	27	BA12	CH1 ダイナミックバスフィルタ設定端子
8	D2	CH2 入力端子D	28	BA11	CH1 ダイナミックバスフィルタ設定端子
9	FILTER	フィルタ端子	29	AGCC	AGC 時定数設定端子
10	DBC	ダイナミックバスリフトスイッチの時定数設定端子	30	AGCLVL	AGC をかけるしきい値設定端子
11	TOUT1	CH1 トーン出力端子	31	BASS12	CH1 バスフィルタ設定端子
12	OVOL1	CH1 アウトプットボリウム入力端子	32	BASS11	CH1 バスフィルタ設定端子
13	OUT1	CH1 出力端子	33	BASS22	CH2 バスフィルタ設定端子
14	TOUT2	CH2 トーン出力端子	34	BASS21	CH2 バスフィルタ設定端子
15	OVOL2	CH2 アウトプットボリウム入力端子	35	TRE2	CH2 トレブルフィルタ設定端子
16	OUT2	CH2 出力端子	36	TRE1	CH1 トレブルフィルタ設定端子
17	AGND	アナログ系接地端子	37	VOL1	CH1 インプットボリウム入力端子
18	DGND	デジタル系接地端子	38	VOL2	CH2 インプットボリウム入力端子
19	DATA LATCH	シリアルデータラッチ受信端子	39	REC2	CH2 入力ゲイン出力端子
20	CLOCK	シリアルクロック受信端子	40	REC1	CH1 入力ゲイン出力端子

●入出力回路図

Pin No.	Pin name	Pin voltage	Equivalent circuit	Pin description
1 2 3 4 5 6 7 8	A1 A2 B1 B2 C1 C2 D1 D2	Vcc/2		音声信号入力用端子です。 CD、MD、TUNER、TAPEなどの入力に最適です。
40 39	REC1 REC2	Vcc/2		入力ゲイン出力用端子です。
37 38	VOL1 VOL2	Vcc/2		インプットボリウムへの音声信号入力用端子です。 入力インピーダンスは、ボリウム設定によって31kΩ~32kΩの間で変動します。
9	FILTER	Vcc/2		Vcc/2をIC外部から取り込む端子です。
10	DBC	0 or 2.8V		ショック音防止時定数設定端子です。

Pin No.	Pin name	Pin voltage	Equivalent circuit	Pin description
22	CAP	Vcc/2		ダイナミックバスデテクト フィルタ設定端子です。
29	AGCC	0 or 1.2V		AGCのアタックタイム、リリース タイム設定端子です。
30	AGCLVL	–		AGCをかけるしきい値を設定 する端子です。
25 28	BA21 BA11	Vcc/2		ダイナミックバスブーストの 中心周波数 (fo) 設定用端子です。
24 27	BA22 BA12	Vcc/2		ダイナミックバスブーストの 中心周波数 (fo) 設定用端子です。

Pin No.	Pin name	Pin voltage	Equivalent circuit	Pin description
23 26	BA23 BA13	Vcc/2		ダイナミックバスブーストの中心周波数 (fo) 設定用端子です。
11 14	TOUT1 TOUT2	Vcc/2		トーン信号出力です。
32 34	BASS11 BASS21	Vcc/2		バスの中心周波数 (fo) とゲイン設定用端子です。
31 33	BASS12 BASS22	Vcc/2		バスの中心周波数 (fo) とゲイン設定用端子です。
35 36	TRE2 TRE1	Vcc/2		トレブルのカットオフ周波数 (fc) 設定用端子です。

Pin No.	Pin name	Pin voltage	Equivalent circuit	Pin description
12 15	OVOL1 OVOL2	Vcc/2		アウトプットボリウムへの音声信号入力用端子です。 入力インピーダンスは、36kΩです。(TYP時)
13 16	OUT1 OUT2	Vcc/2		音声信号出力用端子です。 カップリングコンデンサを介して後段回路に接続します。
19 20	DATA LATCH CLOCK	–		シリアルコントロールの入力端子です。
21	Vcc	Vcc	–	電源端子です。
17 18	AGND DGND	0	–	グランド端子です。

●**電気的特性** (特に指定のない限り、V_{CC}=9V, f=1kHz, V_{IN}=1Vrms, RL=10kΩ, Ta=25°C, 入力ゲイン=0dB, VOL=0dB, バス, トレブル, ダイナミックバス=0dB)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions		Measurement circuit
<トータル>								
回路電流	IQ	–	25	38	mA	**無信号時**		Fig.1
出力電圧利得	G_V	–1.5	0.0	1.5	dB		G_V=20log (O_1/V_{IN}) G_V=20log (O_2/V_{IN})	Fig.1
全高調波歪率	THD	–	0.02	0.08	%	V_{IN}=2Vrms 400Hz~30kHz BPF		Fig.1
最大出力電圧	V_{OM}	2.0	2.5	–	Vrms	THD=1%		Fig.1
出力雑音電圧	V_{NO}	–	6.5	15	μVrms	Rg=4.7kΩ, IHF–A		Fig.1
チャネル間クロストーク	CT	–	–80	–70	dB	Rg=4.7kΩ, IHF–A	CT=20log (O_2/O_1) CT=20log (O_1/O_2)	Fig.1
<インプット>								
入力電圧利得 *	Gvmaxl	–1	*1	+1	dB	V_{IN}=400mVrms, From 0 to 14dB	Gvmaxl=20log (G_1/V_{IN}) Gvmaxl=20log (G_2/V_{IN})	Fig.1
入力ゲイン切替ステップ	Gvmaxlst	–	2	–	dB	From 0 to 14dB		Fig.1
INPUT**全高調波歪率**	THD_I	–	0.02	0.08	%	V_{IN}=2Vrms 400Hz~30kHz BPF		Fig.1
INPUT**最大出力電圧**	V_{OMI}	2.0	2.5	–	Vrms	THD=1%		Fig.1
セクター間クロストーク	CS	–	–80	–70	dB	Rg=4.7kΩ, IHF–A	CS=20log (O_1/V_{IN}) CS=20log (O_2/V_{IN})	Fig.1
入力抵抗	R_I	56.2	75	93.8	kΩ		R_I=75kΩ×V_{R1}/(V_{IN}–V_{R1}) R_I=75kΩ×V_{R2}/(V_{IN}–V_{R2})	Fig.1
<インプットボリウム>								
INPUT Volume Gain *	G_{IV}	–1	*1	+1	dB	From 0 to –31dB	G_{IV}=20log (O_1/V_{IN}) G_{IV}=20log (O_2/V_{IN})	Fig.1
INPUT Volume **切替ステップ**	G_{IVst}	–	1	–	dB	From 0 to –31dB		Fig.1
<アウトプットボリウム>								
OUTPUT Volume Gain *	G_{OV}	–2	*1	+2	dB	From 0 to –56dB	G_{OV}=20log (O_1/V_{IN}) G_{OV}=20log (O_2/V_{IN})	Fig.1
OUTPUT Volume **切替ステップ**	G_{OVST}	–	4	–	dB	From 0 to –56dB		Fig.1
MUTE**量**	G_{minO}	–	–	–80	dB	IHF–A	Gmin0=20log (O_1/V_{IN}) Gmin0=20log (O_2/V_{IN})	Fig.1
<バス>								
バスブーストゲイン *	G_{BB}	–2	*1	+2	dB	From 0 to 10dB V_{IN}=500mVrms, f=120Hz	GBB=20log (O_1/V_{IN}) GBB=20log (O_2/V_{IN})	Fig.1
バスカットゲイン *	G_{BC}	–2	*1	+2	dB	From –10 to 0dB V_{IN}=500mVrms, f=120Hz	GBC=20log (O_1/V_{IN}) GBC=20log (O_2/V_{IN})	Fig.1
バス切替ステップ	G_{BST}	–	2	–	dB	From –10 to 0dB V_{IN}=500mVrms, f=120Hz		Fig.1
<トレブル>								
トレブルブーストゲイン *	G_{TB}	–2	*1	+2	dB	From 0 to 10dB V_{IN}=500mVrms, f=10kHz	GTB=20log (O_1/V_{IN}) GTB=20log (O_2/V_{IN})	Fig.1
トレブルカットゲイン *	G_{TC}	–2	*1	+2	dB	From –10 to 0dB V_{IN}=500mVrms, f=10kHz	GTC=20log (O_1/V_{IN}) GTC=20log (O_2/V_{IN})	Fig.1
トレブル切替ステップ	G_{TST}	–	2	–	dB	From –10 to 10dB V_{IN}=500mVrms, f=10kHz		Fig.1
<ダイナミックバス>								
Dynamic BASS Boost Gain *	G_D	–2	*1	+2	dB	From 0 to 20dB V_{IN}=7mVrms, f=63Hz	GD=20log (O_1/V_{IN}) GD=20log (O_2/V_{IN})	Fig.1
Dynamic BASS **切替ステップ**	G_{DST}	–	5	–	dB	From 0 to 20dB V_{IN}=7mVrms, f=63Hz		Fig.1
Dynamic BASS **抑圧レベル**	VAGC	–20	–18	–16	dBm	V_{IN}=30mVrms, f=63Hz Dynamic BASS=20dB		Fig.1

* **規格値は設定値からの偏差で表します。**
*1 **設定値を参照。**

●測定回路図

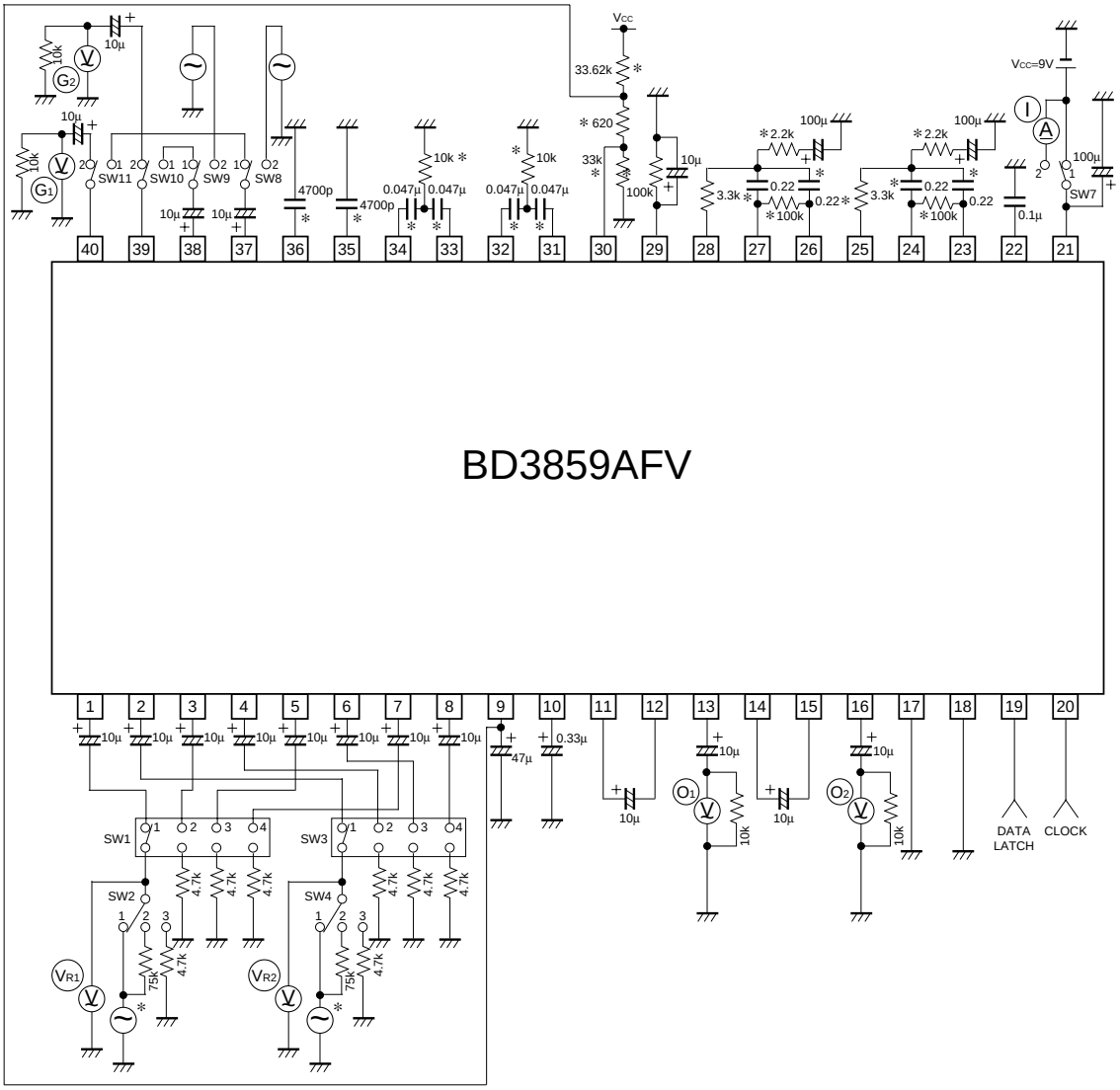

BD3859AFV
VCC
VCC=9V
33.62k
620
33k
100k
10µ
100µ
2.2k
3.3k
0.22
100k
0.1µ
10k
4700p
0.047µ
SW1
SW2
SW3
SW4
SW7
SW8
SW9
SW10
SW11
4.7k
75k
VR1
VR2
O1
O2
0.33µ
47µ
DATA
LATCH
CLOCK

Fig.1

●動作説明

制御信号仕様

(1) 制御信号のタイミング規定

- データはクロックの立ち上がりで読み込みます。
- ラッチはクロックの立ち下がりで読み込みます。
- ラッチ後は DATA LATCH を必ず LOW にする必要があります。

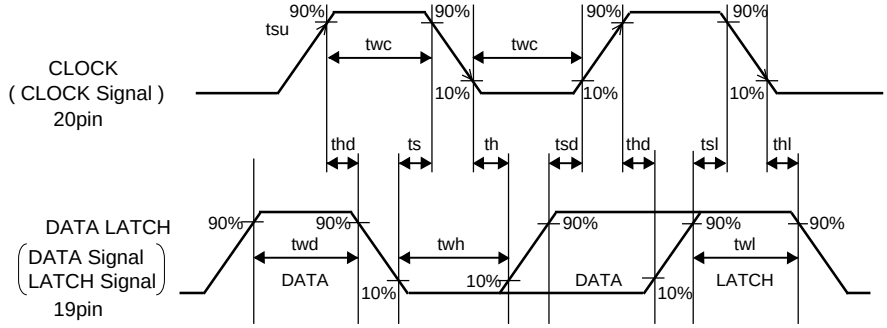


Fig.2

タイミングチャートの定数 (Ta=25°C, V_{CC}=9V)

Parameter	Symbol	Min.	Typ.	Max.	Unit
High **入力電圧**	V_{IH}	2.6	–	5.5	V
Low **入力電圧**	V_{IL}	0	–	1.1	V
クロック幅	twc	2.0	–	–	µs
データ幅	twd	2.0	–	–	µs
ラッチ幅	twl	2.0	–	–	µs
Low **ホールド幅**	twh	2.0	–	–	µs
セットアップ時間 (DATA→CLK)	tsd	1.0	–	–	µs
ホールド時間 (CLK→DATA)	thd	1.0	–	–	µs
セットアップ時間 (CLK→LATCH)	tsl	1.0	–	–	µs
ホールド時間 (DATA→LATCH)	thl	1.0	–	–	µs
Low **セットアップ時間**	ts	1.0	–	–	µs
Low **ホールド時間**	th	1.0	–	–	µs

●応用例

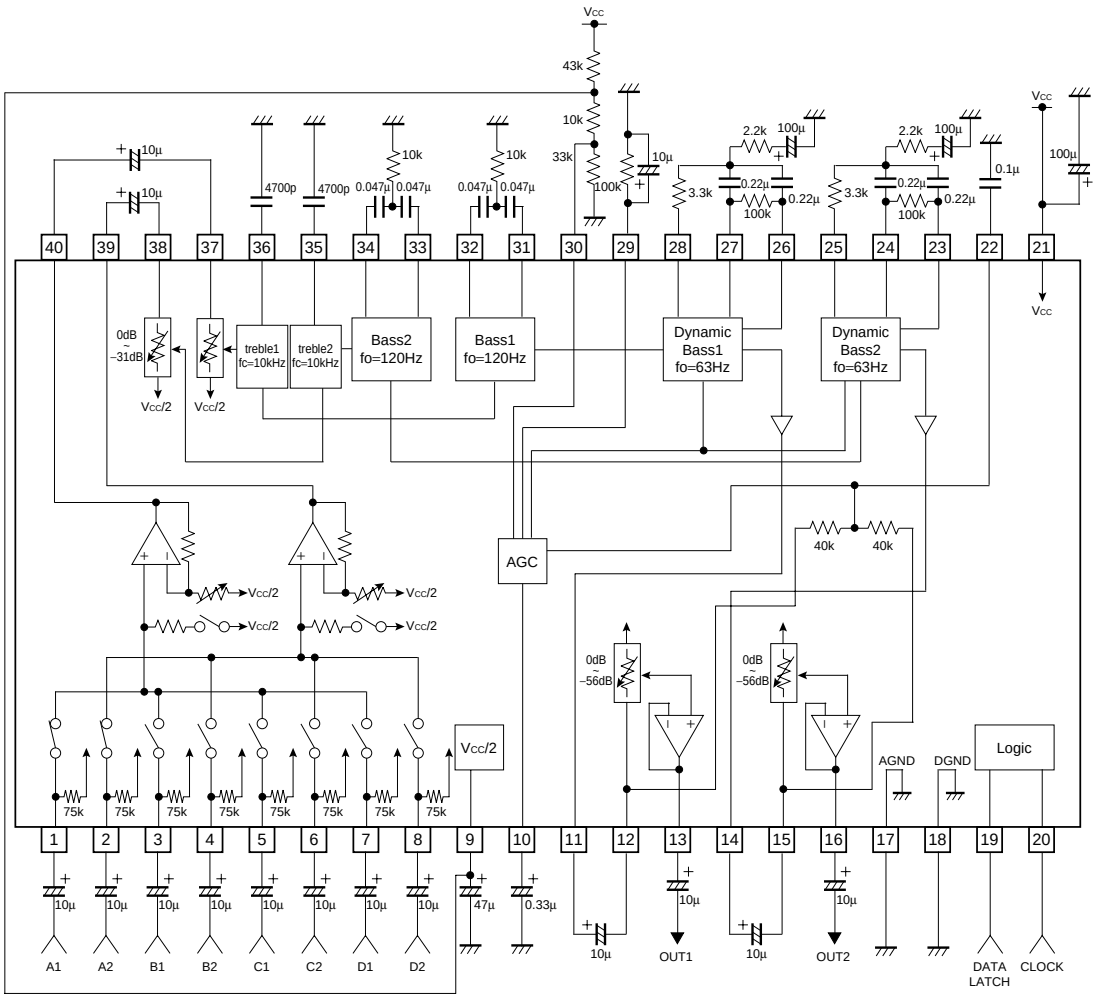

Vcc
43k
10k
33k
100k
10µ
2.2k
100µ
3.3k
0.22µ
0.1µ
4700p
0.047µ
40
39
38
37
36
35
34
33
32
31
30
29
28
27
26
25
24
23
22
21
0dB
~
−31dB
Vcc/2
treble1
fc=10kHz
treble2
fc=10kHz
Bass2
fo=120Hz
Bass1
fo=120Hz
Dynamic
Bass1
fo=63Hz
Dynamic
Bass2
fo=63Hz
AGC
40k
0dB
~
−56dB
75k
AGND
DGND
Logic
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
47µ
0.33µ
OUT1
OUT2
A1
A2
B1
B2
C1
C2
D1
D2
DATA
LATCH
CLOCK

Fig.3

●外付け部品の説明

測定回路の外付け部品について

(1) ＊の印の素子

・炭素皮膜抵抗： ±1%
・フィルムコンデンサ： ±1%
・セラミックコンデンサ： ±1%

(2) 特に指定のない外付け部品には、次のものを使用してください。

・炭素皮膜抵抗： ±5%
・フィルムコンデンサ： ±20%
・電解コンデンサ： ±20%

配線上の注意

(1) GND はベタアースにしてください。
(2) CLOCK, DATA LATCH の配線パターンはアナログ部の配線パターンから離して、クロストークのないようにしてください。
(3) CLOCK, DATA LATCH の配線パターンは、なるべく平行に引かないでください。隣接するときはシールドするようにしてください。

●使用上の注意

(1) 動作電源電圧範囲について
動作電源電圧範囲であれば動作周囲温度の範囲で基本の回路機能動作が保証されていますが、ご使用の際にはよくご確認のうえ、定数と素子の設定、電圧設定、温度設定をお願いします。

(2) 動作温度範囲について
推奨動作電圧範囲内であれば、動作温度の範囲内で一応の回路機能動作が保証されています。許容損失の条件も温度と関連しますのでご注意ください。
また、この範囲内で電気的特性で定められている条件以外では、その電気的特性の規格値を保証できませんが、本来の機能は維持しています。

(3) 応用回路について
応用例は推奨すべきものと確信しておりますが、ご使用に当たっては上記に示した注意事項を含め、更に特性のご確認を十分に願います。
その他外付け定数を変更してご使用になる時は、静特性のみならず過渡特性も含め、外付け部品及び本 IC のバラツキ等を考慮して十分なマージンをみて決定してください。
また、特許権に関しまして当社では、十分な確認ができておりませんので、ご了承ください。

(4) パワーオンリセットについて
電源 ON 時において IC 内部で初期化を行う回路を内蔵しております。しかし、セット設計におかれましては万が一の場合を考えて、電源 ON 時に必ず初期データとして全てのアドレスにデータを送信し、またこの初期データを送信するまでの間はミュートをかけることを推奨いたします。

(5) シュミット回路について
本 IC には、DATA LATCH (19pin), CLOCK (20pin) 端子に入力されるロジック信号に対して、シュミット回路を設ける等の対策をしております。したがいまして、ロジック信号ラインへのノイズの影響に強くなっております。
また、ロジックコントロール用 High 電圧については 2.6V 以上 5.5V 以下で対応できます。
(ただしロジックコントロール用 High 電圧は電源電圧以下。)

(6) シリアルコントロールについて
CLOCK 端子、DATA LATCH 端子はアナログ信号ラインに干渉しないように注意して配線及びパターン配線してください。

(7) 電源 Vcc の立ち上げについて
電源 Vcc を立ち上げるときは、必ず時定数をもたせて、なめらかに立ち上げてください。
また、万が一の過剰な回路電流増加防止のために、電源 Vcc のラインへシリーズに 10Ω程度の電流制限用抵抗を挿入することを推奨いたします。

●**電気的特性曲線**

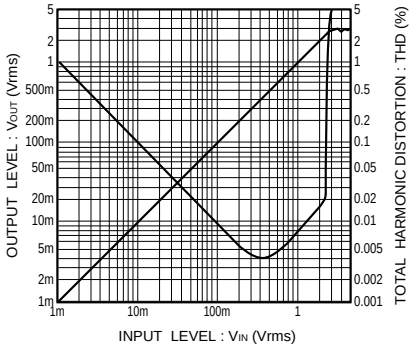


Fig.4 **入出力－歪特性**

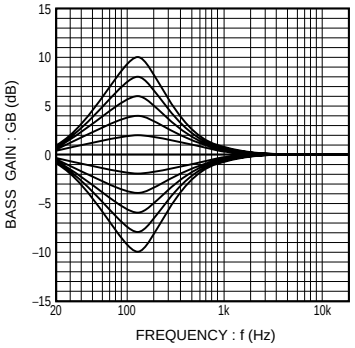


Fig.5 **バスゲイン－周波数特性**

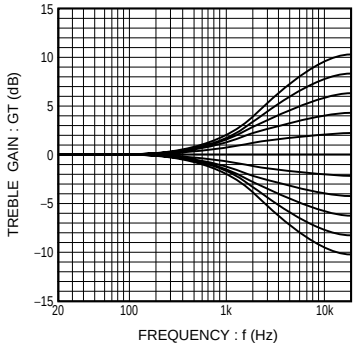


Fig.6 **トレブルゲイン－周波数特性**

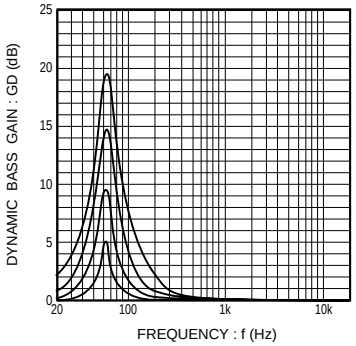


Fig.7 **ダイナミックバスゲイン－周波数特性**

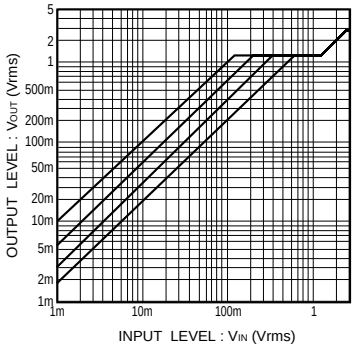
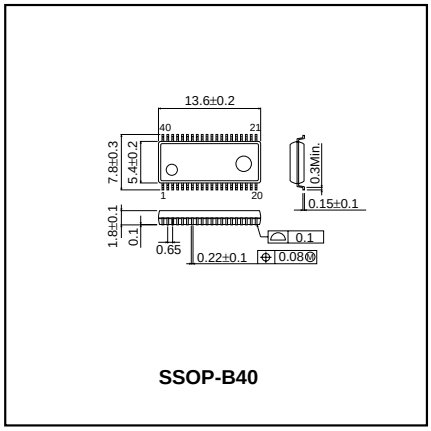


Fig.8 AGC**入出力特性**

●**外形寸法図** (Units : mm)



SSOP-B40