

Zi050（模拟锁相环）

用户手册

编 号：ZTEIC-ASIC-ZI050-007

版本号：V1.0

深圳市中兴集成电路设计有限责任公司

2002年2月

目 录

1	简介	1
2	Zi050 模块	4
2.1	Zi050 模块结构	5
2.2	鉴相器	5
2.3	鉴相器增益	6
2.4	LOS 和 LOSIN	7
2.5	环路滤波器	7
2.6	VCXO	8
2.7	Oscillator Aging	8
2.8	绝对拉偏范围 (APR)	8
3	工作原理	8
4	应用	9
4.1	时钟恢复和数据再定时	9
4.2	时钟恢复 OUT2	10
4.3	频率转换 (倍频)	11
4.4	时钟平滑	13
5	外形尺寸	14
6	输出频点	14
7	产品型号定义	15

1 简介

中兴集成的 Zi050 模块是一种专为用户设计的锁相环 (PLL) 方案, 经过简单的设计后 (根据用户要求自行设计低通滤波器的 R_1 、 R_f 、 C_f 参数), 可用于时钟提取和数据恢复、频率变换以及时钟信号的整形。由于锁相环电路集成了一个压控石英晶体振荡器 (VCX0), 所以该芯片具有很好的稳定性和良好的抖动性能。高集成度的模块能提供其它器件无法比拟的性能、可靠性和质量。该 ASIC 器件包括以下功能块: 鉴相器、环路滤波用运算放大器、输入信号丢失报警器 (信号报警的同时, 输出时钟信号频率返回到标称值)、VCX0 以及可自行配置的 2^n 分频电路。

封装形式为表面贴装。VCX0 的频率输出 OUT1 和分频输出 OUT2 可根据客户要求, 在加工时进行灵活的配置。锁相环在应用时需要选择适当的外部器件 (主要是一些常用的电阻和电容, 用于构成环路滤波器)。本公司可提供相应软件来帮助选择环路滤波器的 R_1 、 R_f 、 C_f 参数。

特点:

- 1) 带石英稳定的 VCX0 的锁相环
- 2) 输出抖动小于 20ps
- 3) 信号丢失报警
- 4) 信号丢失报警后时钟返回到标称频率
- 5) 输入信号从 8 kb/s 到 65.536 Mb/s
- 6) 封装为表面贴装
- 7) 三态输出
- 8) 用户指定的锁相环环路响应
- 9) NRZ 数据兼容
- 10) 电源电压+5.0V (+3.3V 可选)

优点:

- 1) 混合模块方案
- 2) 减少设计时间
- 3) 增加环路稳定度
- 4) 减少电路板的空间
- 5) 减少元件数

表 1 Zi050 电参数

参数	符号	最小	最大	单位
输入 NRZ 数据速率	DATAIN	0.008	65.536	MHz
输入 RZ 数据或时钟速率 ¹	DATAIN	0.008	32.768	MHz
输出标称频率	OUT1	12.0	65.536	MHz
OUT1				
OUT2 ²	OUT2	0.05	32.768	MHz
电源电压	V _{DD}	4.5	5.5	V
功耗 (V _{DD} =4.5 V)	I _{DD}	25	60	mA
输出电压 (V _{DD} =4.5 V):				
输出逻辑高电平 ³	VOH	2.5	-	V
输出逻辑低电平 ³	VOL	-	0.5	V
传输时间 ³ :				
上升时间 (0.5 V to 2.5 V)	t _R	0.5	5	ns
下降时间 (2.5 V to 0.5 V)	t _F	0.5	5	ns
占空比 ⁴ :				
OUT1	SYM1	40	60	%
OUT2	SYM2	45	55	%
RCLK	RCLK	40	60	%
输入数据:				
输入逻辑高电平 ³	VIH	2.0	-	V
输入逻辑低电平 ³	VIL	-	0.8	V
控制电压带宽 (-3 dB, V _c =2.50 V)	BW	50	-	kHz
Sensitivity @ V _c =V _o	F/ V _c	见 Figure 4.		ppm/V
标称频率:				
OUT1	OUT1	-75 ppm	75 ppm	ppm from fout1
OUT2	OUT2	-75 ppm	75 ppm	ppm from fout2
鉴相器增益	K _D	-0.53 x Data Density		rad/V

- 1) 对于 RZ 数据流、Manchester 编码的数据流和输入时钟恢复的应用，输出时钟信号必需是输入时钟信号的两倍，这样才可以使输入时钟信号被锁定。
- 2) OUT2 是 OUT1 的多次分频后的输出，也可以不要。器件代码可参看图 15。
- 3) 图 1 对这些参数进行了定义。图 2 说明在所有参数都测试和确认下，相当于五门 MTTL 的负载回路和工作条件。
- 4) ON TIME/PERIOD 是对称的，如图 1， $V_S=1.4V$ for TTL。
- 5) 当 DATAIN 在 256 个时钟周期内信号没有变化，信号丢失报警端 LOS 会被置 1，当 DATAIN 的信号重新变化时，LOS 又被置 0。

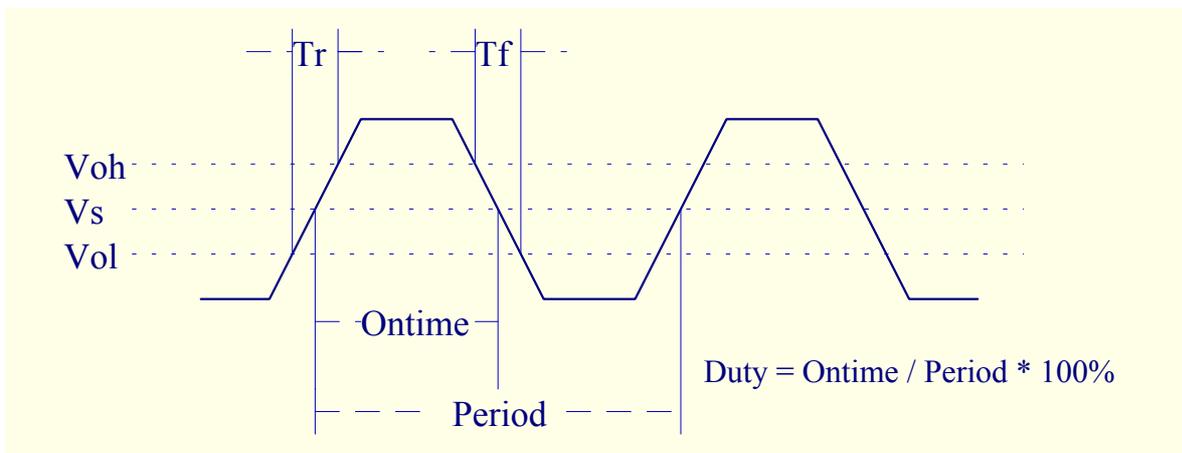


图 1 传输时间

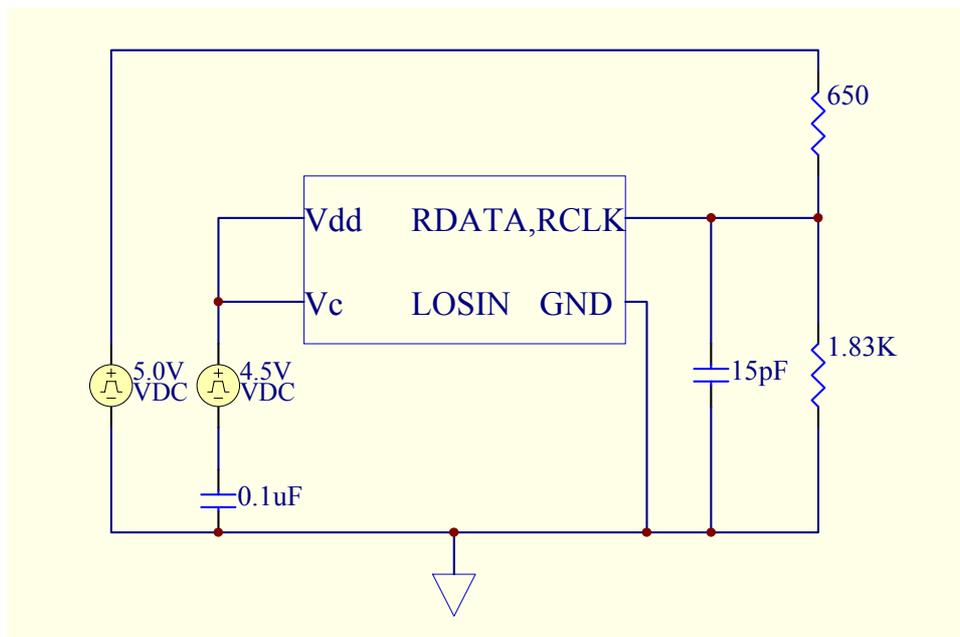


图 2 输出负载

表 2 引脚定义

Pin#	符号	I/O	功能
1	V _c	I	内部集成的压控石英晶体振荡器 (VCXO) 的控制电压输入端
2	OPN	I	内部集成的运算放大器的负输入端
3	OPOUT	O	内部集成的运算放大器的输出端
4	OPP	I	内部集成的运算放大器的正输入端
5	LOSIN	I	LOSIN 置 1, V _c 不能控制 VCXO 的振荡频率, VCXO 输出标称频率; LOSIN 置 0, V _c 能够控制 VCXO 的振荡频率。
6	PHO	O	鉴相器输出端
7	DATAIN	I	鉴相器的数据输入端, 为 TTL 电平
8	GND	I	地
9	CLKIN	I	鉴相器的时钟输入端, 为 TTL 电平
10	LOS	O	数据丢失标志, 当 256 个 CLKIN 周期内 DATAIN 没有变化, LOS 置 1; 当 DATAIN 变化时, LOS 置 0
11	RCLK	O	恢复后的时钟输出端, TTL 电平兼容
12	RDATA	O	恢复后的数据输出端, TTL 电平兼容
13	OUT2	O	VCXO 的输出时钟信号经 2 ⁿ 分频产生的新时钟信号, TTL 电平兼容
14	HIZ	I	当 HIZ 端置 0, OUT1、OUT2、RCLK、RDATA 输出置为高阻; 当 HIZ 置 1 或悬置, 输出有效; HIZ 为带上拉电阻的输入端
15	OUT1	O	VCXO 的输出时钟信号, TTL 电平兼容
16	V _{DD}	I	电源, 5 V ± 10%, (3.3 V 可选)

2 Zi050 模块

Zi050是由用户配置的锁相环集成电路(PLL)。它集成了以下功能块:压控晶体振荡器(VCXO)、运算放大器、鉴相器、输入数据的同步化电路等。该锁相环电路应用范围包括:时钟恢复和数据信号的再生、时钟信号的变频和整形、同步化时钟网络和时钟频率合成。

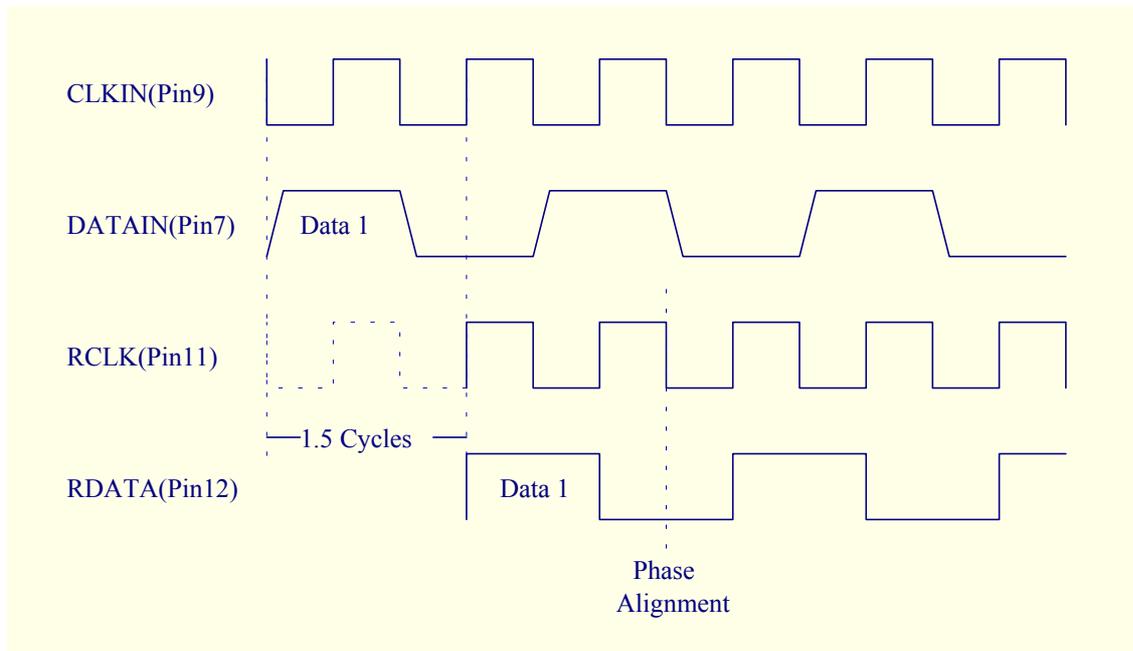


图 4 锁定输出时序

RCLK的下降沿对准再生的NRZ数据RDATA的1/2处，图 4所示输入数据DATAIN的数据传输密度为100%，即为1010的数据流。通常，数据流的密度小于100%。

在实际应用中输入时钟或数据信号DATAIN频率可能很低($<200\text{kHz}$)，由于鉴相器有限的低通特性时钟信息可能直接通过鉴相器。此时，需要在环路滤波器中加入额外的元件，以在环路滤波器中增加一个极点来削弱进入到VCX0输入端VC的交流信号，如图 12所示。详细信息可以向我们的工程师咨询。

2.3 鉴相器增益

图6所示为鉴相功能的简化电路图，其中包括减小输入数据DATAIN占空比影响的电路。通常，Zi050电路对占空比和占空比的变化不敏感。鉴相器输出一个与DATAIN (Pin 7)和CLKIN (Pin 9)的相差成比例的直流电平 (VD)。VD与DATAIN (Pin 7)和CLKIN (Pin 9)的相差的关系如图 5所示。

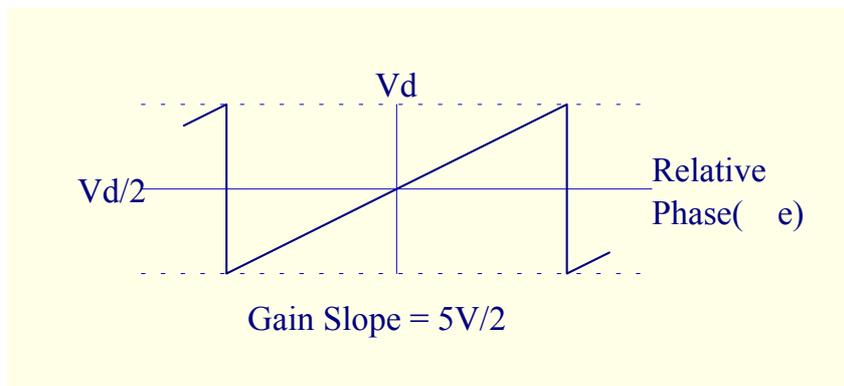


图 5 鉴相器增益

从图 5可知VD与相差 θ_e 的斜率为 $5V/2\pi$ 。鉴相器模块还包括一个输出增益级，其增益为 $2/3$ ，并将输入的差分信号转换为单端的直流信号输出。

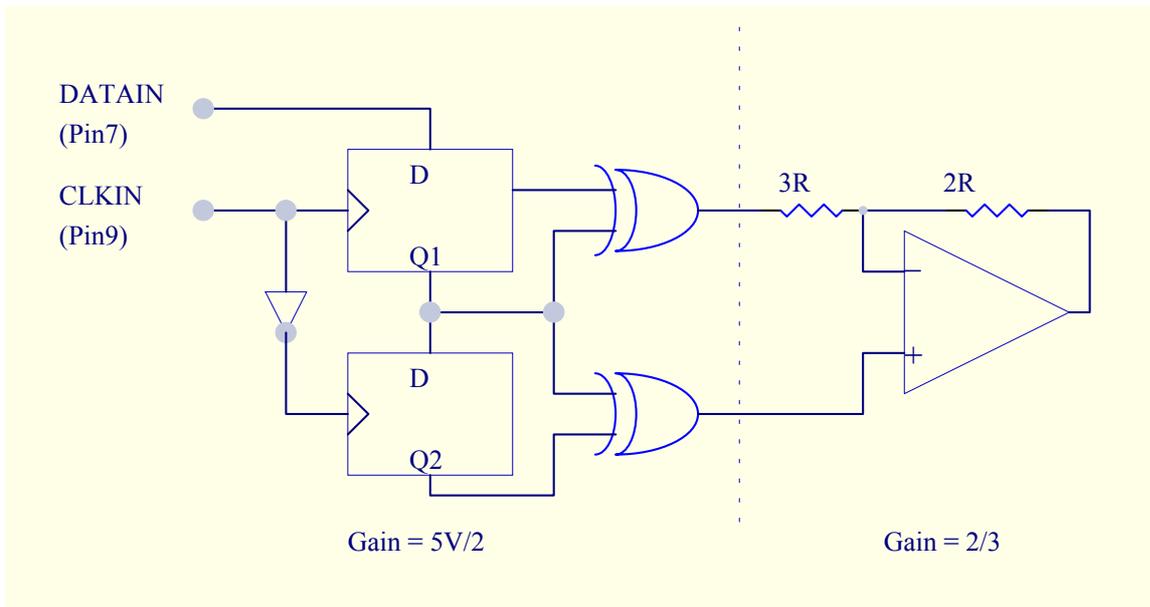


图 6 鉴相器结构

$$\text{Phase Detector Gain} = [5V/2] * [2/3] * D = 0.53 * D$$

D = 输入数据流密度。例如 $D = 1$ 表示密度为100% (即时钟信号)， $D = 0.5$ 表示密度为50% (即平衡的NRZ数据流)。

2.4 LOS 和 LOSIN

LOS电路在DATAIN信号丢失时输出报警信号LOS。当经过256个CLKIN时钟周期后DATAIN没有变化则LOS置“1”。该信号可以用于触发外部的报警电路，和/或驱动Zi050的LOSIN电路。当LOS置“1”后，环路滤波运算放大器输出中值，DATAIN恢复后能够快速被锁定。而且，此时VCX0的控制电压被置为2.5V，使VCX0输出为标称频率 ($f_0 \pm 75 \text{ ppm}$)。当LOSIN置“0”或悬置时，VCX0的控制端Vc被使能。

2.5 环路滤波器

虽然要考虑环路滤波器的各种特性，但Zi050所用为图10所示的基本结构的集成滤波器。该种滤波器有很高的直流 (DC) 增益，可以保证CLKIN和DATAIN锁定后能够边沿对齐。R1和Rf的比例可以设定中频增益，并调整环路带宽。对于Rf和Cf设定的时间常数，应选择比环路滤波器的开环带宽低一个数量级，以便提供良好的Phase Margin。正向端偏置电压为2.5V。R1、Cf和Rf的选取可以通过软件的帮助确定。

2.6 VCXO

该VCXO电路是一个变容晶体谐振器，其输出频率由控制电压 V_c 控制。Zi050定制时，VCXO的轨迹范围由绝对拉偏范围（APR）决定。绝对拉偏范围 $\pm 50\text{ppm}$ 可以保证Zi050在任何工作条件下（包括温度、时间、电源电压、负载的变化）可以稳定的捕获在标称频率 $\pm 50\text{ppm}$ 以内的输入信号。 V_c 的值在 0.5V 到 4.5V 之间变化时，对应于绝对拉偏范围（APR）。在设计PLL时，VCXO的增益（ Hz/V 或 rad/Vs ）是一个重要参数。通常Zi050的VCXO的 V_c 从 0.5V 到 4.5V 之间对应频率变化为 300ppm 。例如，VCXO的 f_0 为 10MHz ，则VCXO的平均增益为 750Hz/V 。

2.7 Oscillator Aging

随着时间的变化石英晶体振荡器的输出频率会有漂移。引起漂移的主要原因是晶体的机械压力和晶体外部部件的等效负载变化引起。

随着时间的变化，晶振压力或者通过封装加在晶振上的环境压力将导致频率的变化。Zi050通过选择AT切的陶瓷封装晶体谐振器减少了自身老化和环境老化引起的频率变化。晶体的大负载通常导致频率衰减，陶瓷封装的具体频率衰减原因主要是漏气，而非陶瓷封装的晶体频率衰减原因主要是外物对晶体的污染。Zi050选用陶瓷封装的SMD晶体谐振器，用二次集成的办法将晶体与芯片封装在一起，可以减小外部的影响。

2.8 绝对拉偏范围（APR）

拉偏范围(APR)产品编码的第四项。APR是在温度、老化、供电和负载变化时，能从 f_0 跟踪频率变化的最小值。频率和环境都限制了特定的APR。Zi050VCXO的全部拉偏范围大小为 200ppm 到 300ppm 。 50ppm APR表示Zi050有一个 50ppm 的源振荡器，或在工作温度、产品的生命期、供电和其它条件变化下，其频率会有最小 50ppm 的变化。

表 3 APR

Parameter	Symbol	Min	Max	Unit
绝对拉偏范围	APR	-APR	APR	ppm from f_0

3 工作原理

图7为典型的PLL原理图，通常教材中用于描述的锁相环动态过程包括诸如捕获范围、锁定时间等

的方程，都是基于理想系统。由于在实际系统中存在非线性、DC偏差和噪声，所以描述方程是不精确的。PLL是一个反馈系统，通过反馈使输出信号对输入信号的频率和相位进行锁定。初始条件下，PLL处于失锁状态，鉴相器的输出波形与两个输入信号的相差成比例。该信号可以改变VCXO的输出频率，在一个设计良好的VCXO中，环路利用V_c校正VCXO的输出频率和相位，直到系统进入锁定状态。

设计者的基本任务是选择一个使环路能够锁定并保持良好稳定性的环路滤波器，该滤波器能够过滤掉输入信号的噪声和抖动。对开环环路增益响应的分析能够对系统的响应有基本的了解。开环增益：

$$G(s) = K_p k_V A_V(s) s^N$$

K_p: 鉴相器增益，单位 V/rad (-0.53 x Data Density).

k_V: VCXO增益 Rad/Vs.

A_V(s): 环路滤波器传输函数.

N: 分频系数.

1/s: 1/s因子将VCXO的频率输出转换为相位输出

4 应用

Zi050的主要应用范围有：数字信号的时钟恢复、变频和时钟平滑，能够广泛应用于电信、数据通讯、数字视频和音频、遥感、测试、设备和传感器等方面。

4.1 时钟恢复和数据再定时

Zi050可以恢复嵌入在NRZ数据信号中的时钟，并对其重新定时。在该应用中，VCXO的输出频率与NRZ数据率一样，时钟和数据分别从Pin11 (RCLK) 和 Pin12 (RDATA) 输出。框图所示为典型电路。图 8 所示为锁定后的 Pin7 (DATAIN) 和 Pin9 (CLKIN) 的时序关系。此时 CLKIN 的上升沿对齐 DATAIN 信号的中间。恢复后的时钟的下降沿对齐数据的中间，并用该时钟将数据传输到系统的下一部分。其中 RDATA 相对于 DATAIN 有一个半 CLKIN 时钟周期的延时，即 10MHz 的信号有 150nS 的延时，另外要附加一定的电路延迟（约 13nS）。

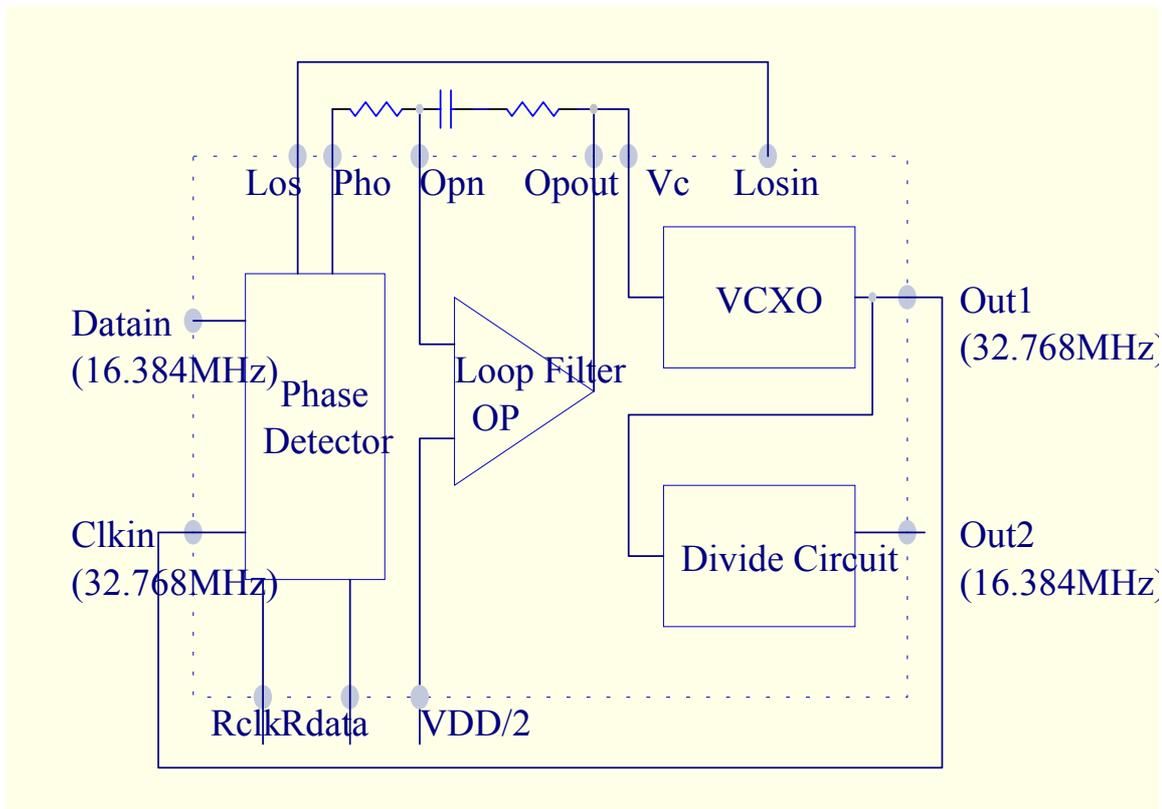


图 7 典型应用（OUT1 反馈，Datain 为 16.384MHz 的时钟）

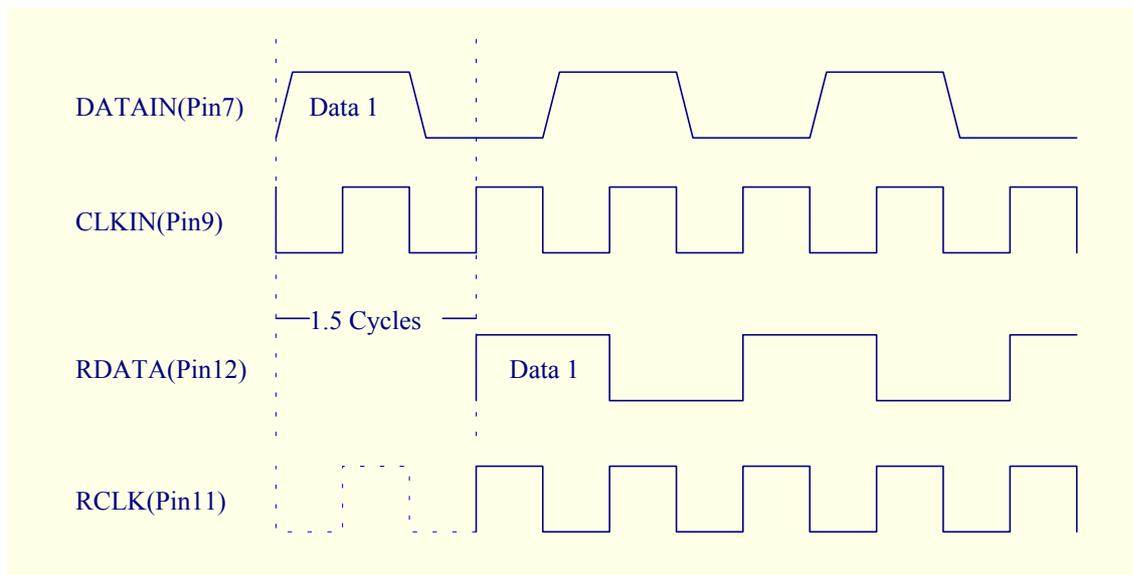


图 8 典型应用时序

4.2 时钟恢复 OUT2

由于 VCXO 中晶体谐振器的最低频率为 12MHz，所以如果要应用于低于 12MHz 的频率，则需要用到自身的分频电路或外接的分频电路。图 9 所示为利用 OUT2 实现 1.544MHz（NRZ）信号的时钟恢复。

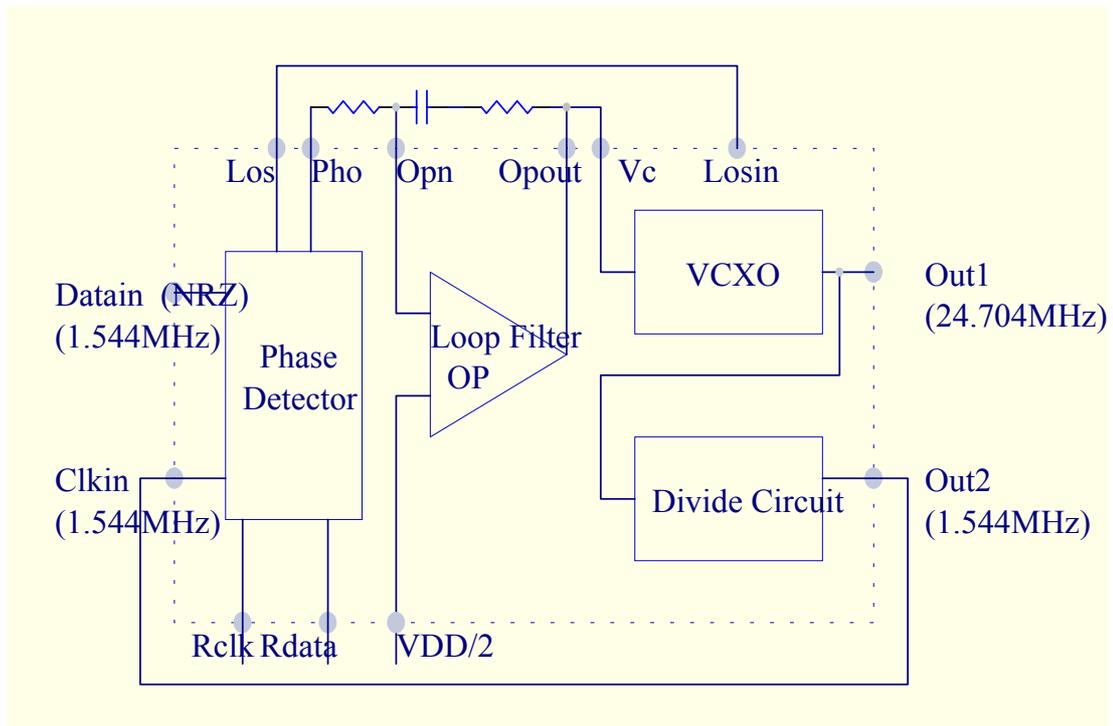


图 9 典型应用 (OUT2 反馈)

4.3 频率转换 (倍频)

Zi050 电路通常用于频率转换功能。例如，在通信应用中，通过 Zi050 电路可以把一个 2.048MHz 的参考时钟倍频到 32.768MHz，而且该 32.768MHz 时钟信号非常干净。

通常 Zi050 的输入数据 (DATAIN) 为 NRZ，所以 Zi050 的鉴相器是按此来设计的，其他的数据，例如时钟信号，可以认为是等效的 1010.....NRZ 向量。如果鉴相器的输入是时钟信号，反馈回的时钟信号 OUT1 或 OUT2，必须是 DATAIN 的频率的两倍。如图 10 所示，2.048MHz 的系统参考时钟可以被认为 4.096MHz 的 NRZ 数据，该数据率是 100%。因此反馈时钟信号频率是 4.096MHz (OUT132.768MHz 的 8 分频)。

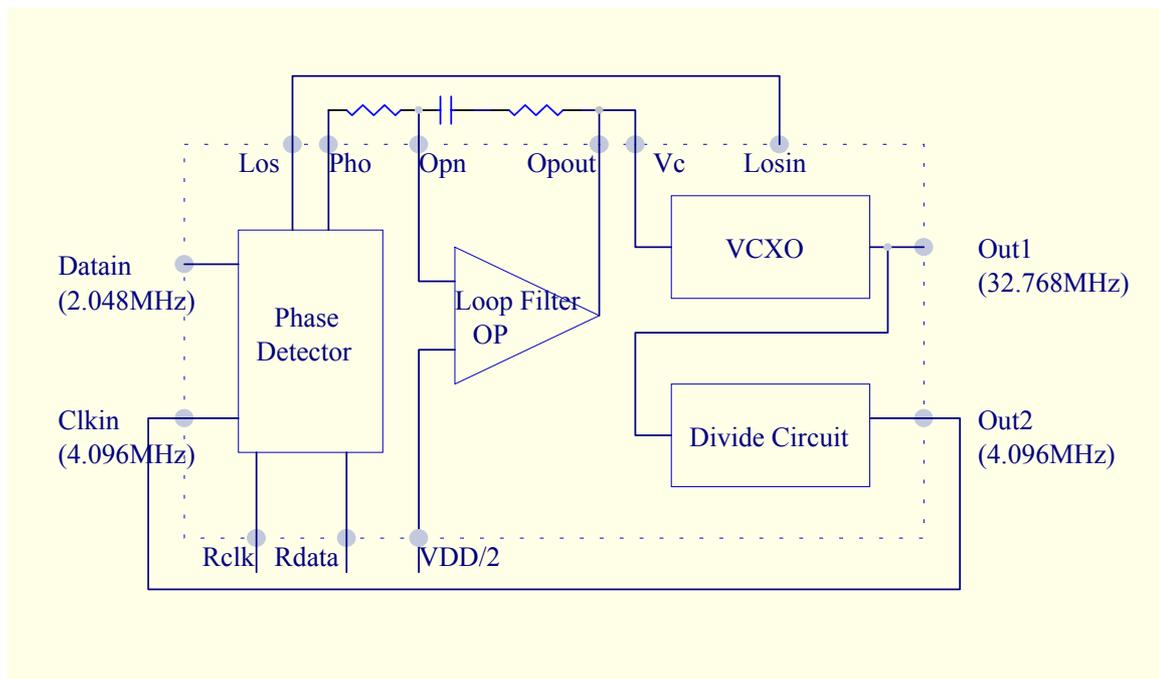


图 10 典型应用（8 倍频输出）

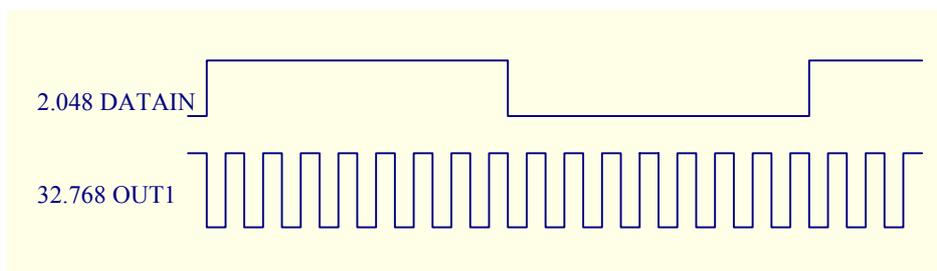


图 11 倍频应用时序

输入时钟信号 2.048MHz 被倍频到 32.768MHz。

输入信号频率低于 200KHz 的情况，环路滤波器会增加一个极点，此时电路的配置情况如下：。

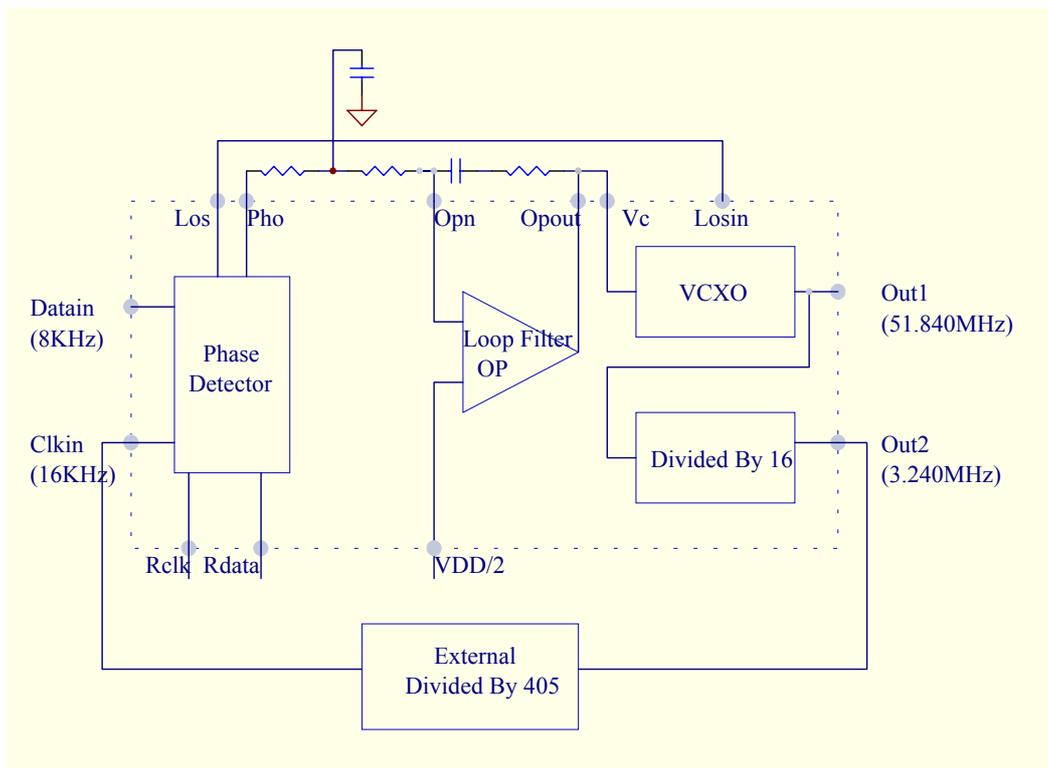


图 12 倍频应用（输入低频信号）

4.4 时钟平滑

Zi050 的第三种应用是时钟再生或平滑。此时输入数据信号（DATAIN）是衰减的时钟信号，通过 Zi050 再生出一个上升、下降沿更陡的、无抖动的时钟信号。图 13 是时钟再生的典型应用示例，DATAIN 端输入的是已衰减的 16.384MHz 时钟信号，经过 Zi050 锁定后，从分频端 OUT2 输出一个整形后的干净的 16.384MHz 时钟信号。

需要注意的是，从 OUT1 (Pin15) 反馈到 CLKIN (Pin9) 端的信号是输入端衰减信号 DATAIN (Pin7) 的两倍。因为 Zi050 中的鉴相器是为 NRZ 数据设计的，而一位 NRZ 数据 DATAIN 要对应半个时钟周期 CLKIN，对于一串相同的 01010101.....数据，若它作为时钟信号的频率为 f ，那么作为 NRZ 数据，它的频率为 $2f$ 。在如下的例子中，用 Zi050 对 16.384MHz 的时钟信号进行时钟平滑时，需用 32MHz 的输出信号作为反馈输入 CLKIN。

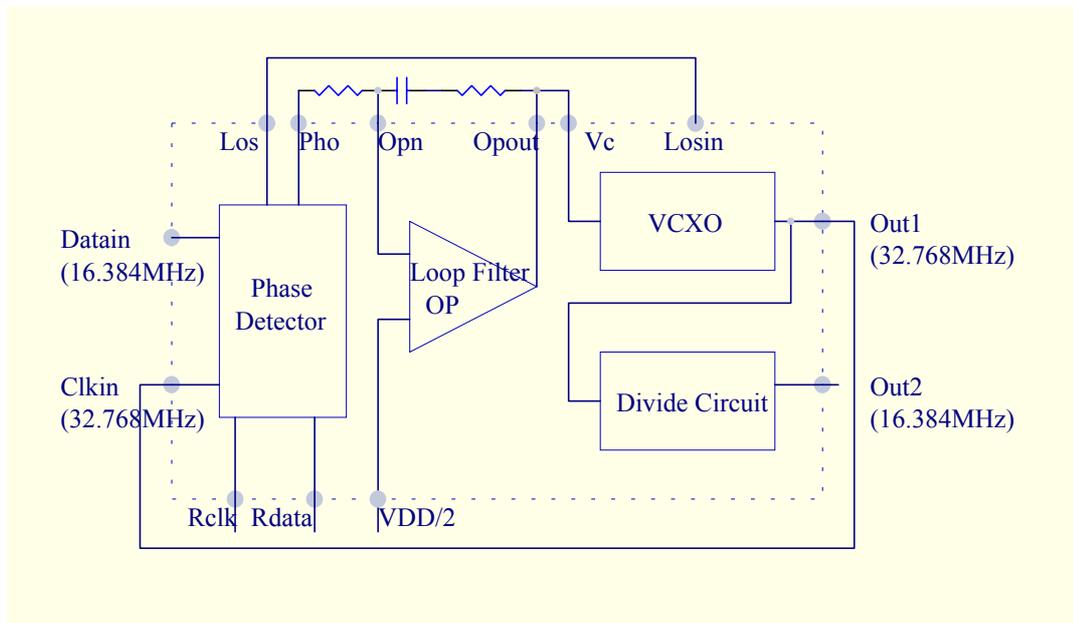


图 13 典型应用（时钟再生）

5 外形尺寸

SMD

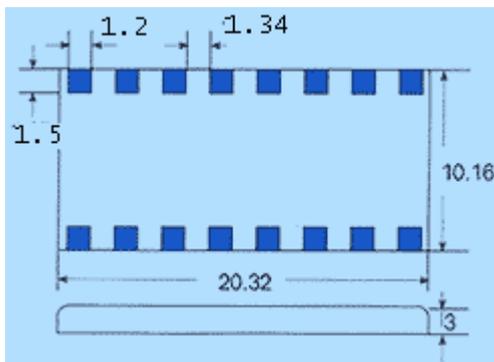


图 14 底视、侧视尺寸

6 输出频点

表 4-1 OUT1 输出频点

OUT1 的频点 Standard Frequencies* (MHz) using OUT 1						
12.032	12.288	12.624	13.824	16.000	16.128	16.384
16.777	16.896	17.920	18.432	18.936	19.440	20.000
20.480	22.1184	22.579	24.576	24.704	25.000	25.248

28.000	30.720	32.000	32.768	33.330	34.368	38.880
40.000	40.960	41.2416	41.943	44.736	47.457	49.152
49.408	50.000	51.840	65.536			

表 5-2 OUT2 输出频点

OUT2 的频点 Standard Frequencies* (MHz) using OUT 2						
1.000	1.024	1.544	2.048	3.088	3.240	4.032
4.096	4.1925	4.224	5.592	6.016	6.144	6.312
6.480	6.912	7.680	8.000	8.192	8.448	8.960
9.468	9.720	10.000	10.240	11.0592	12.352	12.500
12.960	14.000	16.000	16.384	16.665	19.440	20.000
20.6208	20.9715	22.368	23.7285	24.576	24.704	25.920
32.768						

*特殊频点可由用户确定

7 产品型号定义

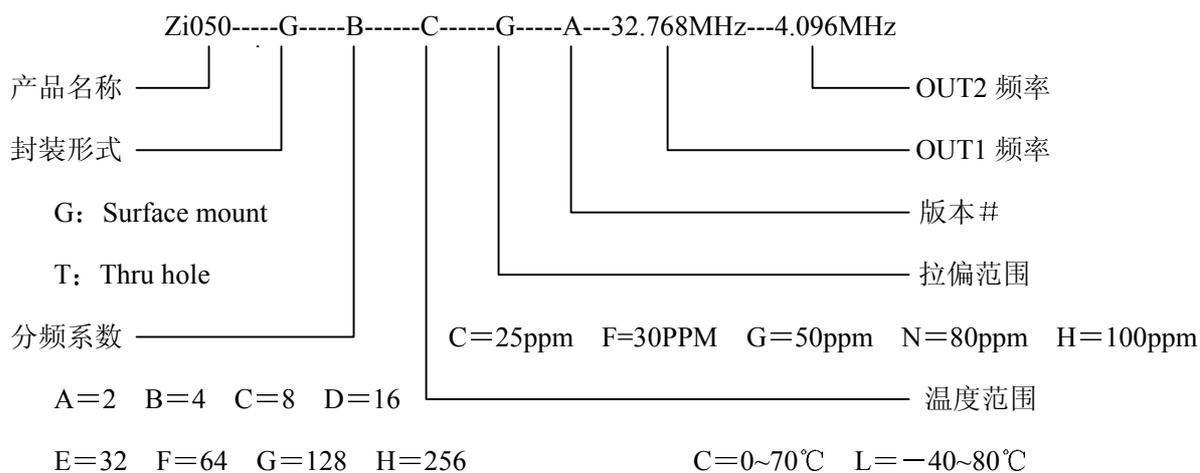


图 15 产品型号