

BU1200 Series

BU1200L Series

CMOS ゲートアレイ

CMOS Gate Array

7-42-11-09

BU1200/BU1200L シリーズは、156 ゲート～3025 ゲートのベースチップを用意しております。

特に、BU1205/BU1205L (156 ゲート) ～ BU1202/BU1202L (793 ゲート) クラスにおきましては、低価格、短期開発、小型化 (BU1205/BU1205L (156 ゲート) では DIP16pin 等) が可能で、小規模なシステムにも使用することができます。

これらの BU1200/BU1200L シリーズは、一貫したシステムにより設計、評価、試験及びドキュメント類作成といった作業を自動化することにより、製品の高信頼性、低価格、短期開発等を実現しております。

また、ロームでは、EWS としてメンター社の IDEA * 1000 シリーズをサポートしており、ユーザーサイドでの開発を容易にしています (ローム BU1200/BU1200L ユーザーパック、これは BU1200/BU1200L シリーズゲートアレイ開発に必要なディレクトリ、その他を収めたものです。これをユーザーサイドでリードバックすることにより、メンター社の EWS 上にゲートアレイの開発環境ができあがります)。

これ以外に TSS、パソコンによるロジックエントリ (61/10～) 等のサービスも予定しております。

なお、本社 (京都)、東京デザインセンターともデザインルームを用意して、お客様へのフルサポート体制を用意してお待ちしております。

The BU1200/BU1200L Series provides the base chips of 156～3025 gates.

ROHM supports Mentors IDEA 1000 Series, as EWS for easy developments in users' side.

*IDEA は、MENTOR GRAPHICS 社の登録商標です。

● 特長

- 1) CMOS 回路構成により低消費電力。
- 2) 高速動作 (BU1200 シリーズ: 50MHz, BU1200L シリーズ: 25MHz)。
- 3) 5V 単一電源動作 (BU1200 シリーズ), 3V 単一電源動作 (BU1200L シリーズ)。
- 4) 入出力形式は、TTL (BU1200 シリーズのみ) 及び CMOS (全端子とも入力/出力/入出力共通が選択可能。出力形式は、CMOS/オープンドレイン/3ステートが選択可能)。
- 5) 発振回路、シュミット回路、モノマルチ回路ともに搭載可能。
- 6) 開発期間の短縮。
- 7) 少量多品種に対応。
- 8) 低開発費用。
- 9) CAE, CAD システムによるフルサポート体制 (メンター上で開発環境が作れる、ローム BU1200/BU1200L ユーザーパックも用意しております)。
- 10) パソコンによるサポートも可能。

● Features

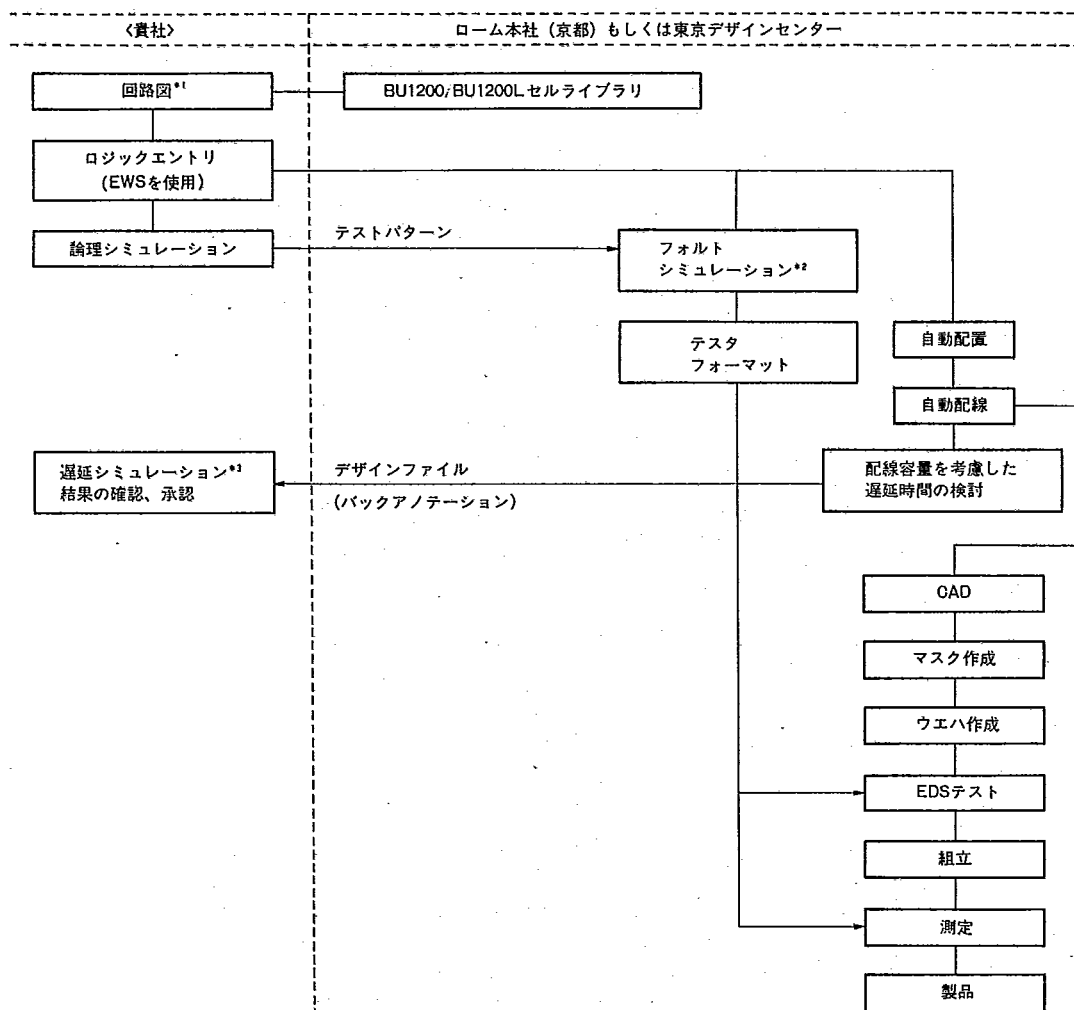
- 1) CMOS circuit configuration brings about low power consumption.
- 2) High-speed operation (BU1200 Series: 50 MHz, BU1200L Series: 25 MHz).
- 3) Single 5V power supply operation (BU1200 Series), single 3V power supply operation (BU1200L Series).
- 4) I/O formats include TTL (only BU1200 Series) and CMOS.
(All pins can selectively apply to input/output/input-output common. Selectable output formats include CMOS/open drain/3 state.)
- 5) The Series is applicable to oscillating circuit, Schmidt circuit and monostable multivibrator circuit.
- 6) Reduction of developing period
- 7) Adaptive to small-quantity many-sort devices.
- 8) Low development cost
- 9) Full-support system by means of CAE and CAD.
(ROHM BU1200/BU1200L User Pack is also available, in which developing environment can be created on the Mentors)
- 10) Available supporting by personal computers.

T-42-11-09

※4 BU1200/BU1200L セルライブラリ当社担当者までお問い合わせください。

(2) ローム BU1200/BU1200L ユーザーパック *4 使用の場合

T-42-11-09



※1 回路図

ローム BU1200 ゲートアレイマクロセルライブラリを使用して回路図を作成します。

※2 フォルトシミュレーション

貴社から提出されたテストパターンでフォルトシミュレーションを実施し、そのテストパターンの故障検出率を提示します。ここで検証されたテストパターンを製品のテストのパターンに使用します。

※3 遅延シミュレーション (SIM)

自動配置/配線後、ファンアウトによる遅延を貴社から提供されたデザインファイルに追加し、貴社へ返却します。貴社においては、これで最終的な SIM を実施し確認していただきます。

※4 ローム BU1200/BU1200L ユーザーパック

当社担当者までお問い合わせください。

CMOS ゲートアレイ/CMOS Gate Arrays

BU1200/BU1200L Series

T-42-11-09

● ゲートアレイのメンターによるサポート

(1) ロームから提出できるもの

1) ローム BU1200/BU1200L ユーザーバック

メンター社 IDEA*1000 シリーズ上でゲートアレイの開発環境ができるソフトウェアであり、フロッピーディスクで提供します。

詳しくは、CMOS ゲートアレイユーザーズマニュアル (BU1200/BU1200L シリーズユーザーバック説明書) をご覧ください。

2) ローム BU1200/BU1200L シリーズマクロセルライブラリ

回路図を作成するときに使用するライブラリです。

3) マニュアル (CMOS ゲートアレイユーザーズマニュアル BU1200/BU1200L)

BU1200/BU1200L シリーズゲートアレイをメンター上で

● ゲートアレイ論理設計上の注意

(1) 最大使用ゲート数

自動配置/配線を行うため、実際に使用できる限度としてはマスターのベースチップのゲート数の90%未満が適当です。

(2) ファンアウト (FO)

各マクロセルの遅延時間はファンアウト FO=3、平均配線長 l=3mm のものを標準としていますので、遅延が問題となる回路では FO=3 以内で設計してください。

特に FF のクロック入力 of ドライブが十分でないと立上り、立下り時間が大きくなり希望する動作をしなくなることがあります。

そのためクロック入力のドライブにはパワークロックバッファ等を用いて十分なドライブをしてください。

*クロック入力 is、バッファ等を用いて十分なドライブをしてください。

また、データの帰還がないときは、後段のクロックより前段のクロックを遅らせてください。

(3) 出力同時変化

複数の出力端子が同一のタイミングで変化するときには、GND ラインを流れる電流が大きくなり、ラインのインダクタンス成分によりノイズを発生します。それにより希望する動作をしなくなる可能性がありますので、同時に変化する出力の数は、10個以内としてください。

開発するに当たっての注意、方法等を説明したものです。

4) フォルトシミュレーション結果

貴社から提出されたテストパターンでフォルトシミュレーションを実施し、故障の検出率を貴社に提出します。

フォルトシミュレーションで検証したテストパターンは製品のテストのパターンになります。ここでテストパターンについて承認をいただきます。

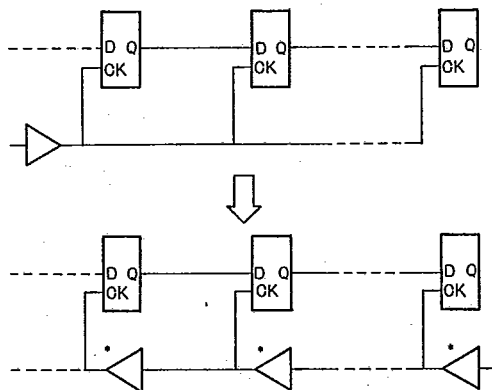
5) バックアノテーション デザインファイル

自動配置/配線後の配線、ファンアウトによる遅延を貴社から提出されたデザインファイルに盛り込み、貴社へ返却します。

貴社でそれを使い、メンター上で最終的なシミュレーションを実施し、確認していただきます。貴社で確認後、自動配置/配線結果からマスクを作成します。

それ以上の出力端子が同一タイミングで変化することが考えられるときは、出力セルをドライブするところで 10ns 以上の遅延をとってください。

(例)



(4) 未配線入力の処理

内部セルの未配線入力 is、必ず VDD あるいは GND に接続してください。

(5) 多入力禁止

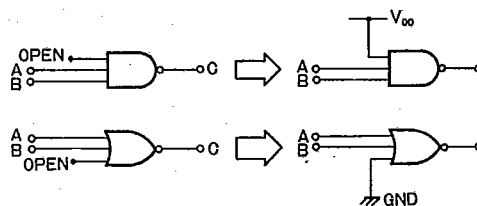
マクロセルの複数入力に同一の信号を加えないでください。自動配線ができません。

この場合は、必要な入力にあったマクロセルを用いてください。

 CMOS ゲートアレイ
BU1200/BU1200L シリーズ

(6) ゲート遅延の利用禁止

ゲートを利用した遅延を用いる回路構成は、ゲートアレイでは自動配置/配線を採用しているため、遅延時間が規定できないので、遅延を利用した波形の立上り、立下り検出回路は使用できません。



(7) ワイヤード OR の禁止

内部マクロの出力ワイヤード OR はできません。

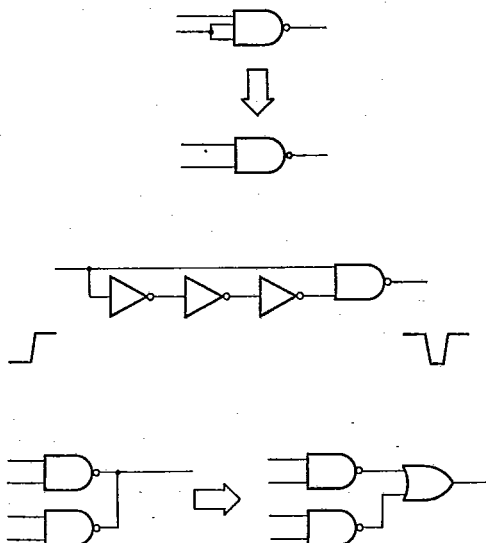
(8) テスタビリティを考慮した設計

1) 初期設定のできない回路は使わないで、必ず外部から設定の可能な回路を構成してください。テストの中で特殊な作業が必要となり、テスト時間が長くなります。

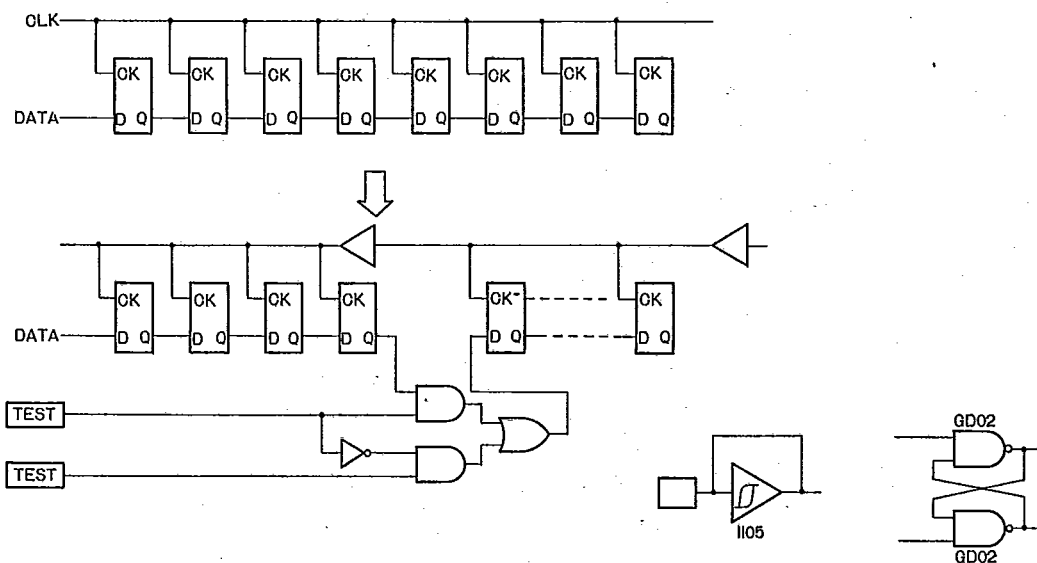
2) シフトレジスタおよびカウンタ等、多段接続がある場合、4ビット単位程度で外部から制御可能となる端子を入れてください。こうすることによってテスト時間が短くて、効率がよくなります。

(9) I/O セル、ゲートレベルでの帰還ループ構成の禁止

I/O セルのみで出力を入力に帰還させたり、内部セルの NAND, NOR 等でラッチ回路を構成しないでください。必要なときは、マクロセルライブラリにあるラッチ回路 (FL02~FL05) を使用してください。



(例)

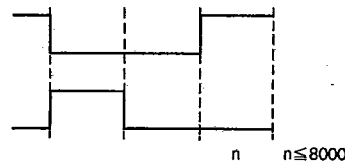
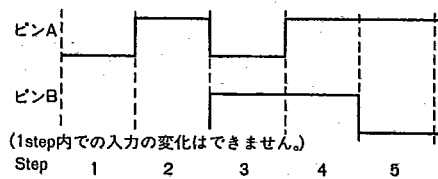
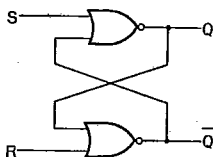
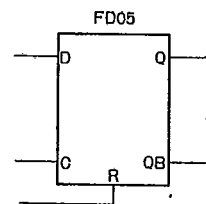


● テストパターンの作りかた

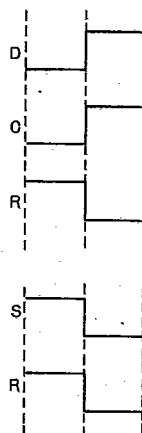
メンターのロジックシミュレーションで使った入力パターンは、そのまま製品検査時の入力パターンとして用いられます。したがって、入力パターンは製品検査用入力パターンとして FORCE コマンドを 1 つのマクロファイルにしたものをいただきます。ただし製品検査装置 (LSI テスタ) ではデバイスの入力ピンに一定の時間間隔 (レート時間) で 0, 1 パターンを印加してテストを行うため、製品検査装置で実現するように次の (1)~(5) の点に注意して作成していただく必要があります。

(1) 1 レートの最小時間は 100ns です。したがって 1 レートは 100ns 以上にしてください。また、総パターン長は、8000 ステップまで可能です (マクロファイル化したデータ本数は 5 本まで可能で、1 本の最大パターン長は 8000 ステップです)。

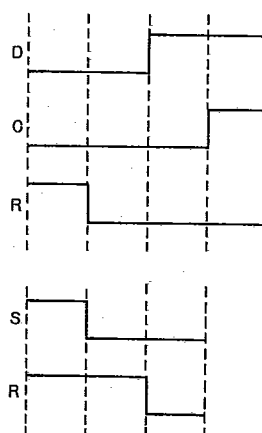
(2) 1 ステップで 2 つ以上の入力に変化する場合内部回路のフリップフロップなどに同時禁止入力等が加わらないように注意してください。



悪い例



良い例



(3) シミュレーションでは INITialize コマンドによって回路の初期化を行うことができますが、実物の物ではできません。したがって回路の初期化を行わないと出力が不定となるパターンはやめてください。

悪い例

INITialize 1

FORCE B 0 0

CLOCK Period 100

FORCE A 0 0-R

FORCE A 1 50-R

良い例

FORCE A 1 0

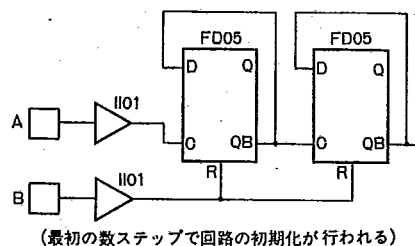
FORCE B 1 0

FORCE B 0 50

CLOCK Period 100

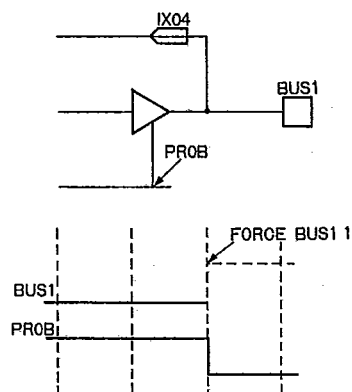
FORCE A 0 50-R

FORCE A 1 100-R



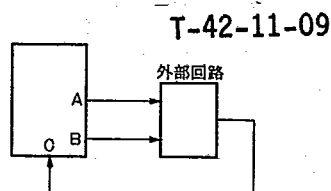
注：初期化のできない回路は初期化できるように修正してください。

(4) 双方向端子において、双方向端子が出力モードから入力モードに変わるステップでは、必ず FORCE コマンドで入力を与えてください。



(5) 外部回路も含めたテストパターンを作成はやめてください。

このような場合には、あらかじめ A 出力, B 出力の出力期待値より C 入力のテストパターンを作成してください。



BU1200 シリーズ電気的特性

● 絶対最大定格/Absolute Maximum Ratings ($T_a=25^\circ\text{C}$)

Parameter	symbol	Limits	Unit
電源電圧	V_{DD}	$-0.3 \sim 7.0$	V
入力電圧	V_{IN}	$-0.3 \sim V_{DD} + 0.3$	V
動作温度範囲	T_{opr}	$-20 \sim 75$	$^\circ\text{C}$
保存温度範囲	T_{stg}	$-55 \sim 150$	$^\circ\text{C}$
入力保護ダイオード電流	I_D	± 20	mA

● 推奨動作条件/Recommended Operating Conditions ($T_a=25^\circ\text{C}$)

Parameter	symbol	Rated	Unit
電源電圧	V_{DD}	5 ± 0.5	V
入力電圧	V_{IN}	$0 \sim V_{DD}$	V
出力電圧	V_{OUT}	$0 \sim V_{DD}$	V
動作温度範囲	T_{opr}	$0 \sim 75$	$^\circ\text{C}$

T-42-11-09

● 電気的特性 / DC Electrical Characteristics (Unless otherwise noted, $T_a=25^\circ\text{C}$, $V_{DD}=5\text{V}$)

Parameter	symbol	Min.	Typ.	Max.	Unit	Conditions
動作電圧範囲	V_{DD}	4.5	5	5.5	V	注1)
ローレベル入力電圧 1	V_{IL1}	0	—	1.5	V	CMOS レベル
ハイレベル入力電圧 1	V_{IH1}	3.5	—	5.0	V	CMOS レベル
ローレベル入力電圧 2	V_{IL2}	0	—	0.8	V	TTL レベル 注1)
ハイレベル入力電圧 2	V_{IH2}	2.0	—	5.0	V	TTL レベル 注1)
ローレベル出力電圧	V_{OL}	—	—	0.1	V	$I_O=0\text{mA}$
ハイレベル出力電圧	V_{OH}	4.9	—	—	V	$I_O=0\text{mA}$
ローレベル出力電流	I_{OL}	3.2	6	—	mA	$V_{OL}=0.4\text{V}$
ハイレベル出力電流	I_{OH}	—1	—2	—	mA	$V_{OH}=4.6\text{V}$ 注2)
ローレベル入力電流 1	I_{IL1}	—50	—100	—200	μA	$V_{IL}=0\text{V}$ 注2) プルアップ $R \approx 50\text{k}\Omega$
ハイレベル入力電流 1	I_{IH1}	50	100	200	μA	$V_{IH}=5\text{V}$ プルダウン $R \approx 50\text{k}\Omega$
ローレベル入力電流 2	I_{IL2}	—	—	—10	μA	$V_{IL}=0\text{V}$ 注2)
ハイレベル入力電流 2	I_{IH2}	—	—	10	μA	$V_{IH}=5\text{V}$

注1) TTL レベル時は, $5\text{V} \pm 0.25\text{V}$.

2) 規格値の符号は IC から流れ出す電流を示す。

● 電気的特性 / AC Electrical Characteristics (Unless otherwise noted, $T_a=25^\circ\text{C}$, $V_{DD}=5\text{V}$)

Parameter	symbol	Min.	Typ.	Max.	Unit	Conditions
最大動作周波数	f_{max}	10	25	—	MHz	—
伝達遅延時間	t_{pd}	—	3	—	ns	内部ゲート
伝達遅延時間	t_{pd}	—	10	—	ns	I/O
出力立上り時間	t_r	—	15	—	ns	$C_L=20\text{pF}$
出力立下り時間	t_f	—	8	—	ns	$C_L=20\text{pF}$

BU1200L シリーズ電気的特性

● 絶対最大定格 / Absolute Maximum Ratings ($T_a=25^\circ\text{C}$)

Parameter	symbol	Limits	Unit
電源電圧	V_{DD}	$-0.3 \sim 7.0$	V
入力電圧	V_{IN}	$-0.3 \sim V_{DD} + 0.3$	V
動作温度範囲	T_{opr}	$-20 \sim 75$	$^\circ\text{C}$
保存温度範囲	T_{stg}	$-55 \sim 150$	$^\circ\text{C}$
入力保護ダイオード電流	I_D	± 20	mA

● 推奨動作条件 / Recommended Operating Conditions ($T_a=25^\circ\text{C}$)

Parameter	symbol	Rated	Unit
電源電圧	V_{DD}	3 ± 0.5	V
入力電圧	V_{IN}	$0 \sim V_{DD}$	V
出力電圧	V_{OUT}	$0 \sim V_{DD}$	V
動作温度範囲	T_{opr}	$0 \sim 75$	$^\circ\text{C}$

CMOS
ゲートアレイBU1200 / BU1200L
シリーズ

T-42-11-09

● 電氣的特性/DC Electrical Characteristics (Unless otherwise noted, Ta=25°C, VDD=3V)

Parameter	symbol	Min.	Typ.	Max.	Unit	Conditions
動作電圧範囲	VDD	2.4	3	5.0	V	—
ローレベル入力電圧	VIL	0	—	0.75	V	CMOS レベル
ハイレベル入力電圧	VIH	2.25	—	3.0	V	CMOS レベル
ローレベル出力電圧	VOL	0	—	0.1	V	IO=0mA
ローレベル出力電流	IOL	1.6	3.2	—	mA	VOL=0.4V
ハイレベル出力電流	IOH	−0.5	−1.1	—	mA	VOH=2.6V 注1)
ローレベル入力電流	IIL1	−30	−60	−120	μA	VIL=0V 注1) プルアップ R≒50kΩ
ハイレベル入力電流	IIH1	30	60	120	μA	VIH=3V プルダウン R≒50kΩ
ローレベル入力電流	IIL2	—	—	−10	μA	VIL=0V 注1)
ハイレベル入力電流	IIH2	—	—	10	μA	VIH=3V

注1) 規格値の符号は IC から流れ出す電流を示す。

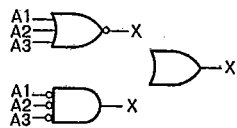
● 電氣的特性/AC Electrical Characteristics (Unless otherwise noted, Ta=25°C, VDD=3V)

Parameter	symbol	Min.	Typ.	Max.	Unit	Conditions
最大動作周波数	fmax	4	12	—	MHz	—
伝達遅延時間	tpd	—	6	—	ns	内部ゲート
伝達遅延時間	tpd	—	20	—	ns	I/O
出力立上り時間	tr	—	25	—	ns	CL=20pF
出力立下り時間	tf	—	15	—	ns	CL=20pF

● ロジック構成例

T-42-11-09

ロジックシンボル

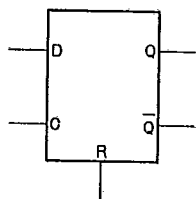
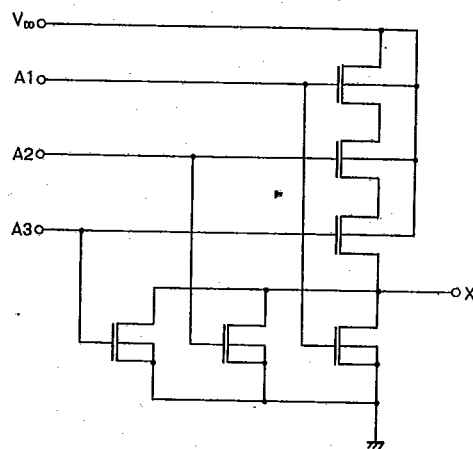


真理値表

入 力		出 力
A1	N	X
L	L	H
H	L	L
L	H	L
H	H	L

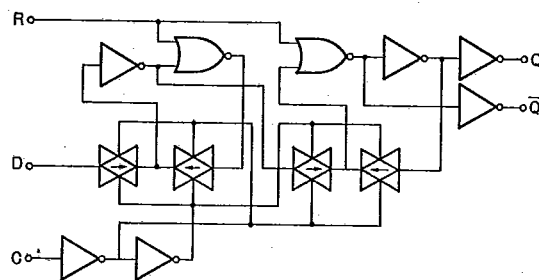
$$N = A2 + A3$$

回路図



真理値表

入 力			出 力	
R	D	C	Q	QB
H	—	—	L	H
L	L	↑	L	L
L	H	↑	H	L
L	—	↓	QN	QN

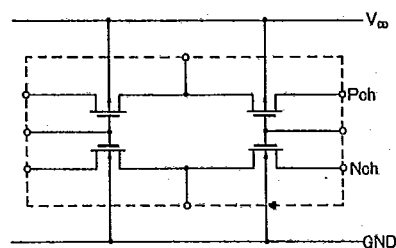


CMOSゲートアレイ

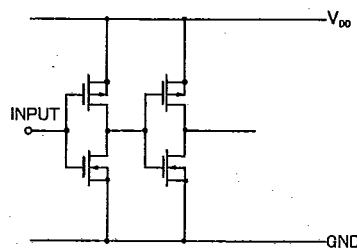
BU1200/BU1200Lシリーズ

● セル構造

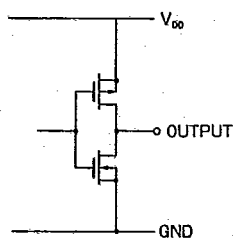
T-42-11-09



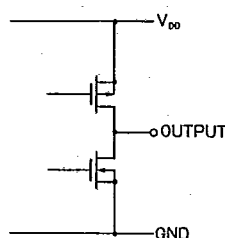
基本 2 入力ゲートセル



入力バッファの構成例



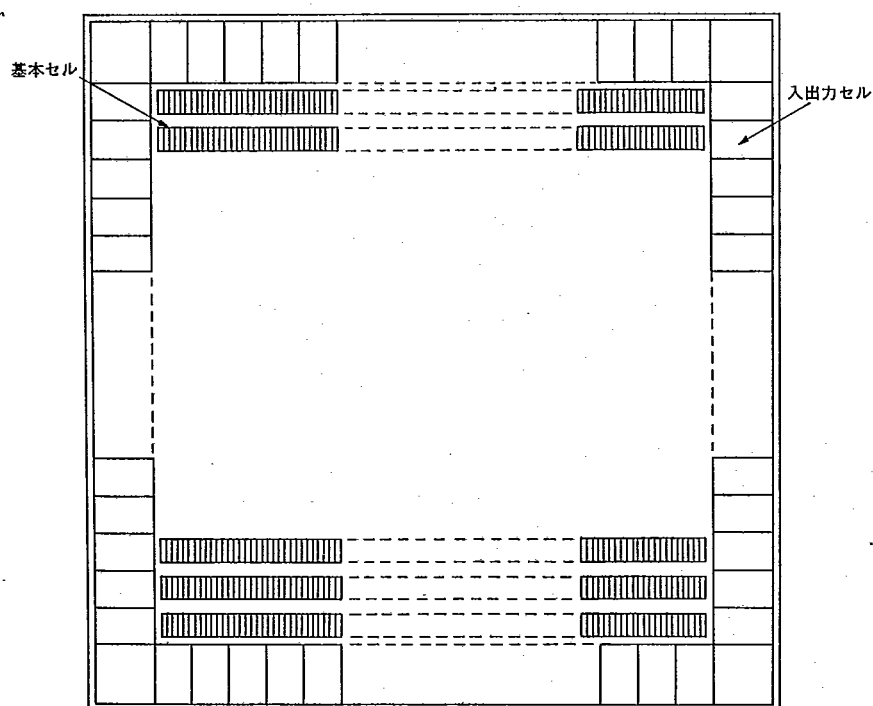
反転出力バッファ



3ステート出力バッファ

出力バッファの構成例

入出力バッファは上の例以外にも構成できます。

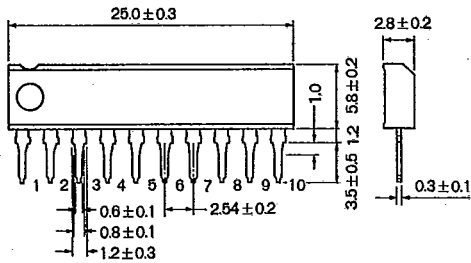


チップレイアウト

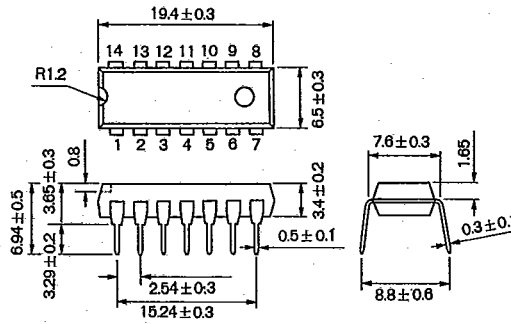
T-42-11-09

● 外形寸法図/Dimensions (Unit: mm)

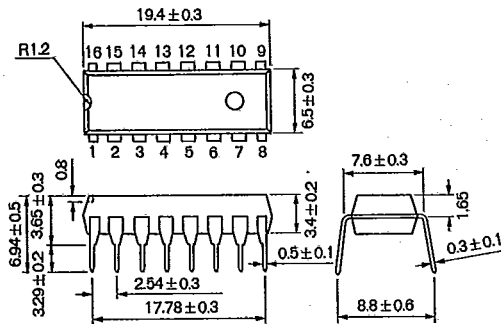
SIP 10pin



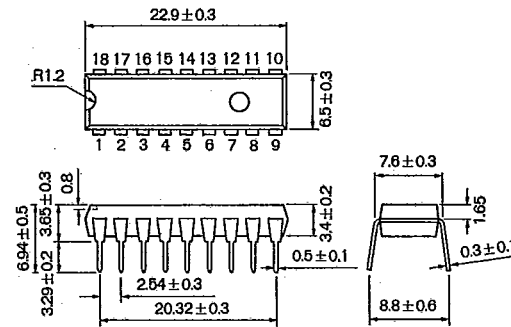
DIP 14pin



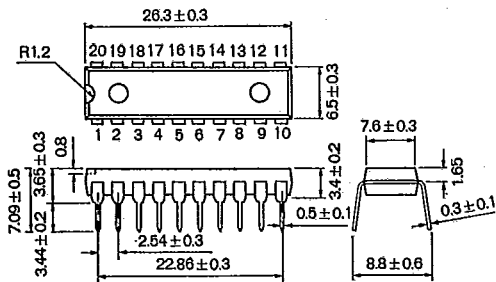
DIP 16pin



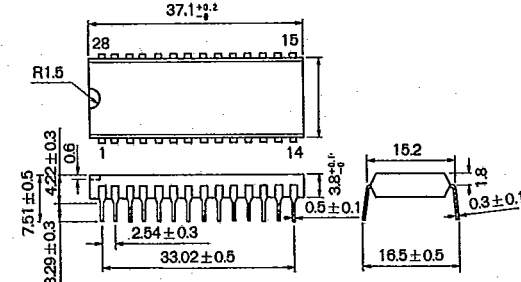
DIP 18pin



DIP 20pin



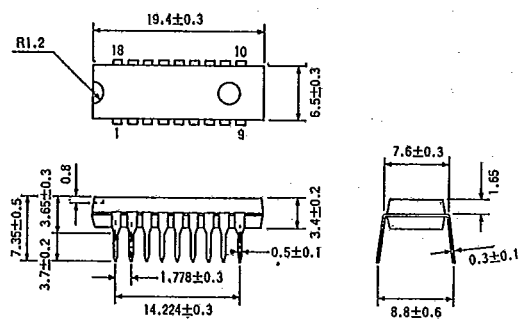
DIP 28pin



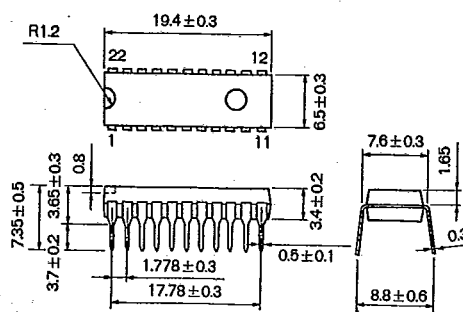
CMOSゲートアレイ

BU1200/BU1200Lシリーズ

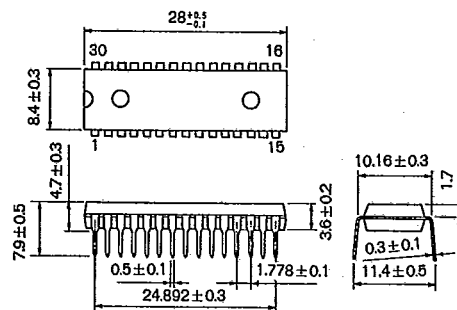
SDIP 18pin



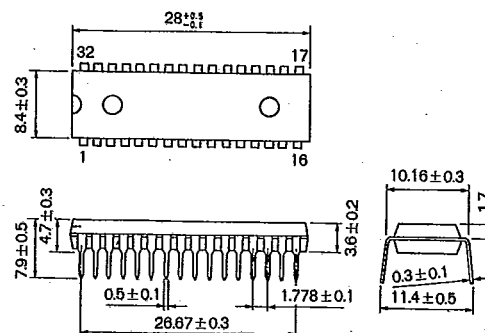
SDIP 22pin



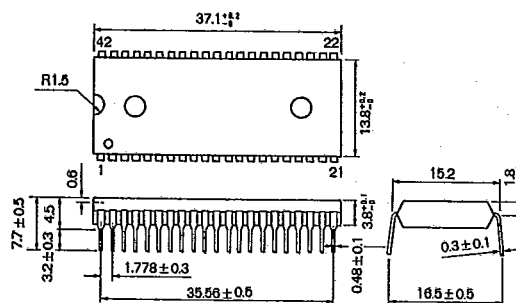
SDIP 30pin



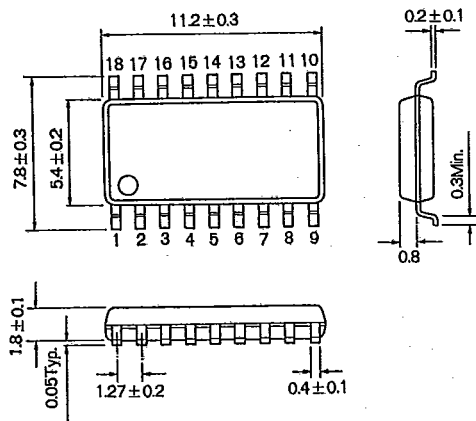
SDIP 32pin



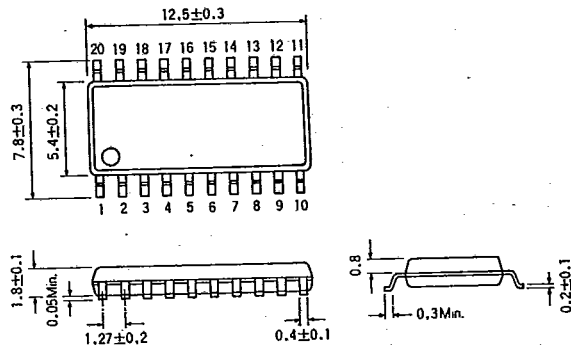
SDIP 42pin



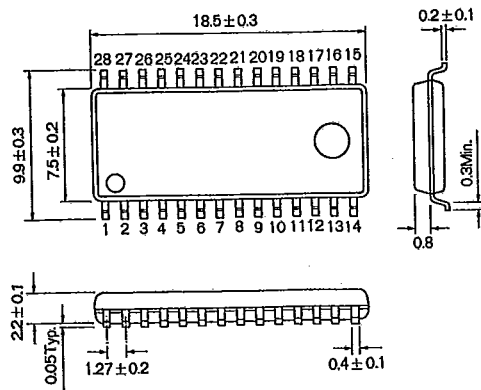
MF 18pin



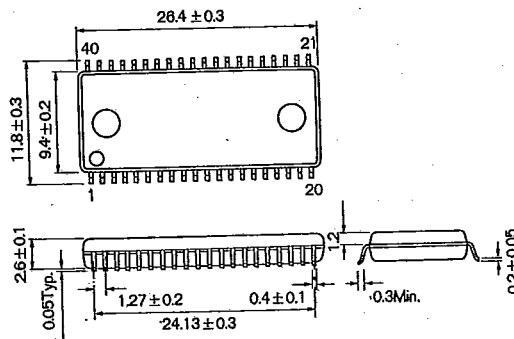
MF 20pin



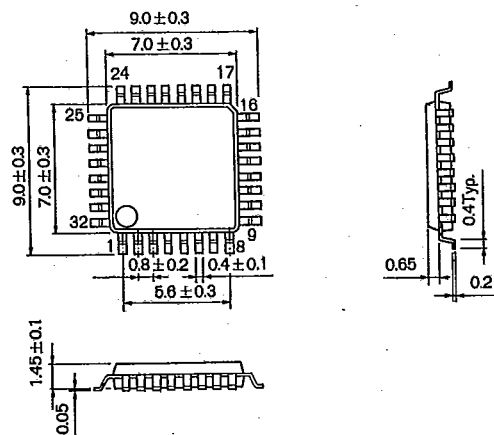
MF 28pin



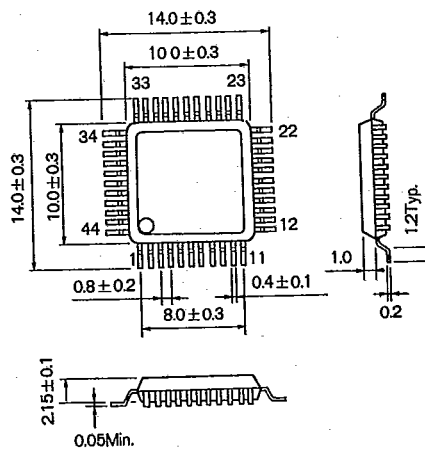
MF 40pin



QFP 32pin



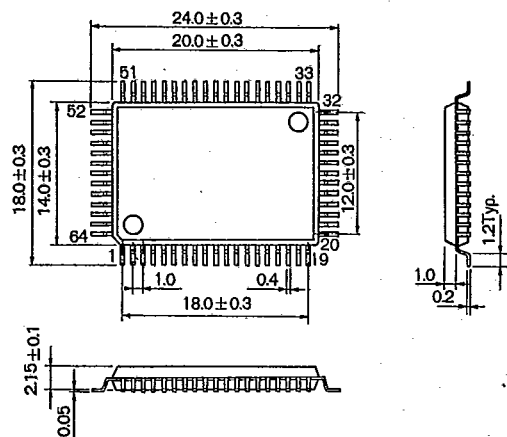
QFP 44pin



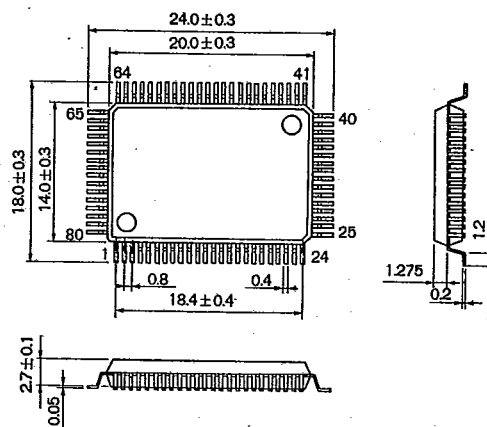
CMOS ゲートアレイ

BU1200 / BU1200L シリーズ

QFP 64pin



QFP 80pin



QFP 100pin

