

SANYO**三洋半導体ニュース**

No. N7257A

N1502

半導体ニュース No. N7257 とさしかえてください。

新

LB11872H — モノリシックデジタル集積回路 ポリゴンミラーモータ用 3相ブラシレスモータドライバ

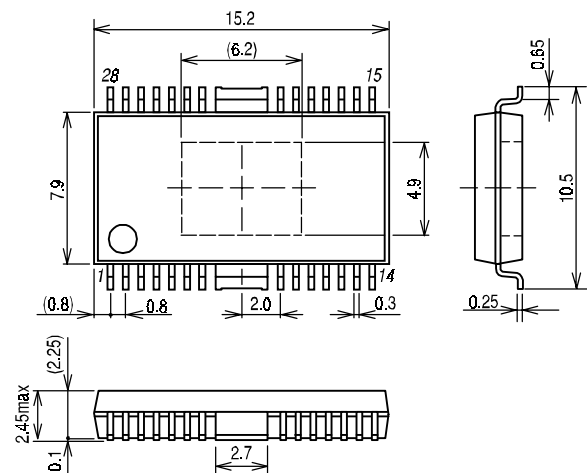
LB11872HはLBP等のポリゴンミラーモータ駆動用に開発された3相ブラシレスモータドライバであり、ポリゴンミラーモータの駆動に必要な回路(速度制御+ドライバ)が1チップで構成できる。電流リニア駆動により、駆動音の小さい駆動が可能である。

機能および特長

- ・3相バイポーラ電流リニア駆動+中点制御。
- ・PLL速度制御回路。
- ・外部クロックによる速度制御。
- ・ホールFG対応。
- ・出力飽和防止回路内蔵。
- ・位相ロック検知出力(マスク機能付き)。
- ・電流制限回路, 過熱保護回路, 拘束保護回路, 低電圧保護回路内蔵。
- ・出力ダイオード内蔵。

外形図 3233A

(unit : mm)



SANYO : HSOP-28H(375mil)

■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

LB11872H

絶対最大定格/Ta=25°C

項目	記号	条件	定格値	unit
最大電源電圧	V _{CC} max		30	V
最大出力電流	I _O max	T ≤ 500ms	1.2	A
許容消費電力 1	Pd max1	IC 単体	0.8	W
許容消費電力 2	Pd max2	基板実装 (114.3 × 76.1 × 1.6mm ガラスエポキシ)	2.0	W
動作周囲温度	T _{opr}		−20 ~ +80	°C
保存周囲温度	T _{stg}		−55 ~ +150	°C

許容動作範囲/Ta=25°C

項目	記号	条件	定格値	unit
電源電圧範囲	V _{CC}		10 ~ 28	V
6.3V 定電圧出力電流	I _{REG}		0 ~ −20	mA
LD 端子印加電圧	V _{LD}		0 ~ 28	V
LD 端子出力電流	I _{LD}		0 ~ 15	mA
FG 端子印加電圧	V _{FG}		0 ~ 28	V
FG 端子出力電流	I _{FG}		0 ~ 10	mA

電気的特性/Ta=25°C, V_{CC}=24V

項目	記号	条件	min	typ	max	unit
電源電流 1	I _{CC1}	ストップモード		5	7	mA
電源電流 2	I _{CC2}	スタートモード		17	22	mA
[出力飽和電圧 V _{AGC} =3.5V]						
SOURCE (1)	VSAT1-1	I _O =0.5A, R _F =0Ω		1.7	2.2	V
SOURCE (2)	VSAT1-2	I _O =1.0A, R _F =0Ω		2.0	2.7	V
SINK (1)	VSAT2-1	I _O =0.5A, R _F =0Ω		0.4	0.9	V
SINK (2)	VSAT2-2	I _O =1.0A, R _F =0Ω		1.0	1.7	V
出力リーク電流	I _O (LEAK)	V _{CC} =28V			100	μA
[6.3V 定電圧出力]						
出力電圧	V _{REG}		5.90	6.25	6.60	V
電圧変動	ΔV _{REG1}	V _{CC} =9.5~28V		50	100	mV
負荷変動	ΔV _{REG2}	I _{load} =−5 ~ −20mA		10	60	mV
温度係数	ΔV _{REG3}	設計目標値※		0		mV/°C
[ホール入力部]						
入力バイアス電流	I _B (H _A)	差動入力 50mV _{p-p}		2	10	μA
差動入力範囲	V _{HIN}	SIN 波入力	50		*600	mV _{p-p}
同相入力範囲	V _{ICM}	差動入力 50mV _{p-p}	2.0		V _{CC} −2.5	V
入力オフセット電圧	V _{IOH}	設計目標値※	−20		20	mV
[FG アンプ・シュミット部 (IN1)]						
入力アンプゲイン	G _{FG}			5		倍
入力ヒステリシス (H→L)	V _{SHL}			0		mV
入力ヒステリシス (L→H)	V _{SLH}			−10		mV
ヒステリシス幅	V _{FGL}	入力換算	4	7	12	mV

*ホール入力が大きくなると出力波形にキックバックを生ずることがあるので、350mV_{p-p} 以下が望ましい。

※設計目標値であり、測定は行わない。

次ページへ続く。

LB11872H

前ページより続く。

項目	記号	条件	min	typ	max	unit
[低電圧保護]						
動作電圧	VSD		8.4	8.8	9.2	V
ヒステリシス幅	ΔVSD		0.2	0.4	0.6	V
[過熱保護]						
熱しゃ断動作温度	TSD	設計目標値※(接合温度)	150	180		℃
ヒステリシス幅	ΔTSD	設計目標値※(接合温度)		40		℃
[電流制限動作]						
加速リミッタ電圧	VRF1		0.53	0.59	0.65	V
減速リミッタ電圧	VRF2		0.32	0.37	0.42	V
[Err アンプ]						
入力オフセット電圧	VI0(ER)	設計目標値※	-10		10	mV
入力バイアス電流	IB(ER)		-1		1	μA
出力「H」レベル電圧	VOH(ER)	IOH=-500 μA	VREG-1.2	VREG-0.9		V
出力「L」レベル電圧	VOL(ER)	IOL=500 μA		0.9	1.2	V
DC バイアスレベル	VB(ER)		-5%	1/2VREG	5%	V
[位相比較出力]						
出力「H」レベル電圧	VPDH	IOH=-100 μA	VREG-0.2	VREG-0.1		V
出力「L」レベル電圧	VPDL	IOL=100 μA		0.2	0.3	V
出力ソース電流	IPD+	VPD=VREG/2			-500	μA
出力シンク電流	IPD-	VPD=VREG/2	1.5			mA
[ロック検知出力]						
出力飽和電圧	VLD(SAT)	ILD=10mA		0.15	0.5	V
出力リーク電流	ILD(LEAK)	VLD=28V			10	μA
[FG 出力]						
出力飽和電圧	VFG(SAT)	IFG=5mA		0.15	0.5	V
出力リーク電流	IFG(LEAK)	VFG=28V			10	μA
[駆動部]						
デッドゾーン幅	VDZ	位相ロック時	50	100	300	mV
出力アイドリング電圧	VID				6	mV
正転ゲイン1	GDF+1	位相ロック時	0.4	0.5	0.6	倍
正転ゲイン2	GDF+2	アンロック時	0.8	1.0	1.2	倍
逆転ゲイン1	GDF-1	位相ロック時	-0.6	-0.5	-0.4	倍
逆転ゲイン2	GDF-2	アンロック時	-0.8	-1.0	-1.2	倍
加速指令電圧	VSTA		5.0	5.6		V
減速指令電圧	VSTO			0.8	1.5	V
正転リミッタ電圧	VL1	Rf=22 Ω	0.53	0.59	0.65	V
逆転リミッタ電圧	VL2	Rf=22 Ω	0.32	0.37	0.42	V

※設計目標値であり、測定は行わない。

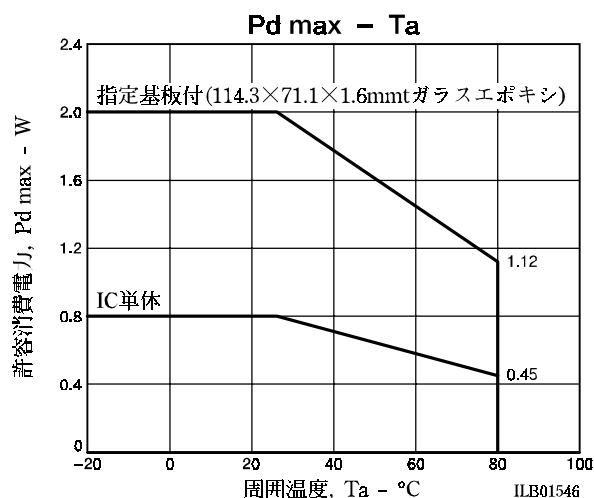
次ページへ続く。

LB11872H

前ページより続く。

項目	記号	条件	min	typ	max	unit
[CSD 発振回路]						
発振周波数	fOSC	C=0.022μF		31		Hz
「H」レベル端子電圧	VCSDH		4.3	4.8	5.3	V
「L」レベル端子電圧	VCSDL		0.75	1.15	1.55	V
外付けC充放電電流	ICHG		3	5	7	μA
ロック検知遅延カウント数	CSDCT1			7		
クロック断線保護動作 カウント数	CSDCT2			2		
拘束保護動作カウント数	CSDCT3			31		
初期リセット電圧	VRES			0.60	0.80	V
[クロック入力部]						
外部入力周波数	fCLK		400		10000	Hz
「H」レベル入力電圧	V _{IH} (CLK)	設計目標値※	2.0		VREG	V
「L」レベル入力電圧	V _{IL} (CLK)	設計目標値※	0		1.0	V
入力オープン電圧	V _{IO} (CLK)		2.7	3.0	3.3	V
ヒステリシス幅	VIS(CLK)	設計目標値※	0.1	0.2	0.3	V
「H」レベル入力電流	I _{IH} (CLK)	V(CLK)=VREG		140	185	μA
「L」レベル入力電流	I _{IL} (CLK)	V(CLK)=0V	-185	-140		μA
[S/S 端子]						
「H」レベル入力電圧	V _{IH} (S/S)		2.0		VREG	V
「L」レベル入力電圧	V _{IL} (S/S)		0		1.0	V
入力オープン電圧	V _{IO} (S/S)		2.7	3.0	3.3	V
ヒステリシス幅	VIS(S/S)		0.1	0.2	0.3	V
「H」レベル入力電流	I _{IH} (S/S)	V(S/S)=VREG		140	185	μA
「L」レベル入力電流	I _{IL} (S/S)	V(S/S)=0V	-185	-140		μA

※設計目標値であり、測定は行わない。



LB11872H

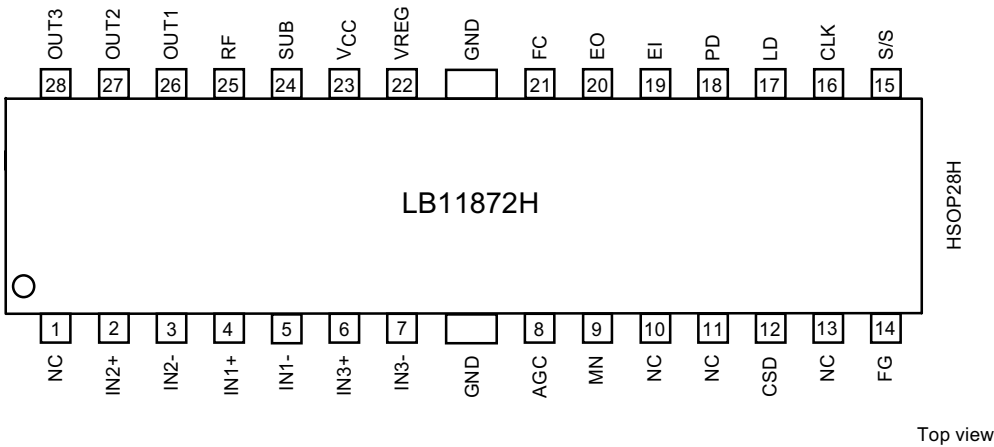
3相ロジック真理値表

OUT1～3 (H:SOURCE, L:SINK)

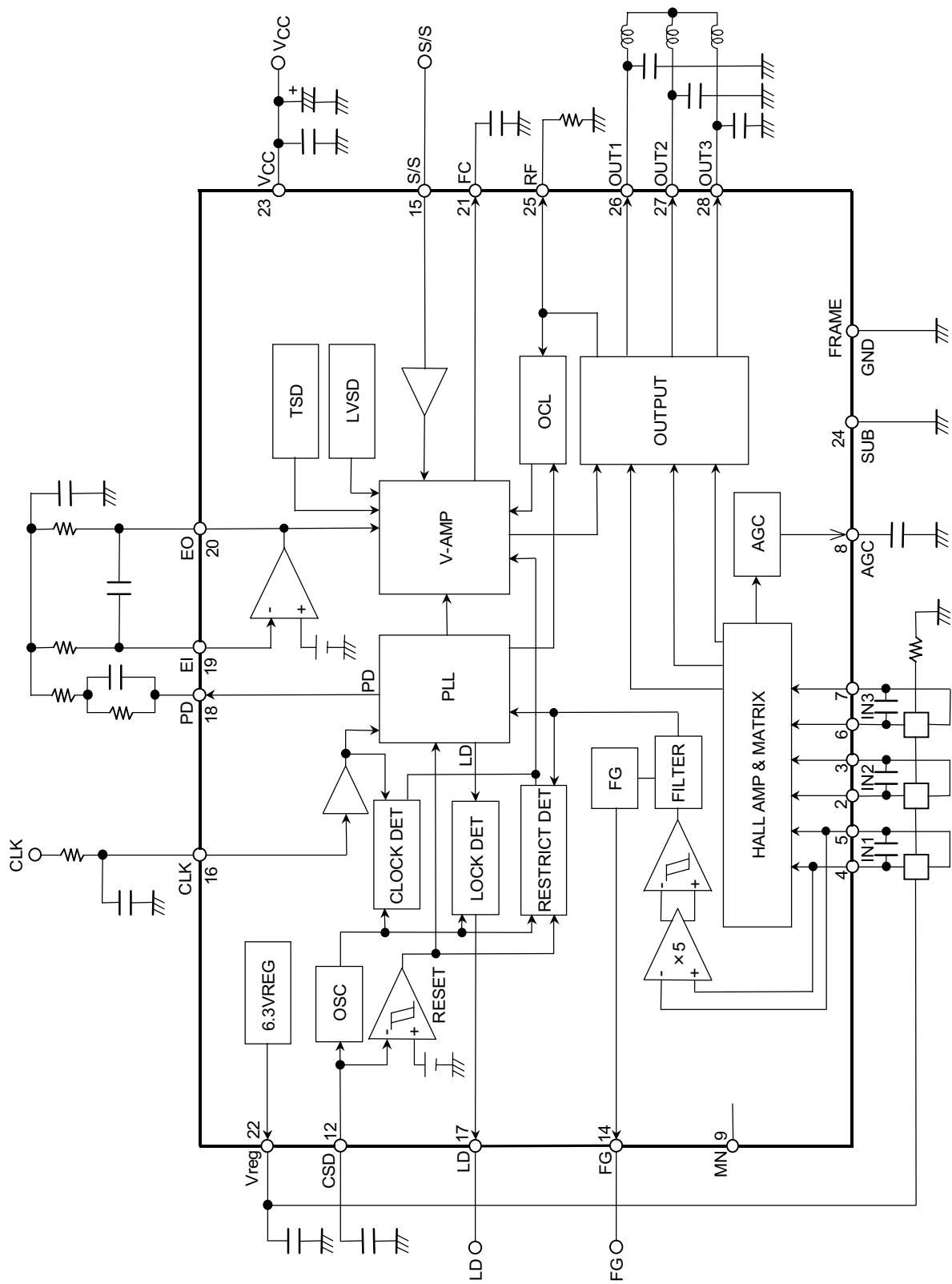
IN1	IN2	IN3	OUT1	OUT2	OUT3
H	L	H	L	H	M
H	L	L	L	M	H
H	H	L	M	L	H
L	H	L	H	L	M
L	H	H	H	M	L
L	L	H	M	H	L

IN1～IN3 で、H とは IN+>IN－であり、L はその逆の状態をいう。
OUT1～OUT3 で、H は SOURCE, L は SINK の状態をいう。

ピン配置図



等価回路ブロック図



LB11872H

端子説明

端子番号	端子記号	等価回路図	端子説明
2 3 4 5 6 7	IN2+ IN2- IN1+ IN1- IN3+ IN3-		ホール入力端子。 IN+>IN-で「H」、逆は「L」とする。 ノイズ対策のため、IN+, IN-間にコンデンサを接続する。 ホール信号は 50mVp-p 以上, 350mVp-p 以下の振幅(差動)が望ましい。 350mVp-p 以上の入力が入ると、出力にキックバックが発生してくる。
8	AGC		AGC アンプ周波数特性補正端子。 GND 間にコンデンサを接続する(約 0.022μF 程度)。
9	MN		モニタ端子。 通常、オープンで使用する。
12	CSD		初期リセットパルス発生端子兼保護回路等の基準発振端子。 GND 間にコンデンサを接続する。
14	FG		FG パルス化出力端子。 オープンコレクタ出力。
15	S/S		スタート/ストップ端子。 「L」: スタート 0V~1.0V 「H」: ストップ 2.0V~VREG オープン時、「H」レベルとなる。

次ページへ続く。

LB11872H

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
16	CLK		クロック入力端子。 「L」: 0V~1.0V 「H」: 2.0V~VREG オープン時、「H」レベルとなる。
17	LD		位相ロック検知出力端子。 PLL 位相ロック時、オンになる。 オープンコレクタ出力。
18	PD		位相比較出力端子(PLL 出力)。 位相誤差をパルスのデューティ変化で出力する。デューティが小さくなると、出力電流は増加する方向。
19	EI		誤差アンプ入力端子。
20	E0		誤差アンプ出力端子。 「H」で出力電流増加。

次ページへ続く。

LB11872H

前ページより続く。

端子 番号	端子 記号	等価回路図	端子説明
21	FC		制御アンプ周波数補正端子。 GND 間にコンデンサを接続することにより、電流制御系閉ループの発振を止める(約5600pF程度)。コンデンサ容量が大きすぎると、出力電流の応答性が悪くなる。
22	VREG		安定化電源出力端子(6.3V 出力)。 安定化のため、GND 間にコンデンサを接続する(約 0.1μF 程度)。
23	V _{CC}		電源端子。
24	SUB		SUB 端子。 GND と接続する。
25	RF		出力電流検出端子。 GND 間に低抵抗 (R _f) を接続する。 $I_{OUT}=V_L/R_f$ で設定した電流値に出力電流が制限される。
26 27 28	OUT1 OUT2 OUT3		モータ駆動 出力端子。 出力が発振する場合は、GND 間にコンデンサを接続する(約 0.1μF 程度)。
1 10 11 13	NC		NC 端子。 配線として使用可能。
フレーム	GND		GND 端子。

LB11872H の説明**1. 速度制御回路**

本 IC は、PLL 速度制御方式を採用しているため、高精度でジッタの少ない、安定した回転を実現できる。この PLL 回路は CLK 信号(立ち下がりエッジ)と FG 信号(IN1 入力)が“L”→“H”に変化するエッジのエッジの位相差を比較し、その誤差出力で制御している。

制御時の FG サーボ周波数は CLK 周波数と同一となる。

$$f_{FG(サーボ)} = f_{CLK}$$

2. 出力駆動回路

本 IC は、モータの回転音を抑えるために、三相全波電流リア駆動方式を採用している。また、出力 Tr の ASO 破壊を防ぐために、中点制御方式を採用している。

速度切り替えやロック引き込み時のモータ減速時には、逆トルクブレーキによる減速を行う。ストップ時は、駆動が切れ、フリーランとなる。

使用するモータによっては、出力部が発振する恐れがあるので、OUT-GND 間にはコンデンサ(0.1μF 程度)を接続すること。

3. ホール入力信号

ホール入力は、モータにより入力振幅が変わっても AGC 回路により、出力への影響は抑えられる。しかし、三相の入力振幅にずれがある場合は、出力の相切り替わりタイミングにずれが生じる。

ホール入力は、50mVp-p 以上の振幅(差動)の信号入力が必要である。入力振幅が 350mVp-p 以上となると、AGC 回路の制御範囲を超え、出力にキックバックが発生することがある。

ホール入力周波数は、1kHz 以上(ホール 1 相分での周波数)で使用すると、起動時等(出力 Tr の飽和時)の発熱が増加する可能性がある。よって、発熱が問題となる場合は、マグネットの極数を少なくし、周波数を下げた方が有利となる。

IN1 のホール信号を IC 内部で速度制御の FG 信号としている。ノイズが問題となりやすいため、入力間にはコンデンサを入れること。三相の信号振幅に差が出る可能性があるため、コンデンサは全ての入力に同一のコンデンサを付けること。

ホール素子のバイアス電源は、V_{CC} とすることもできるが、VREG としたほうがノイズ試験等で問題となりにくい。VREG とした場合、ホールアンプ同相入力範囲の上限を気にする必要がなくなるため、バイアス設定抵抗は下側のみとできる。

4. パワーセーブ回路

本 IC は、ストップ状態では消費電流を減少させるパワーセーブ状態となる。パワーセーブ状態では、大部分の回路のバイアス電流をカットすることにより行っている。パワーセーブ状態においても、6.3V レギュレータ出力は出力される。

5. 基準クロック信号

外部から入力するクロック信号は、チャタリング等のノイズがないように注意する必要がある。入力回路にはヒステリシスを持たせてあるが、問題となる場合は、コンデンサ等によりノイズを除去してから入力すること。

クロック断線保護回路を内蔵している。下式で求める周波数以下の信号が入力された場合、正常な制御は行われず、間欠駆動となる。

$$f(\text{Hz}) \approx 0.64 \div \text{CCSD} \quad \text{CCSD}(\mu\text{F}) : \text{CSD 端子-GND 間コンデンサ}$$

0.022μF のコンデンサを使用した場合、約 29Hz となる。

完全にクロック無入力状態でスタート状態とされた場合、モータが多少回転した後に駆動はオフされる。モータの回転が停止して、拘束保護時間以上経過した後に、クロックが再入力されても駆動を再開しない。しかし、拘束保護回路が動作する前に、クロックが再入力されると駆動は再開される。

次ページへ続く。

前ページより続く。

6. 拘束保護回路

モータ拘束時の IC およびモータの保護を行うため、拘束保護回路を内蔵している。スタート状態で FG 信号 (IN1 の片側エッジ) が一定時間切り替わらないと、出力の駆動をオフする。設定時間は、CSD 端子に接続するコンデンサ容量により決まる。

$$\text{設定時間 (sec)} \simeq 30.5 \times 1.57 \times \text{CCSD} (\mu\text{F})$$

0.022 μF のコンデンサを使用した場合、保護動作時間は約 1.05 秒となる。

拘束保護状態を解除するには、ストップ状態 (100 μs 以上保持) とするか、電源の再投入が必要である。拘束時における FG 信号にノイズがあると、拘束保護回路が正常に動作しない場合がある。

7. 位相ロック信号

①位相ロックの範囲

本 IC は、速度系のカウンタ等を持っていないため、位相ロック状態における速度誤差範囲は、IC 特性のみでは決めることができない (FG 周波数変化の加速度が影響するため)。モータとして規定する必要がある場合は、実際にモータ状態で測定して決めてもらう必要がある。FG の加速度が大きい状態で速度誤差は生じやすいため、起動時のロック引き込み時やクロック切り替えによるアンロック時が一番速度誤差としては大きくなると思われる。

②位相ロック信号のマスキング機能

ロック引き込み時のハンチングによる短時間の “L” 信号をマスクすることにより、安定した状態でロック信号を出すことができる。しかし、マスク時間分はロック信号出力が遅れることになる。

マスク時間は、CSD 端子に接続するコンデンサ容量により設定する。

$$\text{マスク時間 (sec)} \simeq 6.5 \times 1.57 \times \text{CCSD} (\mu\text{F})$$

0.022 μF のコンデンサを使用した場合、約 225ms のマスク時間となる。完全にマスクする必要がある場合は、マスク時間は十分に余裕を持って設定すること。

8. 初期リセット

スタート時にロジック回路を初期リセットするため、CSD 端子電圧が 0→約 0.63V となるまでリセット状態となる。リセットが解除された後、出力の駆動が開始される。リセット時間は、ほぼ次の式で算出できる。

$$\text{リセット時間 (sec)} \simeq 0.13 \times \text{CCSD} (\mu\text{F})$$

リセット時間は、100 μs 以上が必要である。

9. 電流制限回路

電流制限値は、RF 端子-GND 間に接続する Rf 抵抗によって決まる。

$$\text{ILIM} = \text{VL} / \text{Rf} \quad \text{VL} = 0.59\text{V}_{\text{typ}} (\text{加速時}), 0.37\text{V}_{\text{typ}} (\text{減速時})$$

10. 電源安定化

電源電圧安定化のために V_{CC} 端子-GND 間には十分な容量のコンデンサを接続すること。電源の逆接続による破壊防止の目的で、電源ラインにダイオードを挿入する場合、電源ラインが特に振られやすくなるため、より大きな容量を選択する必要がある。

高周波のノイズが問題となる場合は、約 0.1 μF 程度のセラミックコンデンサを並列に付けること。

11. VREG 安定化

制御回路の電源である VREG 電圧を安定化するために、0.1 μF 以上のコンデンサを出来るだけピン近傍に接続すること。

次ページへ続く。

前ページより続く。

12. 誤差アンプ周辺定数

誤差アンプ部の外付け部品は、ノイズの影響を受けにくいようにできるだけ IC 近傍に配置すること。

13. FRAME ピンおよびヒートシンク部

FRAME ピンおよびヒートシンク部(IC 裏面)は制御回路の GND 端子となっている。この GND ラインと RF 抵抗の GND ラインは、電解コンデンサの GND 部で一点アースとすることが望ましい。

IC 裏面の金属部は、熱伝導の良いはんだ等で基板と密着させると、放熱が非常に良くなる。

14. CSD 端子

CSD 端子に付けるコンデンサは、拘束保護動作時間、位相ロック信号マスク時間等の様々な動作に影響する。設定においては、次のように決めることが目安となる。

①位相ロック信号のチャタリングを無くすことを優先する場合

十分なマスク時間を確保できる容量を選択する。

②チャタリングを無くすより、起動時間を優先する場合

起動時において拘束保護が動作しない容量を選択し、クロック断線保護および初期リセット時間に問題がないか確認する。

無制御時におけるモータの特性等を検討する場合、保護回路等の動作が邪魔となる場合がある。この場合は、CSD 端子-GND 間のコンデンサと並列に約 $390\text{k}\Omega$ の抵抗を接続することにより、初期リセットのみ動作し、保護回路等を動作させない状態とできる。

15. FC 端子

FC 端子に接続するコンデンサは、電流制限ループの位相補償用として必要である。容量値が小さすぎると、出力が発振する。容量値が大きすぎると、出力が飽和した状態の電流制限時に制限値以上の電流が流れやすくなる(制御の応答性が悪くなるため)。

16. AGC 端子

AGC 端子に接続するコンデンサは、使用する回転数領域において AGC 端子電圧が、ある程度平滑できる容量値を選択すること。また、初期リセットが解除するまでに AGC 電圧がほぼ安定する電圧に達することができる容量値であることが望ましい(容量値が大きすぎると、AGC 電圧の変化が遅くなる)。

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。