

半導体ニュースNo. 3663とさしかえてください。

LC3564P, PL-10/12

LC3564PM, PML-10/12

LC3564PM-10L/12L

非同期型シリコンゲートCMOS-LSI

8192ワード×8ビットスタティックRAM

概要

LC3564P, PL, PM, PML-10/12, LC3564PM-10L/12Lは、8192ワード×8ビット構成の非同期型シリコンゲートCMOS-SRAMである。

2層Al配線技術を使用した完全CMOSタイプであり、高速アクセス、低消費電流、低スタンバイ電流である。コントロール信号入力に高速メモリアクセス用のOEとパワーダウンおよび、デバイス選択用の2つのチップインーブルCE1, CE2を有する。

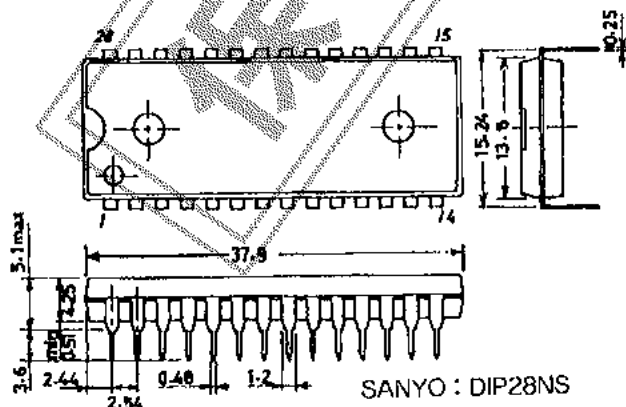
このため、高速、ローパワー、バッテリーバックアップを必要とするシステムに最適であり、メモリ容量の拡張も容易である。

特長

- ・アドレスアクセス時間(tAA)
LC3564P, PL, PM, PML-10, LC3564PM-10L : 100ns(max)
LC3564P, PL, PM, PML-12, LC3564PM-12L : 120ns(max)
- ・低スタンバイ電流
LC3564P, PM-10/12 : 10μA(max)
LC3564P, PML-10/12, LC3564PM-10L/12L : 1μA(max)
- ・5V単一電源 : 5V±10%
- ・データ保持電源電圧: 2.0~5.5V
- ・クロック不要(完全スタティックRAM)
- ・全入力レベルTTLコンパチブル
- ・入出力共通ピン、出力3ステート
- ・パッケージ
LC3564P, PL-10/12 : DIP28ピンプラスチックパッケージ
LC3564PM, PML-10/12 : MFP28ピン(375mil)プラスチックパッケージ
LC3564PM-10L/12L : SOP28ピン(450mil)プラスチックパッケージ
- ・3つのコントロール入力(OE, CE1, CE2)

外形図 3081-D28NS [LC3564P, PL-10/12]

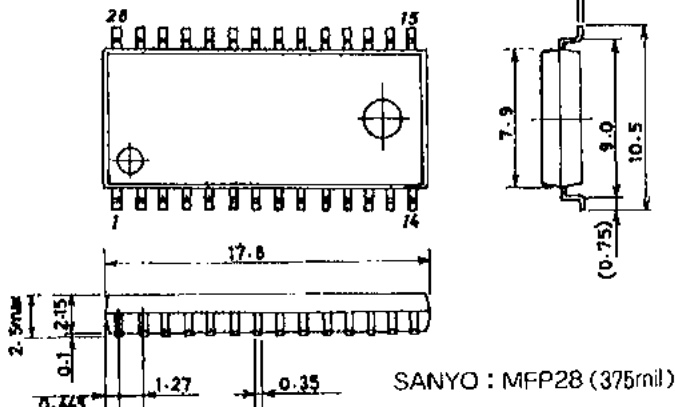
(unit: mm)



SANYO : DIP28NS

外形図 3091-M28IC [LC3564PM, PML-10/12]

(unit: mm)

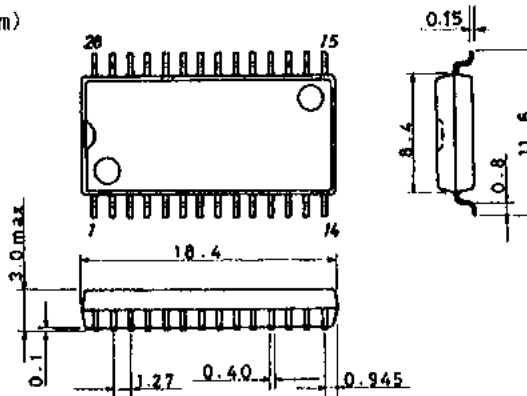


SANYO : MFP28 (375mil)

※これらの仕様は、改良などのため変更することがあります。

外形図 3158-SOP28VL (LC3564PM-10L/12L)

(unit: mm)



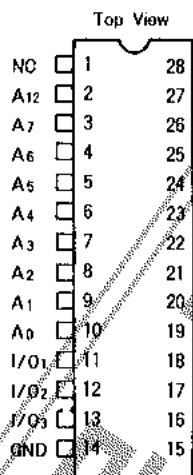
SANYO:SOP28 (450mil)

■機能表

モード	CE1	CE2	OE	WE	I/O	電源電流
リードサイクル	L	H	L	H	データ出力	ICCA
ライトサイクル	L	H	X	L	データ入力	ICCA
出力ディセーブル	L	H	H	H	高インピーダンス	ICCA
非選択	H	X	X	X	高インピーダンス	ICCS
	X	L	X	X	高インピーダンス	ICCS

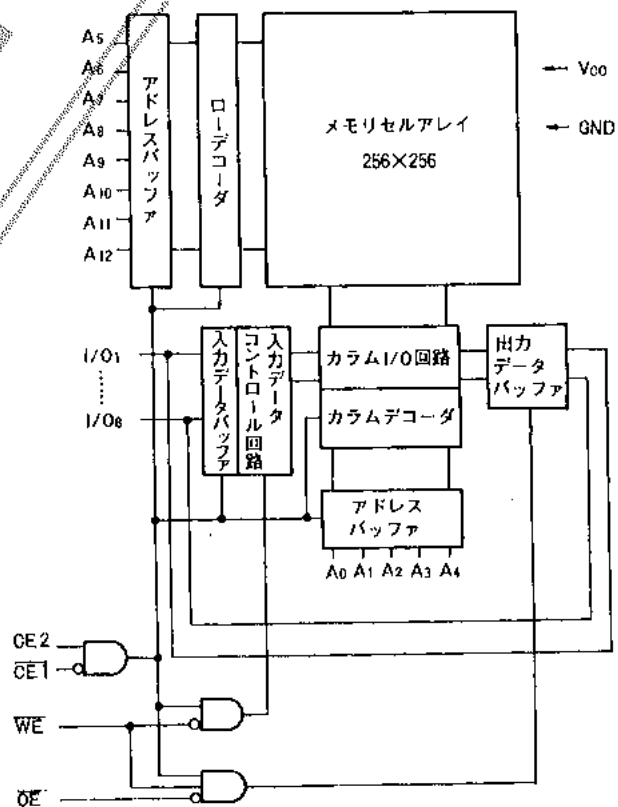
X: H or L

■ピン配置



A₀~A₁₂ : アドレス入力
 WE : リードライト制御入力
 OE : アウトプットイネーブル入力
 CE1, CE2 : チップイネーブル入力
 I/O₁~I/O₈ : データ入出力
 Vcc, GND : 電源端子, グランド

■ブロック図



■絶対最大定格

項 目	記 号	条 件	定 格 値	unit
最大電源電圧	V _{CC} max		17.0	V
入力端子電圧	V _{IN}		-0.3~V _{CC} +0.3	V
I/O端子電圧	V _{I/O}		-0.3~V _{CC} +0.3	V
動作周囲温度	T _{opg}		-30~+70	°C
保存周囲温度	T _{stg}		-55~+125	°C

■DC許容動作範囲 / T_a = -30~+70°C

項 目	記 号	min	typ	max	unit
電源電圧	V _{CC}	4.5	5.0	5.5	V
入力電圧	V _{IH}	2.2		V _{CC} +0.3	V
	V _{IL}	-0.3		0.8	V

■DC電気的特性 / T_a = -30~+70°C, V_{CC} = 4.5V~5.5V

項 目	記号	条 件	min	typ*	max	unit
入力リーク電流	I _{LI}	V _{IN} = 0~V _{CC}	-1.0		1.0	μA
I/Oリーク電流	I _{LO}	V _{CE1} = V _{IH} or V _{CE2} = V _{IL} or V _{OE} = V _{IH} or V _{WE} = V _{IL} , V _{I/O} = 0~V _{CC}	-1.0		1.0	μA
出力「H」レベル電圧	V _{OHI}	I _{OHI} = -1.0mA	2.4			V
出力「L」レベル電圧	V _{OLI}	I _{OLI} = 2.0mA			0.4	V
動作時電源電流	I _{CCA1}	V _{CE1} = 0V, V _{CE2} = V _{CC} , I _{I/O} = 0mA, V _{IN} ≤ 0.2V or V _{IN} ≥ V _{CC} - 0.2V			0.1	mA
	I _{CCA2}	V _{CE1} = V _{IL} , V _{CE2} = V _{IH} , I _{I/O} = 0mA, V _{IN} = V _{IH} or V _{IL}		5	10	mA
	I _{CCA3}	V _{CE1} = V _{IL} , V _{CE2} = V _{IH} , I _{I/O} = 0mA, min. cycle		20	40	mA
スタンバイ時電源電流	I _{CCS1}	V _{CE1} ≤ 0.2V or V _{CE1} ≥ V _{CC} - 0.2V, V _{CE2} ≤ V _{CC} - 0.2V or V _{CE2} ≥ V _{CC} - 0.2V, V _{CE2} ≤ 0.2V			1.0	μA
	I _{CCS2}	V _{CE2} = V _{IL} or V _{CE1} = V _{IH} , V _{IN} = 0~V _{CC}			2	mA

*V_{CC} = 5V, T_a = +25°Cにおける参考値。■入出力容量 / T_a = +25°C, f = 1MHz

項 目	記号	条 件	min	typ	max	unit
I/O端子容量	C _{I/O}	V _{I/O} = 0V		6	10	pF
入力端子容量	C _{IN}	V _{IN} = 0V		6	10	pF

注)この特性は、抜き取り検査によるものである。

LC3564P, PL, PM, PML

■ AC電気的特性 / Ta=-30~+70℃, Vcc=4.5V~5.5V

ACテスト条件

入力パルス電圧レベル : 0.6V, 2.4V
 入力立上り, 立下り時間 : 5 ns
 入力・出力タイミングレベル : 1.5V
 出力負荷 : 1 TTLゲート + C_L=100pF (負荷容量を含む)

リードサイクル

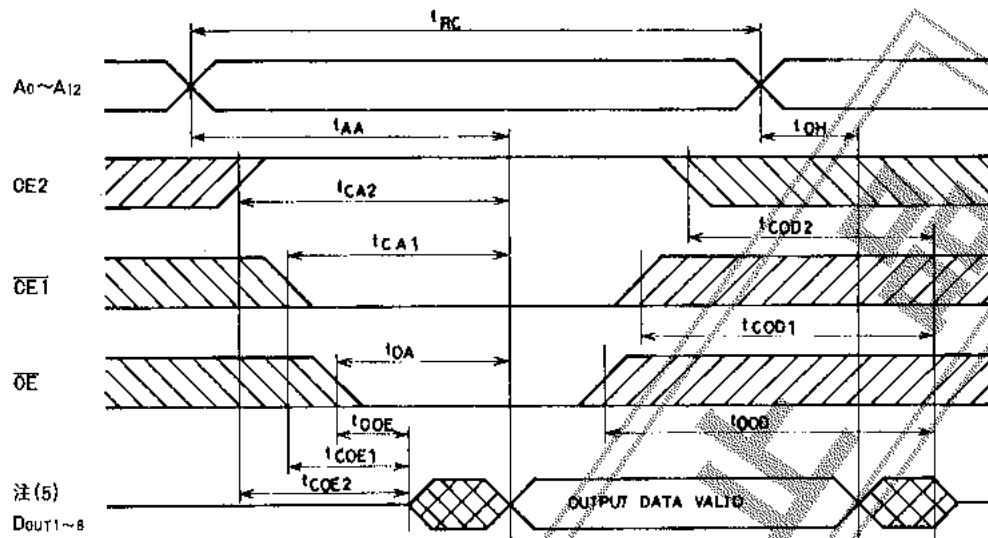
パラメータ	記号	LC3564P, PL, PM, PML-10 LC3564PM-10L		LC3564P, PL, PM, PML-12 LC3564PM-12L		unit
		min	max	min	max	
リードサイクル時間	t _{RC}	100		120		ns
アドレスアクセス時間	t _{AA}		100		120	ns
CE1アクセス時間	t _{CA1}		100		120	ns
CE2アクセス時間	t _{CA2}		100		120	ns
OEアクセス時間	t _{OA}		60		70	ns
出力ホールド時間	t _{OH}	10		15		ns
CE1出力イネーブル時間	t _{COE1}	10		10		ns
CE2出力イネーブル時間	t _{COE2}	10		10		ns
OE出力イネーブル時間	t _{OOE}	5		5		ns
CE1出力ディセーブル時間	t _{COD1}		40		45	ns
CE2出力ディセーブル時間	t _{COD2}		40		45	ns
OE出力ディセーブル時間	t _{OOD}		35		40	ns

ライトサイクル

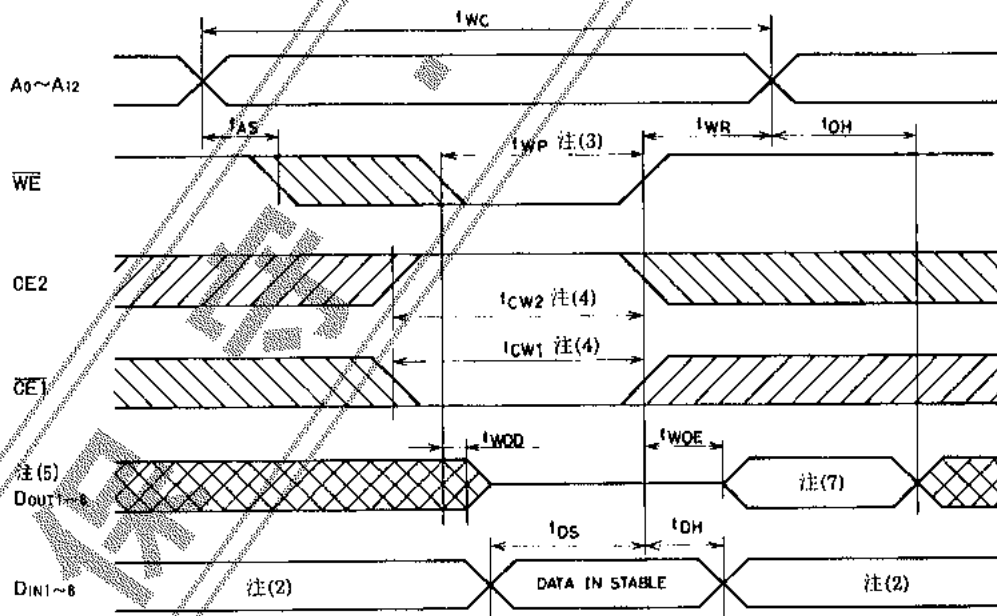
パラメータ	記号	LC3564P, PL, PM, PML-10 LC3564PM-10L		LC3564P, PL, PM, PML-12 LC3564PM-12L		unit
		min	max	min	max	
ライトサイクル時間	t _{WC}	100		120		ns
アドレスセットアップ時間	t _{AS}	0		0		ns
ライトパルス幅	t _{WP}	65		70		ns
CE1セットアップ時間	t _{CW1}	65		70		ns
CE2セットアップ時間	t _{CW2}	65		70		ns
ライトリカバリー時間	t _{WR}	0		0		ns
CE1ライトリカバリー時間	t _{WR1}	0		0		ns
CE2ライトリカバリー時間	t _{WR2}	0		0		ns
データセットアップ時間	t _{DS}	60		65		ns
データホールド時間	t _{DH}	0		0		ns
CE1データホールド時間	t _{DH1}	0		0		ns
CE2データホールド時間	t _{DH2}	0		0		ns
WE出力イネーブル時間	t _{WOE}	5		5		ns
WE出力ディセーブル時間	t _{WOD}		35		40	ns

タイミング図

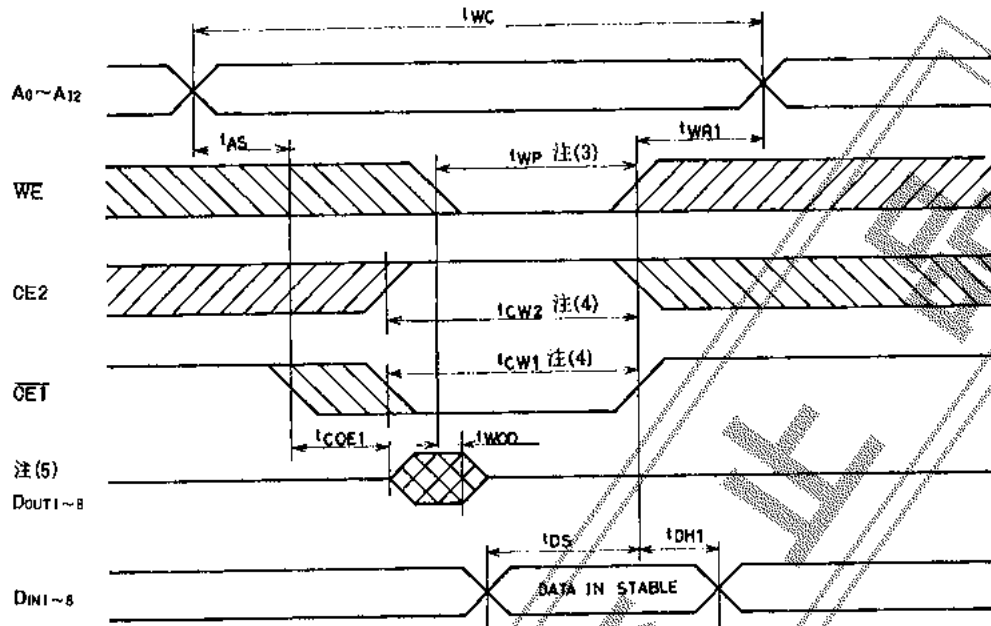
リードサイクル 注(1)



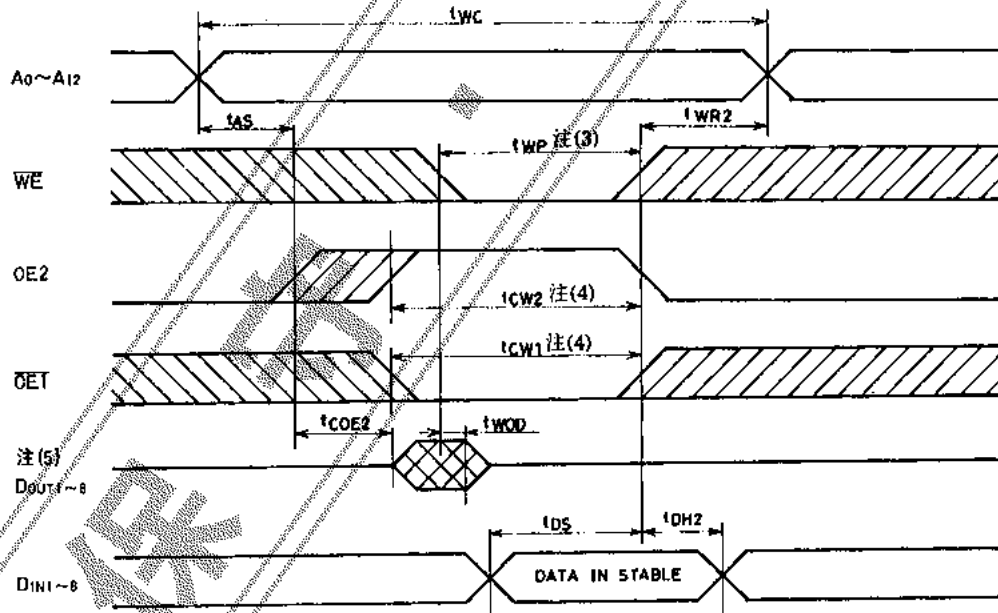
ライトサイクル1 (WE書き込み) 注(6)



ライトサイクル2 (CE1書き込み) 注(6)



ライトサイクル3 (CE2書き込み) 注(6)



注) (1)リードサイクル中、 $\overline{WE}$ は高レベルにしておく。

(2)DOUTが出力状態にあるとき外部から逆位相の信号を印加してはならない。

(3) t_{WP} は、 $\overline{CE1}$ 、 $\overline{WE}$ が低レベル、CE2が高レベルの期間であり、 $\overline{WE}$ の立ち下がりから、 $\overline{CE1}$ 、 $\overline{WE}$ の立ち上がり、あるいはCE2の立ち下がりのいずれが早い方までの時間で、定義される。

(4) t_{CW1} 、 t_{CW2} は、 $\overline{CE1}$ 、 $\overline{WE}$ が低レベル、CE2が高レベルの期間であり、 $\overline{CE1}$ の立ち下がり、あるいはCE2の立ち上がりから $\overline{CE1}$ 、 $\overline{WE}$ の立ち上がりあるいはCE2の立ち下がりのいずれが早い方までの時間で、定義される。

(5) $\overline{OE}$ が高レベル、 $\overline{CE1}$ が高レベル、CE2が低レベル、 $\overline{WE}$ が低レベルのいずれの状態でもDOUTは、高インピーダンス状態になる。

(6)ライトサイクル中では $\overline{OE}$ は、 V_{IH} か V_{IL} である。

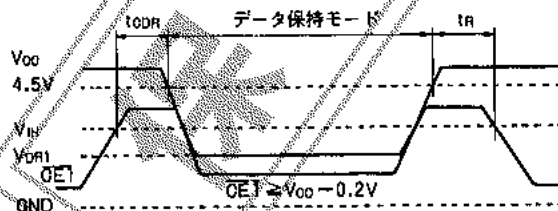
(7)DOUTはこのライトサイクルの書き込みデータと同位相である。

■データ保持特性 / $T_a = -30 \sim +70^\circ\text{C}$

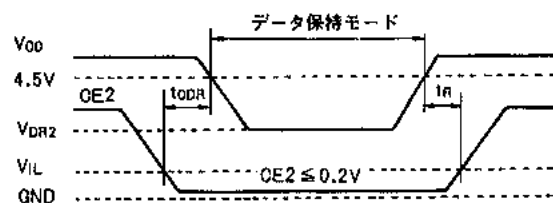
パラメータ	記号	条 件	min	typ	max	unit
データ保持電源電圧	V_{DR1}	$V_{CE1} \geq V_{CC} - 0.2\text{V}$, $V_{CE2} \geq V_{CC} - 0.2\text{V}$, or $V_{CE2} \leq 0.2\text{V}$	2.0		5.5	V
	V_{DR2}	$V_{CE2} \leq 0.2\text{V}$	2.0		5.5	V
データ保持電源電流	I_{CCDR1}	$V_{CC} = 3\text{V}$, $V_{CE1} \geq V_{CC} - 0.2\text{V}$, $V_{CE2} \geq V_{CC} - 0.2\text{V}$, or $V_{CE2} \leq 0.2\text{V}$			1.0	μA
					10	μA
	I_{CCDR2}	$V_{CC} = 3\text{V}$, $V_{CE2} \leq 0.2\text{V}$			1.0	μA
					10	μA
チップイネーブル セットアップ時間	t_{CDR}		0			ns
チップイネーブル ホールド時間	t_R		t_{RC} 注			ns

注) t_{RC} : リードサイクル時間

データ保持波形 (1) ($\overline{CE1}$ コントロール)



データ保持波形 (2) (CE2 コントロール)



この資料の情報(掲載回路および回路定数を含む)は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。

本書記載製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

Information (including circuit diagrams and circuit parameters) herein is for example only; it is not guaranteed for volume production. SANYO believes information herein is accurate and reliable, but no guarantees are made or implied regarding its use or any infringements of intellectual property rights or other rights of third parties.