

1 μ Aパワーダウン付の+3V、 400ksps、4/8チャンネル、8ビットADC

概要

MAX113/MAX117は、マイクロプロセッサコンパチブルの8ビット4チャンネル及び8チャンネルA/Dコンバータ(ADC)です。+3V単一電源で動作し、ハーフフラッシュ技法により変換時間1.8 μ s(400ksps)を実現しています。パワーダウン(PWRDN)ピンにより消費電流を1 μ A(typ)まで低減します。パワーダウンモードから通常動作モードまでの復帰時間は900ns以下であるため、バーストモードアプリケーションでの消費電流を著しく低減します(バーストモードではADCは、指定された間隔でローパワー状態からウェイクアップしてアナログ入力信号をサンプリングします)。MAX113/MAX117はトラック/ホールド機能を備えているため、高速アナログ信号の数値化が可能です。

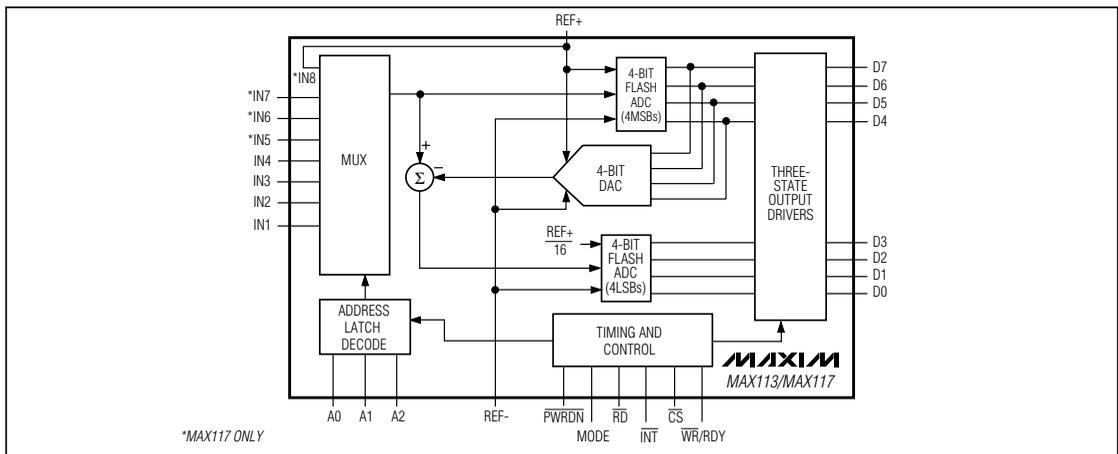
このADCは外部インタフェースロジックなしでI/Oポート又はメモリロケーションとして扱うことができるため、マイクロプロセッサ(μ P)インタフェースが単純になります。データ出力にはラッチ付スリーステートバッファ回路を用いているため、8ビットパラレル μ Pデータバス又はシステム入力ポートに直接接続することができます。MAX113/MAX117は、レシオメトリック動作が可能な入力/リファレンス構成になっています。

4チャンネルのMAX113は24ピンDIP又はSSOPパッケージで供給されています。8チャンネルのMAX117は28ピンDIP又はSSOPパッケージで供給されています。+5Vの応用については、MAX114/118のデータシートを参照して下さい。

アプリケーション

バッテリー駆動機器 リモートデータ収集
ポータブル機器 通信機器
システム状態監視

ファンクションダイアグラム



特長

- ◆ 電源 : +3.0V ~ +3.6V単一
- ◆ アナログ入力チャンネル数 :
4(MAX113)又は8(MAX117)
- ◆ 低電力 : 1.5mA(動作モード)
1 μ A(パワーダウンモード)
- ◆ 全未調整誤差 : 1LSB以下
- ◆ 高速変換 : 1.8 μ s/チャンネル
- ◆ 外部クロック不要
- ◆ 内部トラック/ホールド
- ◆ レシオメトリックス用リファレンス入力
- ◆ 内部接続の第8チャンネルがリファレンス電圧を監視 (MAX117)

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX113CNG	0°C to +70°C	24 Narrow Plastic DIP
MAX113CAG	0°C to +70°C	24 SSOP
MAX113C/D	0°C to +70°C	Dice*
MAX113ENG	-40°C to +85°C	24 Narrow Plastic DIP
MAX113EAG	-40°C to +85°C	24 SSOP
MAX113MRG	-55°C to +125°C	24 Narrow CERDIP**

Ordering Information continued at end of data sheet.

*Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

**Contact factory for availability.

ピン配置はデータシートの最後に記載されています。

1 μ Aパワーダウン付の+3V、 400ksps、4/8チャンネル、8ビットADC

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +7V
Digital Input Voltage to GND	-0.3V to (V _{DD} + 0.3V)
Digital Output Voltage to GND	-0.3V to (V _{DD} + 0.3V)
REF+ to GND	-0.3V to (V _{DD} + 0.3V)
REF- to GND	-0.3V to (V _{DD} + 0.3V)
IN ₋ to GND	-0.3V to (V _{DD} + 0.3V)
Continuous Power Dissipation (T _A = +70°C)	
24 Narrow Plastic DIP	
(derate 13.33mW/°C above +70°C)	1.08W
24 SSOP (derate 8.00mW/°C above +70°C)	640mW
24 Narrow CERDIP (derate 12.50mW/°C above +70°C)	1W

28 Wide Plastic DIP	
(derate 14.29mW/°C above +70°C)	1.14W
28 SSOP (derate 9.52mW/°C above +70°C)	762mW
28 Wide CERDIP (derate 16.67mW/°C above +70°C)	1.33W
Operating Temperature Ranges	
MAX113C_G/MAX117C_I	0°C to +70°C
MAX113E_G/MAX117E_I	-40°C to +85°C
MAX113MRG/MAX117MJL	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +3V to +3.6V, REF+ = 3V, REF- = GND, Read Mode (MODE = GND), T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY (Note 1)						
Resolution	N		8			Bits
Total Unadjusted Error	TUE				±1	LSB
Differential Nonlinearity	DNL	No-missing-codes guaranteed			±1	LSB
Zero-Code Error					±1	LSB
Full-Scale Error					±1	LSB
Channel-to-Channel Mismatch					±1/4	LSB
DYNAMIC PERFORMANCE						
Signal-to-Noise Plus Distortion Ratio	SINAD	MAX11_C/E, f _{SAMPLE} = 400kHz, f _{IN} = 30.273kHz	45			dB
		MAX11_M, f _{SAMPLE} = 340kHz, f _{IN} = 30.725kHz	45			
Total Harmonic Distortion	THD	MAX11_C/E, f _{SAMPLE} = 400kHz, f _{IN} = 30.273kHz			-50	dB
		MAX11_M, f _{SAMPLE} = 340kHz, f _{IN} = 30.725kHz			-50	
Spurious-Free Dynamic Range	SFDR	MAX11_C/E, f _{SAMPLE} = 400kHz, f _{IN} = 30.273kHz	50			dB
		MAX11_M, f _{SAMPLE} = 340kHz, f _{IN} = 30.725kHz	50			
Input Full-Power Bandwidth		V _{IN-} = 3Vp-p		0.3		MHz
Input Slew Rate, Tracking			0.28	0.5		V/μs
ANALOG INPUT						
Input Voltage Range	V _{IN-}		V _{REF-}		V _{REF+}	V
Input Leakage Current	I _{IN-}	GND < V _{IN-} < V _{DD}			±3	μA
Input Capacitance	C _{IN-}			32		pF
REFERENCE INPUT						
Reference Resistance	R _{REF}		1	2	4	kΩ
REF+ Input Voltage Range			V _{REF-}		V _{DD}	V
REF- Input Voltage Range			GND		V _{REF+}	V

1 μ Aパワーダウン付の+3V、 400ksps、4/8チャンネル、8ビットADC

MAX113/MAX117

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +3V to +3.6V, REF+ = 3V, REF- = GND, Read Mode (MODE = GND), T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LOGIC INPUTS						
Input High Voltage	V _{INH}	\overline{CS} , \overline{WR} , \overline{RD} , \overline{PWRDN} , A0, A1, A2	2			V
		MODE	2.4			
Input Low Voltage	V _{INL}	\overline{CS} , \overline{WR} , \overline{RD} , \overline{PWRDN} , A0, A1, A2			0.66	V
		MODE			0.8	
Input High Current	I _{INH}	\overline{CS} , \overline{RD} , \overline{PWRDN} , A0, A1, A2			± 1	μ A
		\overline{WR}			± 3	
		MODE		15	100	
Input Low Current	I _{INL}	\overline{CS} , \overline{WR} , \overline{RD} , \overline{PWRDN} , MODE, A0, A1, A2			± 1	μ A
Input Capacitance (Note 2)	C _{IN}	\overline{CS} , \overline{WR} , \overline{RD} , \overline{PWRDN} , MODE, A0, A1, A2		5	8	pF
LOGIC OUTPUTS						
Output Low Voltage	V _{OL}	I _{SINK} = 20 μ A, \overline{INT} , D0-D7			0.1	V
		I _{SINK} = 400 μ A, \overline{INT} , D0-D7			0.4	
		RDY, I _{SINK} = 1mA			0.4	
Output High Voltage	V _{OH}	I _{SOURCE} = 20 μ A, \overline{INT} , D0-D7	V _{DD} - 0.1			V
		I _{SOURCE} = 400 μ A, \overline{INT} , D0-D7	V _{DD} - 0.4			
Three-State Current	I _{LKG}	D0-D7, RDY, digital outputs = 0V to V _{DD}			± 3	μ A
Three-State Capacitance (Note 2)	C _{OUT}	D0-D7, RDY		5	8	pF
POWER REQUIREMENTS						
Supply Voltage	V _{DD}		3.0		3.6	V
V _{DD} Supply Current	I _{DD}	V _{DD} = 3.6V, \overline{CS} = \overline{RD} = 0V, \overline{PWRDN} = V _{DD}	MAX11_C	2.5	5	mA
			MAX11_E/M	2.5	6	
		V _{DD} = 3.0V, \overline{CS} = \overline{RD} = 0V, \overline{PWRDN} = V _{DD}	MAX11_C	1.5	3	
			MAX11_E/M	1.5	3.5	
Power-Down V _{DD} Current		\overline{CS} = \overline{RD} = V _{DD} , \overline{PWRDN} = 0V (Note 3)		1	10	μ A
Power-Supply Rejection	PSR	V _{DD} = 3.0V to 3.6V, V _{REF} = 3.0V		$\pm 1/16$	$\pm 1/4$	LSB

Note 1: Accuracy measurements performed at V_{DD} = +3.0V. Operation over supply range is guaranteed by power-supply rejection test.

Note 2: Guaranteed by design.

Note 3: Power-down current increases if logic inputs are not driven to GND or V_{DD}.

1 μ Aパワーダウン付の+3V、 400ksps、4/8チャンネル、8ビットADC

MAX113/MAX117

TIMING CHARACTERISTICS

(V_{DD} = +3V, T_A = +25°C, unless otherwise noted.) (Note 4)

PARAMETER	SYMBOL	CONDITIONS	T _A = +25°C ALL GRADES		T _A = T _{MIN} to T _{MAX}				UNITS	
					MAX117C/E		MAX117M			
			MIN	TYP	MAX	MIN	MAX	MIN		MAX
Conversion Time (WR-RD Mode)	t _{CWR}	t _{RD} < t _{INTL} , C _L = 100pF (Note 5)			1.8		2.06		2.4	μs
Conversion Time (RD Mode)	t _{CRD}				2.0		2.4		2.6	μs
Power-Up Time	t _{UP}				0.9		1.2		1.4	μs
CS to RD, WR Setup Time	t _{CSS}		0			0		0		ns
CS to RD, WR Hold Time	t _{CSH}		0			0		0		ns
CS to RDY Delay	t _{RDY}	C _L = 50pF, R _L = 5.1kΩ to V _{DD}			100		120		140	ns
Data Access Time (RD Mode)	t _{ACC0}	C _L = 100pF (Note 5)			t _{CRD} + 100		t _{CRD} + 130		t _{CRD} + 150	ns
RD to INT Delay (RD Mode)	t _{INTH}	C _L = 50pF		100	160		170		180	ns
Data Hold Time	t _{DH}	(Note 6)			100		130		150	ns
Minimum Acquisition Time	t _{ACQ}	(Note 7)	450			600		700		ns
WR Pulse Width	t _{WR}		0.6		10	0.66	10	0.8	10	μs
Delay Between WR and RD Pulses	t _{RD}		0.8			0.9		1.0		μs
RD Pulse Width (WR-RD Mode)	t _{READ1}	t _{RD} < t _{INTL} , determined by t _{ACC1}	400			500		600		ns
Data Access Time (WR-RD Mode)	t _{ACC1}	t _{RD} < t _{INTL} , C _L = 100pF (Note 5)			400		500		600	ns
RD to INT Delay	t _{RI}				300		340		400	ns
WR to INT Delay	t _{INTL}	C _L = 50pF		0.7	1.45		1.6		1.8	μs
RD Pulse Width (WR-RD Mode)	t _{READ2}	t _{RD} > t _{INTL} , determined by t _{ACC2}	180			220		250		ns
Data Access Time (WR-RD Mode)	t _{ACC2}	t _{RD} > t _{INTL} , C _L = 100pF (Note 5)			180		220		250	ns
WR to INT Delay	t _{IHWR}	Pipelined mode, C _L = 50pF			180		200		240	ns
Data Access Time After INT	t _{ID}	Pipelined mode, C _L = 100pF			100		130		150	ns
Multiplexer Address Hold Time	t _{AH}		50			60		70		ns

Note 4: Input control signals are specified with t_r = t_f = 5ns, 10% to 90% of 3V, and timed from a voltage level of 1.3V. Timing delays get shorter at higher supply voltages. See the Conversion Time vs. Supply Voltage graph in the *Typical Operating Characteristics* to extrapolate timing delays at other power-supply voltages.

Note 5: See Figure 1 for load circuit. Parameter defined as the time required for the output to cross 0.66V or 2.0V.

Note 6: See Figure 2 for load circuit. Parameter defined as the time required for the data lines to change 0.5V.

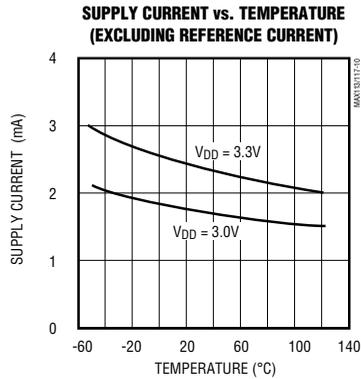
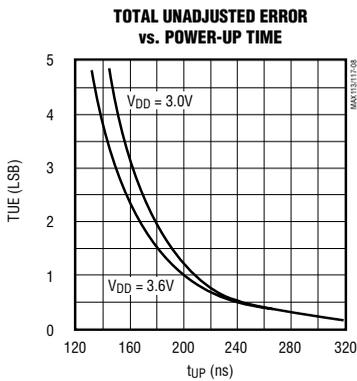
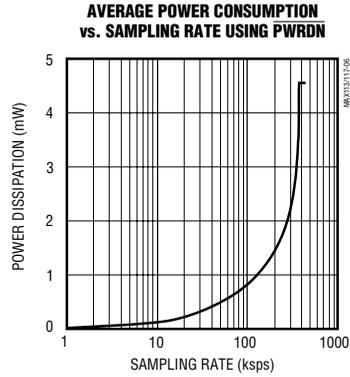
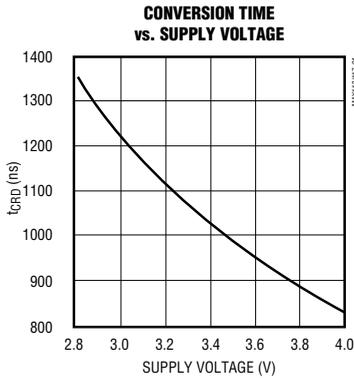
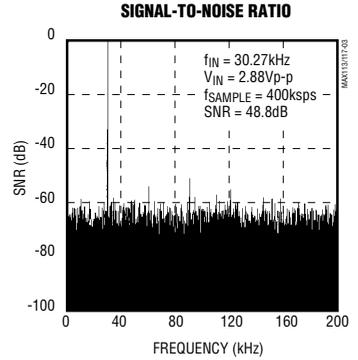
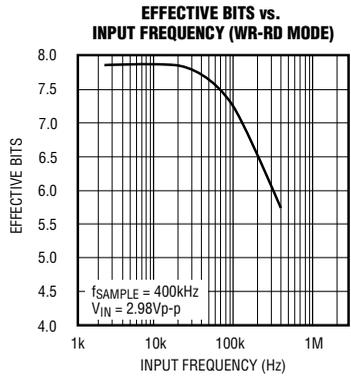
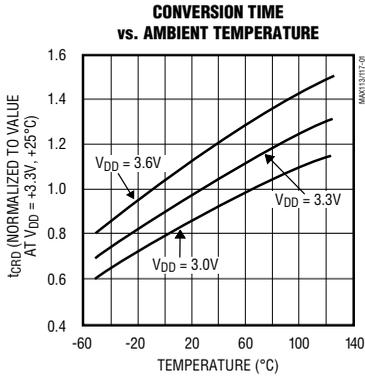
Note 7: Also defined as the Minimum Address-Valid to Convert-Start Time.

1 μ Aパワーダウン付の+3V、 400ksps、4/8チャンネル、8ビットADC

MAX1313/MAX117

標準動作特性

($V_{DD} = +3V$, $T_A = +25^\circ C$, unless otherwise noted.)



1 μ Aパワーダウン付の+3V、 400ksps、4/8チャンネル、8ビットADC

端子説明

端子		名称	機能
MAX113	MAX117		
—	1	IN6	アナログ入力チャンネル6
—	2	IN5	アナログ入力チャンネル5
1	3	IN4	アナログ入力チャンネル4
2	4	IN3	アナログ入力チャンネル3
3	5	IN2	アナログ入力チャンネル2
4	6	IN1	アナログ入力チャンネル1
5	7	MODE	モード選択入力。内部の15 μ A電流ソースの使用によりローにプルダウンされています。MODE = 0 の場合読取りモードが起動し、MODE = 1 の場合書込読取りモードが起動します(「デジタルインタフェース」の項を参照)。
6	8	D0	スリーステートデータ出力(LSB)
7, 8, 9	9, 10, 11	D1, D2, D3	スリーステートデータ出力
10	12	\overline{RD}	読取り入力。データにアクセスするには、 \overline{RD} がローである必要があります(「デジタルインタフェース」の項を参照)。
11	13	\overline{INT}	割込み出力。変換が終わると \overline{INT} はローになります(「デジタルインタフェース」の項を参照)。
12	14	GND	グラウンド
13	15	REF-	リファレンススパンの下限。REF-はゼロコード電圧を設定します。範囲はGND $V_{REF-} < V_{REF+}$ です。
14	16	REF+	リファレンススパンの上限。REF+はフルスケール入力電圧を設定します。範囲は $V_{REF-} < V_{REF+} < V_{DD}$ です。内部でIN8にハード接続されています。(表1)。
15	17	\overline{WR}/RDY	書込制御入力/レディステータス出力(「デジタルインタフェース」の項を参照)。
16	18	CS	チップセレクト入力。 \overline{WR} 又は \overline{RD} 入力が認識されるためにはCSがローである必要があります。
17, 18, 19	19, 20, 21	D4, D5, D6	スリーステートデータ出力
20	22	D7	スリーステートデータ出力(MSB)
—	23	A2	マルチプレクサチャンネルアドレス入力(MSB)
21	24	A1	マルチプレクサチャンネルアドレス入力
22	25	A0	マルチプレクサチャンネルアドレス入力(LSB)
23	26	\overline{PWRDN}	パワーダウン入力。ローの場合に \overline{PWRDN} は消費電流を削減します。
24	27	VDD	正電源(3.0V ~ 3.6V)
—	28	IN7	アナログ入力チャンネル7

1 μ Aパワーダウン付の+3V、 400kpsps、4/8チャンネル、8ビットADC

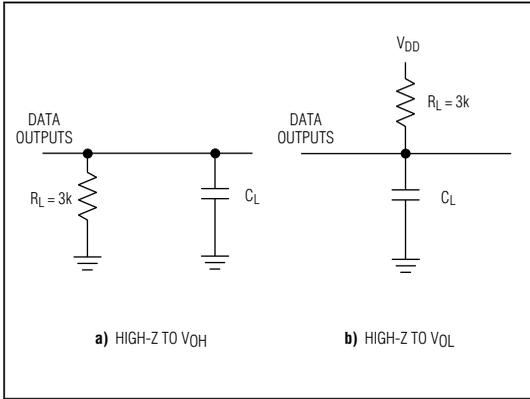


図1. データアクセス時間テスト用の負荷回路

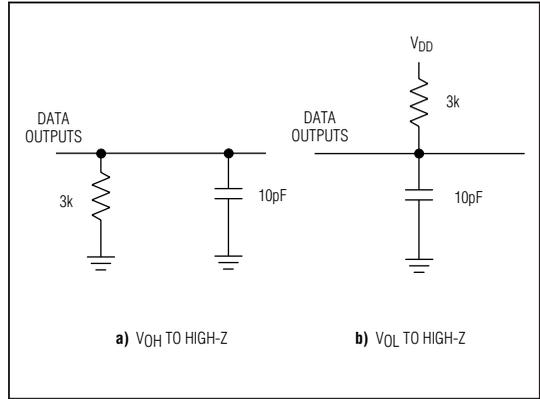


図2. データホールド時間テスト用の負荷回路

詳細

コンバータの動作

MAX113/MAX117は、ハーフフラッシュ変換技法(「ファンクションダイアグラム」を参照)を利用していますが、この技法では2つの4ビットフラッシュADC部を使って8ビットの結果を得ます。フラッシュADCは、15個のコンパレータを使用して未知の入力電圧をリファレンスラダーと比較し、上位4データビットを提供します。内部D/Aコンバータ(DAC)は最上位4ビット(MSB)を使って、最初のフラッシュ変換のアナログ結果と残余電圧(未知の入力電圧とDAC電圧の差)の両方を生成します。この残余電圧を再びフラッシュコンパレータと比較することにより、下位4データビット(LSB)を得ます。

MAX113/MAX117は、内部アナログマルチプレクサを用いることにより、 μ Pの制御下で4つ(MAX113)又は8つ(MAX117)の異なるアナログ電圧を読取ることができます。アナログチャンネルの1つであるIN8は内部でハード接続されており、選択されているときは常に V_{REF+} が読取られます。

パワーダウンモード

バーストモードや低サンプリングレートのアプリケーションでは、変換と変換の間でMAX113/MAX117をシャットダウンして消費電流をマイクロアンペアレベルに低減することができます(「標準動作特性」を参照)。PWRDNピンがロジックローになるとデバイスはシャットダウンし、消費電流は+3V単一電源動作の場合、1 μ A(typ)に低減します。PWRDNがロジックハイになるとMAX113/MAX117はウェイクアップし、選択されたアナログ入力トラックモードに入ります。900ns後(これにはパワーアップ遅延とトラック/ホールドアキュイジ

ション時間の両方が含まれます)には信号が完全に取込まれ、新しい変換を始めることができます。パワーダウン機能が必要な場合には、PWRDNを V_{DD} に接続してください。消費電流を最低限に抑えたいときは、パワーダウンモードでデジタル入力を電源電圧に保ってください。パワーダウン中にリファレンス電流を低減する方法については、「リファレンス」の項を参照してください。

デジタルインタフェース

MAX113/MAX117は、MODEピンで設定される2つの基本的なインタフェースモードを持っています。MODEがローの場合コンバータは読取モードになり、MODEがハイの場合コンバータは書込読込モードになります。A0、A1、及びA2入力がチャンネルの選択を制御します(表1)。次の変換が始まるまでアドレスを有効にしておく最小時間は t_{ACQ} です。

表1. 入力チャンネル選択の真理値表

MAX113		MAX117			SELECTED CHANNEL
A1	A0	A2	A1	A0	
0	0	0	0	0	IN1
0	1	0	0	1	IN2
1	0	0	1	0	IN3
1	1	0	1	1	IN4
—	—	1	0	0	IN5
—	—	1	0	1	IN6
—	—	1	1	0	IN7
—	—	1	1	1	IN8 (reads V_{REF+} if selected)

1 μ Aパワーダウン付の+3V、 400ksps、4/8チャンネル、8ビットADC

読取モード(MODE = 0)

読取モードでは、変換制御とデータアクセスは \overline{RD} 入力によって制御されます(図3)。コンパレータ入力は t_{ACQ} の間アナログ入力電圧をトラッキングします。 \overline{CS} と \overline{RD} をローにすると変換が始まります。強制的に待機状態に設定できる μP を用いている場合は出力データが出てくるまで \overline{RD} をローに維持してください。 μP は変換を開始し、待機し、そして単一の読取命令でデータを読取ります。

\overline{WR}/RDY は読取モードでは、ステータス出力(RDY)として設定されるため、 μP のレディ又は待機入力を駆動することができます。 RDY はオープンコレクタ出力(内部プルアップなし)で、 \overline{CS} の立下がりエッジの後でローになり、変換完了時にハイになります。 \overline{WR}/RDY を使用しない場合は、未接続のままかまいません。 \overline{INT} 出力は変換完了時にローになり、 \overline{CS} 又は \overline{RD} の立上りエッジでハイに戻ります。

書込読取モード(MODE = 1)

図4及び図5は書込読取モードの動作シーケンスを示しています。コンパレータ入力は t_{ACQ} の間だけアナログ入力電圧をトラッキングします。変換は \overline{WR} の立下がりエッジで開始されます。 \overline{WR} がハイに戻ると4つのMSBフラッシュの結果が出力バッファにラッチされ、4つのLSBフラッシュの変換が始まります。変換が終わると \overline{INT} がローになり、下位4データビットが出力バッファにラッチされます。 \overline{RD} がローになるとデータにアクセスできます(「タイミング特性」を参照)。

最小アキュイジション時間(t_{ACQ})は \overline{INT} がローになってから、次の変換を始める(\overline{WR} がローになる)までに必要な時間です。

コンバータからデータを読取る方法としては、内部遅延を使う方法、遅延の前に読取る方法、及びパイプライン動作(後述)があります。

内部遅延を使う方法

μP は、 \overline{INT} 出力がローになるのを待ってからデータを読み取ります(図4)。 \overline{INT} は \overline{WR} の立上りエッジの後でローになりますが、これは変換が完了して結果が出力ラッチに出ていることを示します。 \overline{CS} がローであれば、 \overline{RD} をローにすることによりデータ出力 $D0 \sim D7$ にアクセスできます。次に、 \overline{INT} が \overline{CS} 又は \overline{RD} の立上りエッジでリセットされます。

最も速い変換：遅延の前に読取る方法

変換時間を外部的に制御する方法を図5に示します。内部で生成される遅延(t_{INTL})は、僅かに温度及び電源電圧に依存します。これを \overline{RD} でオーバーライドすることにより、最高速の変換を実現できます。 \overline{RD} は \overline{WR} の立上りエッジの後、 \overline{INT} がローになる前にローになります。

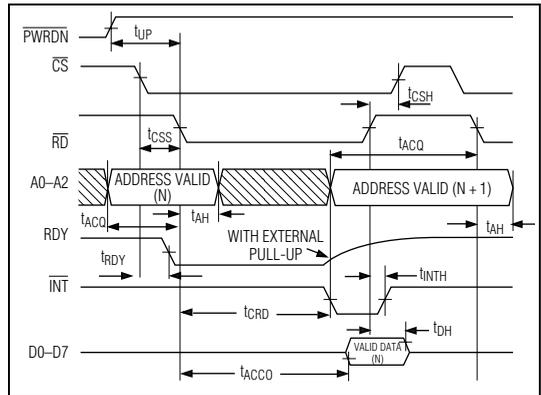


図3. 読取モードのタイミング(MODE = 0)

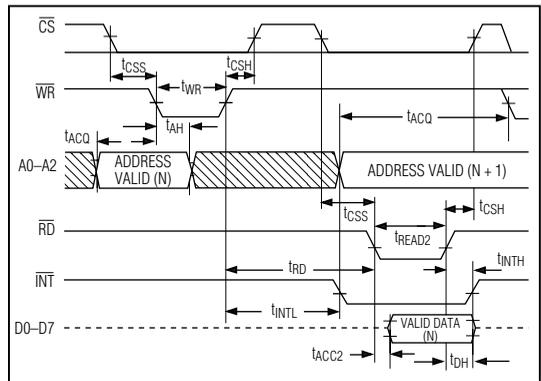


図4. 書込読取モードのタイミング($t_{RD} > t_{INTL}$)
(MODE = 1)

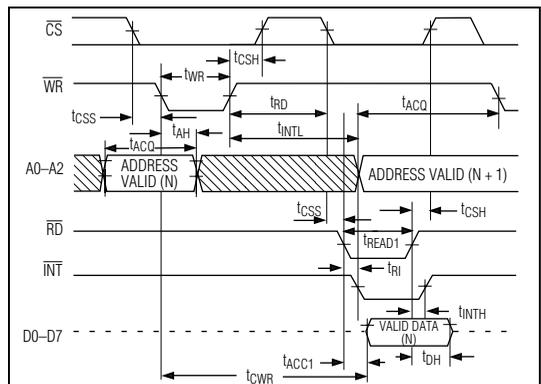


図5. 書込読取モードのタイミング($t_{RD} < t_{INTL}$)
(MODE = 1)

1 μ Aパワーダウン付の+3V、 400ksp/s、4/8チャンネル、8ビットADC

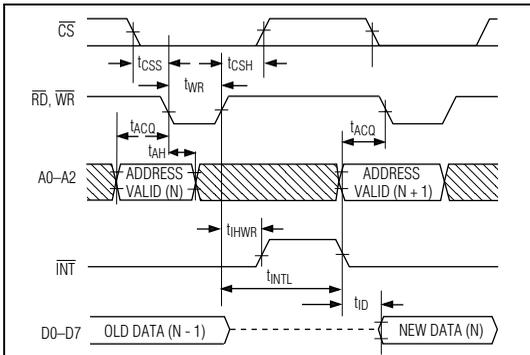


図6. パイプラインモードのタイミング(WR = RD)

これで変換が完了し、変換結果を保持する出力バッファ(D0 ~ D7)がイネーブルされます。INTはRDの立下がりエッジの後でローになり、RD又はCSの立上りエッジでリセットされます。したがって、全変換時間は $t_{WR} + t_{RD} + t_{ACC1} = 1800\text{ns}$ となります。

パイプライン動作

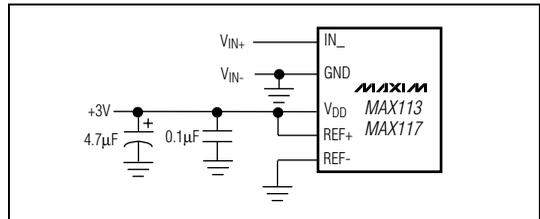
上述の2つの標準的な書込読取モードに加えて、パイプライン動作も可能です。これは、WRとRDをまとめて接続することにより実現できます(図6)。CSがローのときにWRとRDをローにすると、変換を開始すると同時に前の変換の結果を読取ることができます。

アナログ回路に関する考慮

リファレンス

図7a、7b、及び7cは標準的なリファレンスの接続方法を示しています。REF+及びREF-での電圧がADCのアナログ入力範囲を設定します(図10)。REF-での電圧が全て0の出力コードに対応する入力を設定します。REF+での電圧が、全て1の出力コードに対応する入力を設定します。

REF+からREF-への内部抵抗は最低1k Ω まで下がることがあり、MAX113/MAX117がシャットダウン状態でも電流が流れます。REF-にNチャンネルMOSFETを接続して、パワーダウン時にこの電流経路を遮断する方法を図7dに示します。このFETにはゲートドライブが3Vのときにオン抵抗が2 Ω 以下のものを使用してください。図7dのようにREF-にスイッチがついている場合、新しい変換を開始するまでの待ち時間はパワーアップ遅延(t_{UP})とNチャンネルFETのターンオン時間の和になります。



(MODE = 1)

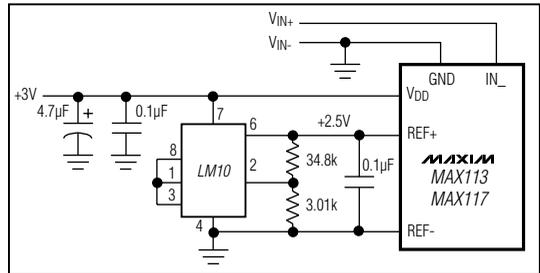


図7a. リファレンスに電源電圧を使用

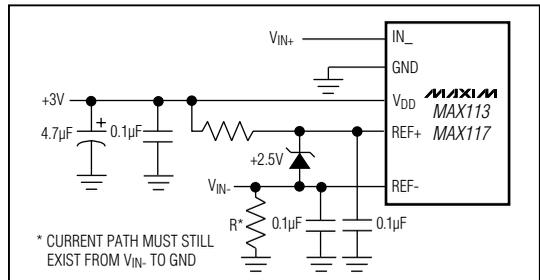


図7b. 外部リファレンス、2.5Vフルスケール

図7c. GNDを基準としない入力

REF+はV_{DD}に接続されることが頻繁にありますが、図7dの回路では低電流、低ドロップアウトの2.5V電圧リファレンスであるMAX872を使用しています。MAX872はリファレンスの抵抗に対して十分な電流を連続的に供給することができないため、この回路はMAX113/MAX117が通常はスタンバイ状態にあり、測定のために100 μ s以上の間隔でターンオンするようなアプリケーション向けです。C1(REF+に接続されたコンデンサ)はスタンバイ期間中にMAX872によってゆっくりと充電され、短時間の測定期間中にリファレンス電流を供給します。

C1として4.7 μ Fを使った場合、4つ又は8つの変換を連続して行っても電圧の低下は1/2LSB以下となります。これより大きなコンデンサを用いると誤差は更になくなります。C1にはセラミック又はタンタルコンデンサを使ってください。

1 μ Aパワーダウン付の+3V、 400ksps、4/8チャンネル、8ビットADC

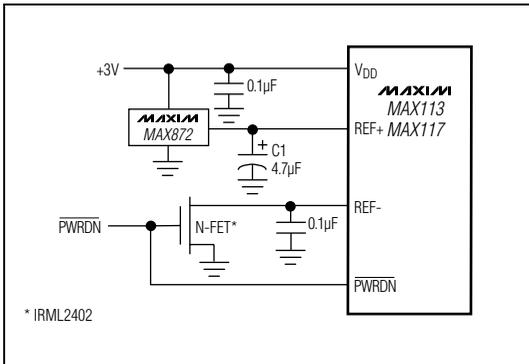


図7d. NチャンネルMOSFETを使ってパワーダウン時にリファレンス負荷をスイッチオフ

最初のパワーアップ

電源投入時には、変換を1回実行することによってMAX1113/MAX117を初期化してください。そのときの出力データは破棄してください。

バイパス

4.7 μ Fの電解コンデンサと0.1 μ Fのセラミックコンデンサを並列に接続してV_{DD}をGNDにバイパスしてください。コンデンサのリード線はできるだけ短くしてください。

リファレンス入力は図7a～7cに示すように0.1 μ Fコンデンサでバイパスしてください。

アナログ入力

図8はMAX1113/MAX117の入力等価回路を示しています。変換が始まってWRがローの場合、V_{IN_}は16個の0.6pFコンデンサに接続されます。このアキュジション期間中、入力コンデンサは内部アナログスイッチの抵抗を通じて入力電圧まで充電します。さらに、約22pFの浮遊容量を充電する必要があります。入力は等価RCネットワークによってモデル化することができます(図9)。ソースインピーダンスが増加するにつれて、コンデンサの充電に要する時間が長くなります。

入力容量を標準の32pFとした場合、ソース抵抗が1.5kまではセットアップの問題が生じません。これより抵抗が大きくなると、アキュジション時間(t_{ACQ})を増やす必要が出てきます。

内部保護ダイオードがアナログ入力をV_{DD}とGNDにクランプしているため、チャンネル入力ピンは(GND - 0.3V) ~ (V_{DD} + 0.3V)の範囲で損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うためには入力がV_{DD}を50mV以上超えないこと、及びGNDを50mV以上下回らないことが必要です。

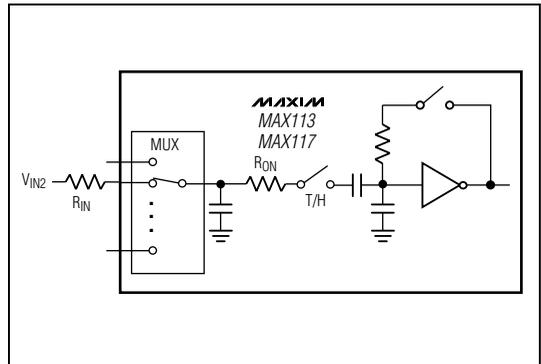


図8. 等価入力回路

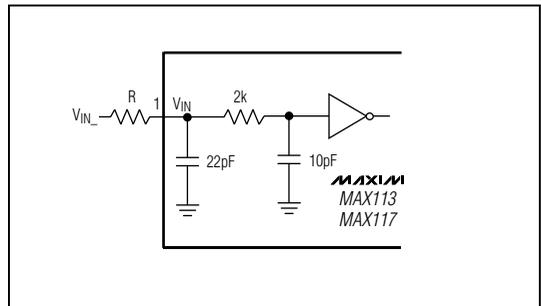


図9. RCネットワークによる等価入力モデル

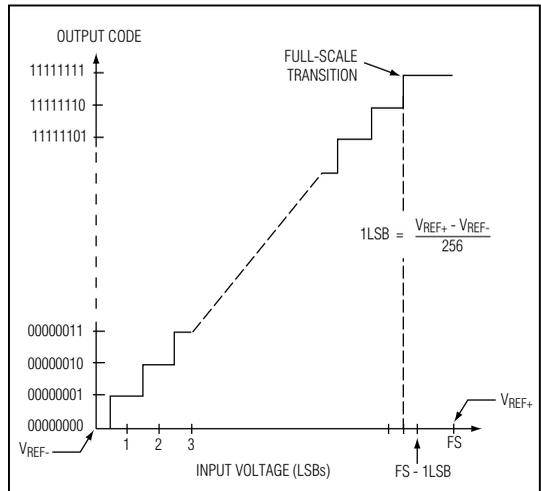


図10. 伝達関数

1 μ Aパワーダウン付の+3V、 400ksps、4/8チャネル、8ビットADC

アナログ入力電源を50mV以上超えた場合、オフチャネルの保護ダイオードに2mA以上の順方向バイアスをかけないでください。この電流が過剰になるとオンチャネルの変換精度が劣化します。

トラック/ホールド

トラック/ホールドは、変換開始の時点(\overline{RD} がロー又は \overline{WR} がロー)でホールドモードに入ります。 \overline{INT} は変換終了時にローになり、そのときトラック/ホールドはトラックモードに入ります。最小アキュイジション時間 t_{ACQ} が経過すると次の変換を始めることができます。

伝達関数

図10にMAX113/MAX117の通常伝達関数を示します。コード遷移は、隣り合う整数のLSB値同士の間で起こります。出力コーディングはバイナリで、1LSB = $(V_{REF+} - V_{REF-})/256$ となります。

変換レート

MAX117の最大サンプリングレート(f_{MAX})は書込読取モード($t_{RD} < t_{INTL}$)で実現され、次式で計算されます:

$$f_{MAX} = \frac{1}{t_{WR} + t_{RD} + t_{RI} + t_{ACQ}}$$

$$f_{MAX} = \frac{1}{600ns + 800ns + 300ns + 450ns}$$

$$f_{MAX} = 465kHz$$

ここで t_{WR} = 書込パルス幅、 t_{RD} = 書込と読取パルス間の遅延、 t_{RI} = \overline{RD} と \overline{INT} の間の遅延、そして t_{ACQ} = 最小アキュイジション時間(あるいは変換と変換の間の遅延)となります。

信号対雑音比と実効ビット数

信号対雑音歪み比(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS振幅の比です。出力帯域制限はDCより上、ADCサンプリングレートの1/2未満の範囲です。

理論上の最小A/Dノイズは量子化誤差から生じ、 $SNR = (6.02N + 1.76)dB$ でADCの分解能から直接求めることができます。ここで、Nは分解能を表すビット数です。これによると完全な8ビットADCでも50dB以上は不可能です。

FFTプロット(「標準動作特性」を参照)は、30.27kHzの純粋なサイン波を400kHzのレートでサンプリングした結果を示しています。この出力FFTプロットは様々なスペクトル帯域での出力レベルを表示します。

ADCの有効分解能(又は有効ビット数)は、分解能をSNRに変換する式を $N = (SINAD - 1.76)/6.02$ に変形することによって得られます(「標準動作特性」を参照)。

全高調波歪み

全高調波歪み(THD)は、入力信号の全ての高調波のRMS和(DCより上でサンプルレートの1/2未満の周波数帯域内)の、基本周波に対する比です。これは以下のように表すことができます。

$$THD = 20 \log \left[\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1} \right]$$

ここで、 V_1 は基本周波数のRMS振幅、 $V_2 \sim V_N$ は2次～N次の高調波の振幅です。

スプリアスフリーのダイナミックレンジ

スプリアスフリーのダイナミックレンジ(SFDR)は、基本周波数のRMS振幅と、次に大きな(DCより上でサンプルレートの1/2未満の周波数帯域内にある)スペクトル成分の振幅の比です。通常、このピークは入力周波数の高調波です。しかし、ADCが例外的に線形な場合には、ADCのノイズフロア内のランダムピークとしてのみ現れます。「標準動作特性」の信号対雑音比のグラフを参照してください。

1 μ Aパワーダウン付の+3V、 400ksps、4/8チャンネル、8ビットADC

型番(続き) _____

チップ構成図 _____

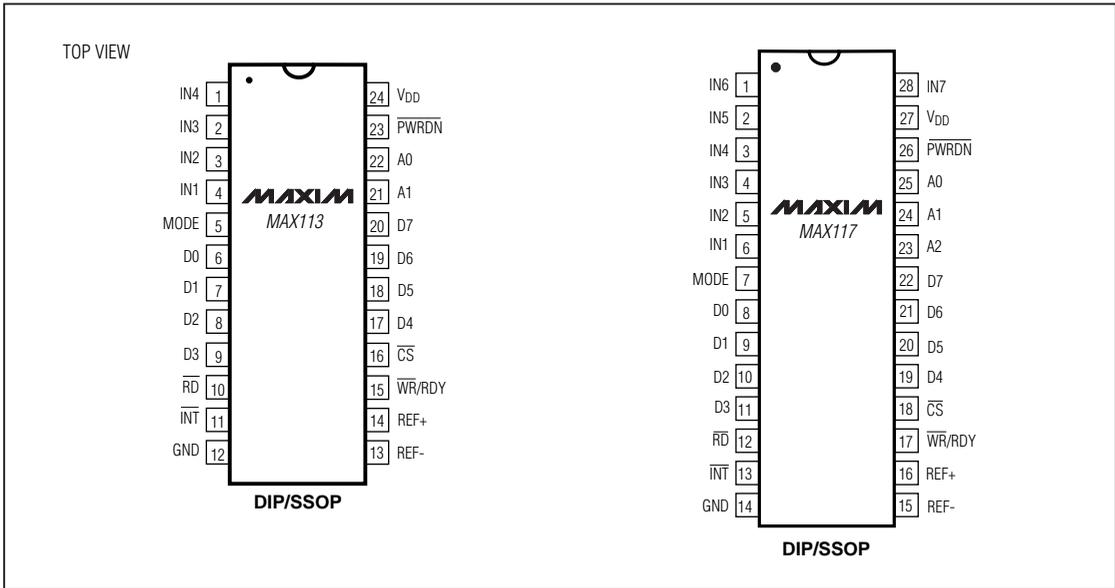
PART	TEMP. RANGE	PIN-PACKAGE
MAX1117CPI	0°C to +70°C	28 Wide Plastic DIP
MAX1117CAI	0°C to +70°C	28 SSOP
MAX1117C/D	0°C to +70°C	Dice*
MAX1117EPI	-40°C to +85°C	28 Wide Plastic DIP
MAX1117EAI	-40°C to +85°C	28 SSOP
MAX1117MJI	-55°C to +125°C	28 Wide CERDIP**

TRANSISTOR COUNT: 2011

*Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

**Contact factory for availability.

ピン配置 _____



販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。