

SANYO**三洋半導体ニュース**

No. N7253

90502

新

LC723481W
LC723482W
LC723483W

CMOS LSI

— LCDドライバおよび DC-DCコンバータ内蔵
低電圧 ETR-C

LC723481W, 723482W, 723483W は 250MHz まで動作する PLL と 1/4duty、1/2 バイアス型の LCD ドライバを内蔵した低電圧電子同調シングルチップマイクロコントローラである。本 LSI は DC-DC コンバータを内蔵しているためこれを使用することによりチューニング用電源が容易に作り出すことができ、セットのコストダウンが可能になる。本 LSI はラジオを受信する低電圧用ポータブルオーディオの分野に適している。

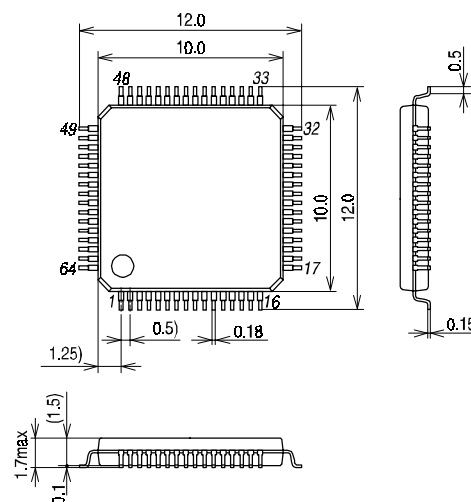
機能

- | | | |
|-----------------|-----------------------------------|-----------------------|
| ・プログラムメモリ (ROM) | : 2048×16 ビット (4K バイト) | LC723481W |
| | : 3072×16 ビット (6K バイト) | LC723482W |
| | : 4096×16 ビット (8K バイト) | LC723483W |
| ・データメモリ (RAM) | : 128×4 ビット | LC723481W |
| | : 192×4 ビット | LC723482W |
| | : 256×4 ビット | LC723483W |
| ・サイクルタイム | : 40μs (全一語命令) | 75kHz X'tal |
| ・スタック | : 4 レベル (8 レベル) | LC723481 (LC723482/3) |
| ・LCD ドライバ | : 48~80 セグメント (1/4duty、1/2 バイアス型) | |
| ・割り込み | : 外部割り込み (1 系統) | |
| | タイマ割り込み (1、5、10、50ms) | |

次ページへ続く。

外形図 3190A

(unit : mm)



SANYO : SQFP64 (10×10)

■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

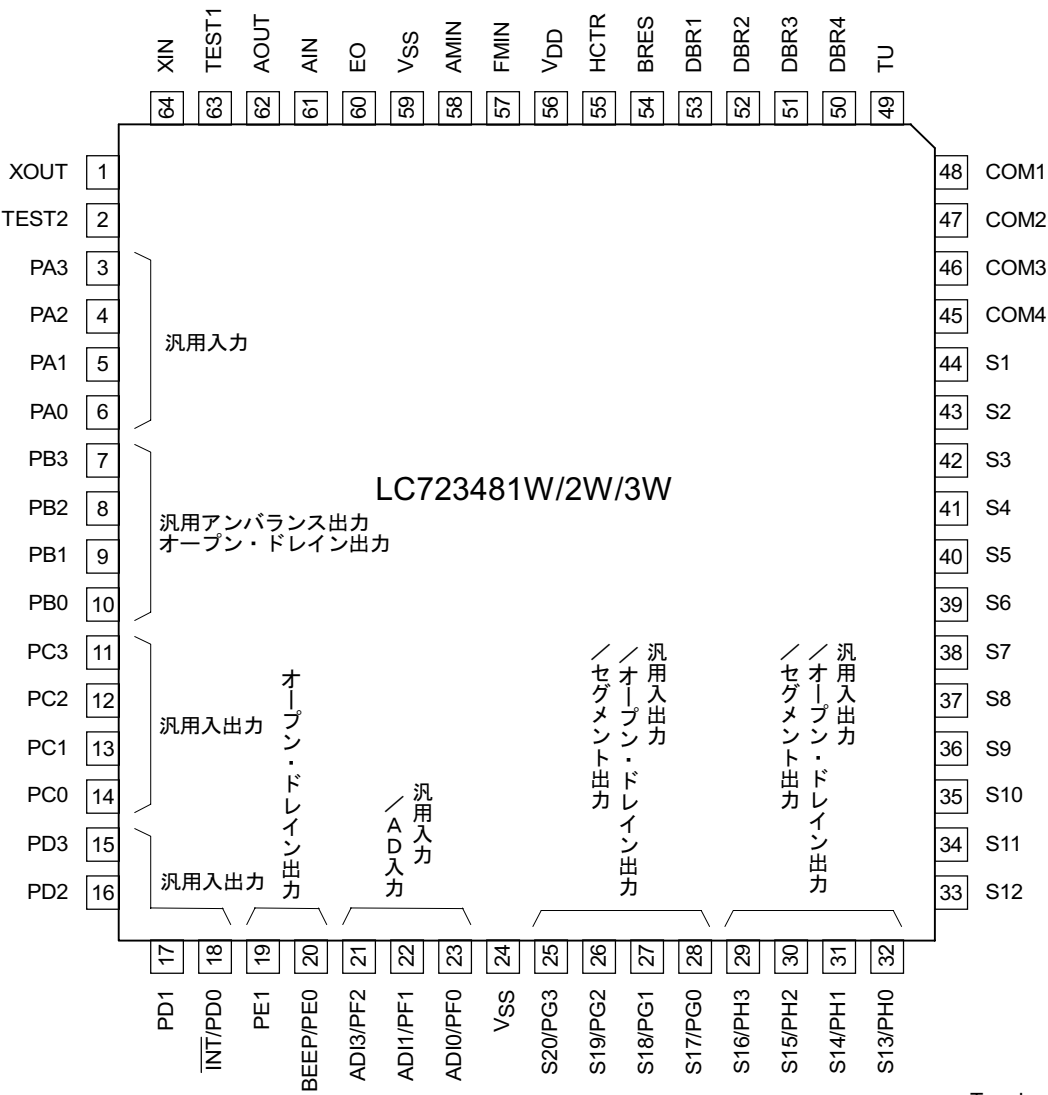
■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

前ページより続く。

- ADC : 3 チャンネル (5 ビット逐次比較型)
- 入力ポート : 7 (内 3 ポートは ADC 入力と切換え)
- 出力ポート : 6 (内 1 ポートは BEEP と切換え、2 ポートはオープンドレインポート、4 ポートはオープンドレイン切換え)
- 入出力ポート : 16 (内 8 ポートは LCD ポートとマスク切換え)
- PLL : 不感帯制御可能 (4 種類)
基準周波数 25、12.5、6.25、5、3.125、3、1kHz
- 入力周波数 : FM 帯 10~250MHz
AM 帯 0.5~40MHz
- 入力感度 : FM 帯 35mVrms (130MHz~:50mVrms)
AM 帯 35mVrms
- IF カウント : HCTR 入力 0.4~12MHz (35mVrms)
- 外部リセット端子 : CPU、PLL 動作中 PC が 0 番地からスタート
- パワーON リセット回路内蔵 : 電源立ち上げ時 PC が 0 番地からスタート
- HALT モード : コントローラの動作クロックを停止
- BACK UP モード : X'tal 発振を停止
- スタティックパワーON : PF ポートで BACK UP を解除
- BEEP : 3.125、1.5625kHz
- LPF アンプ内蔵 : PLL 用アンプの削減によりコストダウン可
- DC-DC コンバータ内蔵 : チューニング用電源回路のコストダウン可
- メモリ保持電圧 : 0.9V 以上
- V_{DD} 電圧 : PLL 1.8~3.6V
CPU 1.4~3.6V
ADC 1.6~3.6V
- オプション切換え : PH0~PH3/S13~S16
PG0~PG3/S17~S20
PG0~PG3 (オープンドレイン出力/汎用出力)
PH0~PH3 (オープンドレイン出力/汎用出力)
FM 受信時の DC-DC クロック (75kHz, FM ローカル 1/256)
AM 受信時の DC-DC クロック (AM ローカル 1/2, 1/4, 1/8, 1/16)
- パッケージ : SQFP-64 (0.5mm ピッチ)

LC723481W/2W/3W

ピン配置図



Top view

LC723481W/2W/3W

絶対最大定格/ $T_a=25^{\circ}\text{C}$, $V_{SS}=0\text{V}$

項目	記号	条件	定格値	unit
最大電源電圧	$V_{DD\text{ max}}$		$-0.3 \sim +4.0$	V
入力電圧	V_{IN}	全入力端子	$-0.3 \sim V_{DD} \sim +0.3$	V
出力電圧	$V_{OUT(1)}$	AOUT, PE, TU	$-0.3 \sim +15$	V
	$V_{OUT(2)}$	$V_{OUT(1)}$ 以外の全出力端子	$-0.3 \sim V_{DD} + 0.3$	V
出力電流	$I_{OUT(1)}$	PC, PD, PG, PH, EO	$0 \sim 3$	mA
	$I_{OUT(2)}$	PB	$0 \sim 1$	mA
	$I_{OUT(3)}$	AOUT, PE, TU	$0 \sim 2$	mA
	$I_{OUT(4)}$	S1 $\sim$ S20	300	μA
	$I_{OUT(5)}$	COM1 $\sim$ COM4	3	mA
許容消費電力	$P_d\text{ max}$	$T_a = -20 \sim +70^{\circ}\text{C}$	300	mW
動作周囲温度	T_{opr}		$-20 \sim +70$	$^{\circ}\text{C}$
保存周囲温度	T_{stg}		$-45 \sim +125$	$^{\circ}\text{C}$

許容動作範囲/ $T_a = -20 \sim +70^{\circ}\text{C}$, $V_{DD}=1.8 \sim 3.6\text{V}$

項目	記号	条件	min	typ	max	unit
電源電圧	$V_{DD(1)}$	PLL 動作電圧	1.8	3.0	3.6	V
	$V_{DD(2)}$	メモリ保持電圧	1.0			
	$V_{DD(3)}$	CPU 動作電圧	1.4	3.0	3.6	
	$V_{DD(4)}$	AD 動作電圧	1.6	3.0	3.6	
入力「H」レベル電圧	$V_{IH(1)}$	$V_{IH(2)}$, $V_{IH(3)}$, AMIN, FMIN, HCTR, XIN 以外の入力ポート	$0.7V_{DD}$		V_{DD}	V
	$V_{IH(2)}$	BRES	$0.8V_{DD}$		V_{DD}	V
	$V_{IH(3)}$	PF ポート	$0.6V_{DD}$		V_{DD}	V
入力「L」レベル電圧	$V_{IL(1)}$	$V_{IL(2)}$, $V_{IL(3)}$, AMIN, FMIN, HCTR, XIN 以外の入力ポート	0		$0.3V_{DD}$	V
	$V_{IL(2)}$	BRES	0		$0.2V_{DD}$	V
	$V_{IL(3)}$	PF ポート	0		$0.2V_{DD}$	V
入力振幅	$V_{IN(1)}$	XIN	0.5		0.6	Vrms
	$V_{IN(2)}$	FMIN, AMIN	0.035		0.35	Vrms
	$V_{IN(3)}$	FMIN	0.05		0.35	Vrms
	$V_{IN(4)}$	HCTR	0.035		0.35	Vrms
入力電圧範囲	$V_{IN(5)}$	ADIO, ADI1, ADI3	0		V_{DD}	V
入力周波数	$F_{IN(1)}$	XIN $C_I \leq 35\text{k}\Omega$	70	75	80	kHz
	$F_{IN(2)}$	FMIN: $V_{IN(2)}$, $V_{DD(1)}$	10		130	MHz
	$F_{IN(3)}$	FMIN: $V_{IN(3)}$, $V_{DD(1)}$	130		250	MHz
	$F_{IN(4)}$	AMIN(H): $V_{IN(2)}$, $V_{DD(1)}$	2		40	MHz
	$F_{IN(5)}$	AMIN(L): $V_{IN(2)}$, $V_{DD(1)}$	0.5		10	MHz
	$F_{IN(6)}$	HCTR: $V_{IN(4)}$, $V_{DD(1)}$	0.4		12	MHz

LC723481W/2W/3W

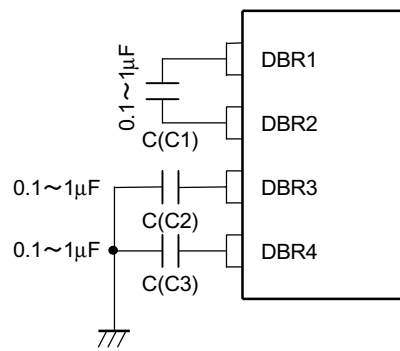
電気的特性/許容動作条件において

項目	記号	条件	min	typ	max	unit
入力「H」レベル電流	I _{IH} (1)	XIN: V _I =V _{DD} =3.0V			3	μA
	I _{IH} (2)	FMIN, AMIN, HCTR: V _I =V _{DD} =3.0V	3	8	20	μA
	I _{IH} (3)	PA/PF (プルダウン無), PC, PD, PG, PH ポート, BRES: V _I =V _{DD} =3.0V			3	μA
入力「L」レベル電流	I _{IL} (1)	XIN: V _I =V _{DD} =V _{SS}			-3	μA
	I _{IL} (2)	FMIN, AMIN, HCTR: V _I =V _{DD} =V _{SS}	-3	-8	-20	μA
	I _{IL} (3)	PA/PF (プルダウン無), PC, PD, PG, PH ポート, BRES: V _I =V _{DD} =V _{SS}			-3	μA
入力フローティング電圧	V _{IF}	PA/PF プルダウン有			0.05V _{DD}	V
プルダウン抵抗	R _{PD} (1)	PA/PF プルダウン有 V _{DD} =3.0V	75	100	200	kΩ
	R _{PD} (2)	TEST1, TEST2		10		kΩ
ヒステリシス幅	V _H	BRES	0.1V _{DD}	0.2V _{DD}		V
倍電圧基準電圧	DBR4	V _{DD} 基準 C(3)=0.47μF Ta=25°C (注1)	1.3	1.5	1.7	V
倍電圧昇圧電圧	DBR1, 2, 3	C(1)=0.47μF C(2)=0.47μF 無負荷 Ta=25°C (注1)	2.7	3.0	3.3	V
出力「H」レベル電圧	V _{OH} (1)	PB: I _O =-1mA	V _{DD} -0.7V _{DD}		V _{DD} -0.3V _{DD}	V
	V _{OH} (2)	PC, PD, PG, PH: I _O =-1mA	V _{DD} -0.3V _{DD}			V
	V _{OH} (3)	E0: I _O =-500μA	V _{DD} -0.3V _{DD}			V
	V _{OH} (4)	XOUT: I _O =-200μA	V _{DD} -0.3V _{DD}			V
	V _{OH} (5)	S1~S20: I _O =-20μA ※1	2.0			V
	V _{OH} (6)	COM1, COM2, COM3, COM4: I _O =-100μA ※1	2.0			V
出力「L」レベル電圧	V _{OL} (1)	PB: I _O =-50μA	0.3V _{DD}		0.7V _{DD}	V
	V _{OL} (2)	PC, PD, PE, PG, PH: I _O =-1mA			0.3V _{DD}	V
	V _{OL} (3)	E0: I _O =-500μA			0.3V _{DD}	V
	V _{OL} (4)	XOUT: I _O =-200μA			0.3V _{DD}	V
	V _{OL} (5)	S1~S20: I _O =-20μA ※1			1.0	V
	V _{OL} (6)	COM1, COM2, COM3, COM4: I _O =-100μA ※1			1.0	V
	V _{OL} (7)	PE: I _O =2mA			1.0	V
	V _{OL} (8)	AOUT (A _{IN} =1.3V), TU: I _O =1mA V _{DD} =3V			0.5	V
出力オフリーク電流	I _{OFF} (1)	PB, PC, PD, PG, PH, E0 ポート	-3		3	μA
	I _{OFF} (2)	AOUT, PE, TU ポート	-100		100	nA
AD 変換誤差		ADIO, ADI1, ADI3 V _{DD} (4)	-1/2		+1/2	LSB
電源電流	I _{DD} (1)	V _{DD} (1): F _{IN} (2) 130MHz Ta=25°C		5		mA
	I _{DD} (2)	V _{DD} (2): HALT モード, Ta=25°C ※2		0.1		mA
	I _{DD} (3)	V _{DD} =3.6V, OSC 停止, Ta=25°C ※3		1		μA
	I _{DD} (4)	V _{DD} =1.8V, OSC 停止, Ta=25°C ※3		0.5		μA

HALT 電流は 125ms 毎に 20 ステップ命令を実行する。

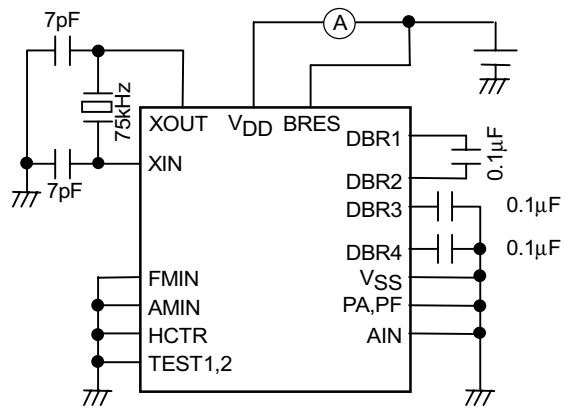
LC723481W/2W/3W

(注 1) C(1), C(2), C(3)はLCD を使用しなくても接続する必要がある。



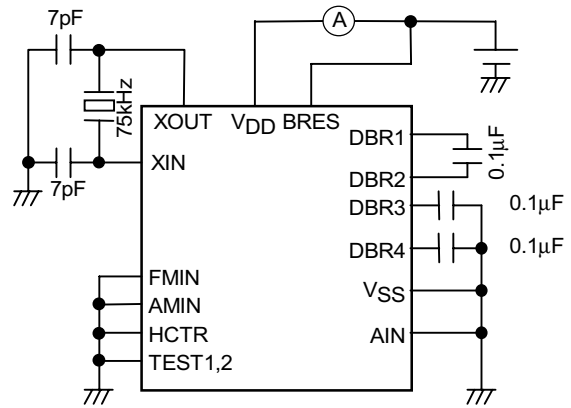
※1 DBR 各端子に C(1), C(2), C(3) を取り付けられていること。

※2 HALT 電流測定条件



上記記載ポート以外は全て OPEN
PC, PD は出力を選択
S13~S20 のセグメントを選択

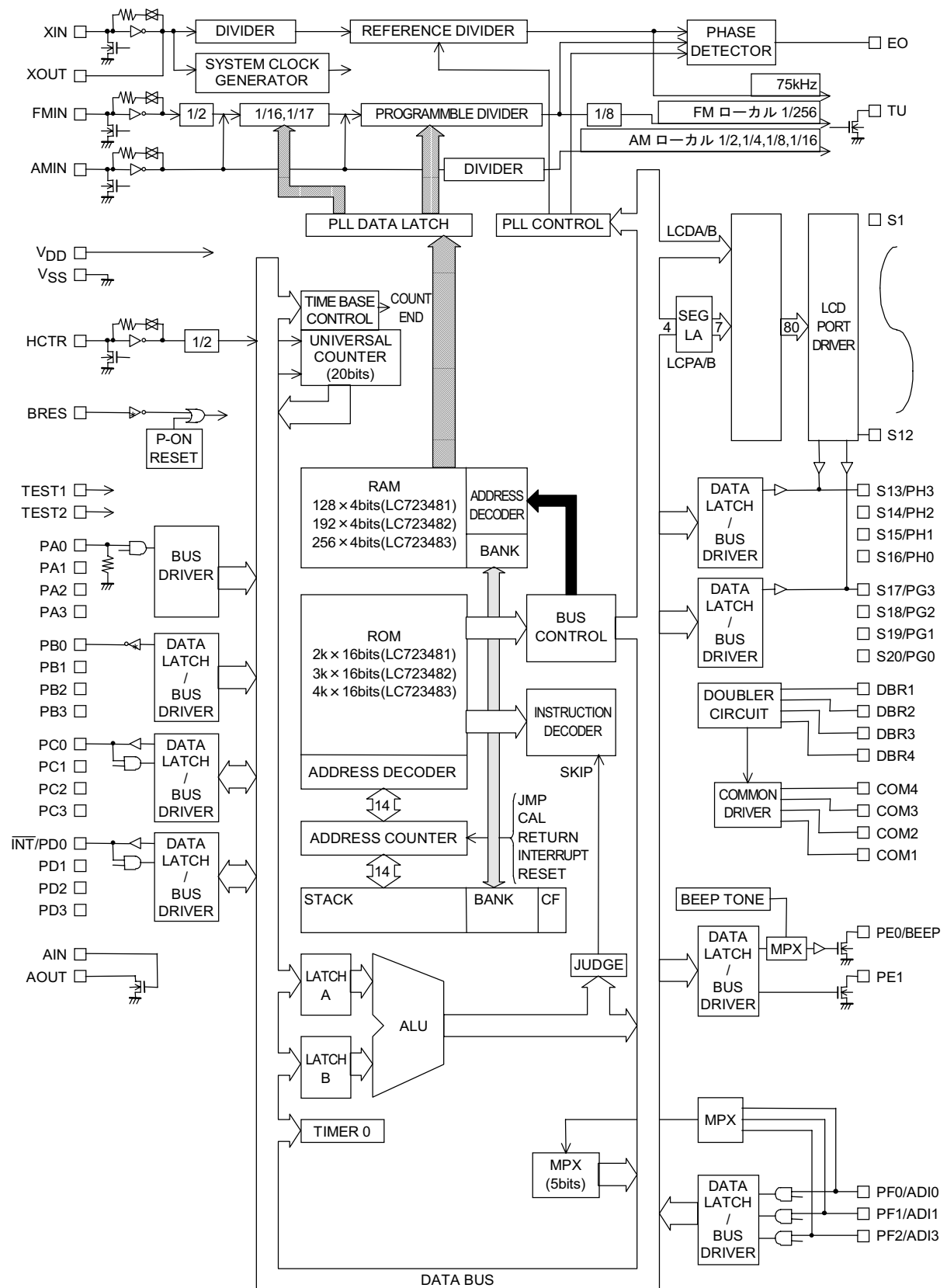
※3 BACK UP 電流測定条件



上記記載ポート以外は全て OPEN
PC, PD は出力を選択
S13~S20 のセグメントを選択

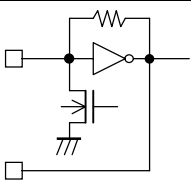
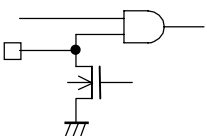
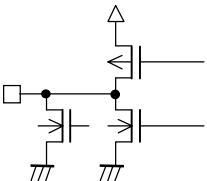
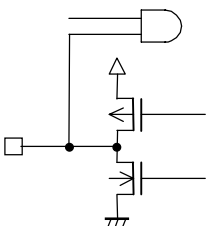
LC723481W/2W/3W

ブロック図



LC723481W/2W/3W

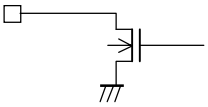
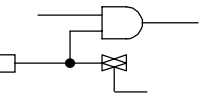
端子説明

端子記号	端子番号	I/O	端子説明	I/O 形式
XIN XOUT	64 1	I O	75kHz 水晶発振用端子	
TEST1 TEST2	63 2	I I	LSI のテスト端子である。 必ず GND に接続する。	—
PA0 PA1 PA2 PA3	6 5 4 3	I	キーリターン信号入力専用ポートで、スレッシュホールド電圧が低く設計されている。PB ポートと組み合わせてキーマトリックスを構成すると、最大 3 個の多重押しを検出できる。プルダウン抵抗は 4 本まとめて IOS 命令 (Pwn=2, b1) で設定し、1 端子ごとの指定はできない。back up モード時は入力禁止となり、リセット時はプルダウン無しとなる。	プルダウン 抵抗付き入力 
PB0 PB1 PB2 PB3	10 9 8 7	O	CMOS 汎用/Nch オープンドレイン出力兼用ポートである。 切換えは IOS 命令 (Pwn=2) で行う。 (b0:PB0, b2:PB1, b3:PB2, PB3) (0:CMOS 汎用, 1:Nch オープンドレイン) キーソース信号出力専用ポートで、出力トランジスタのインピーダンスがアンバランス型 CMOS であるため、キー多重押しによる短絡防止用のダイオードが不要となる。Back Up モード時は出力ハイインピーダンスとなる。リセット時は出力ハイインピーダンスとなり、出力命令 (OUT, SPB, RPB 命令) が実行されるまで、この状態を維持する。 ※キーソース出力以外に使用する場合は、出力インピーダンスに注意する。	アンバランス CMOS プッシュプル 
PC0 PC1 PC2 PC3 INT/PD0 PD1 PD2 PD3 (注 2)	14 13 12 11 18 17 16 15	I/O	汎用入出力ポートである。 PD0 は外部割り込み用ポートとして使用できる。汎用入出力ポートの切換えは IOS 命令 (Pwn=4, 5) で行い 1 ビット単位での I/O 設定が可能である。(0, 入力 1, 出力) Back Up モード時は用入力禁止でハイインピーダンスとなる。 リセット時は汎用入力ポートとなる。	CMOS プッシュプル 

次ページへ続く。

LC723481W/2W/3W

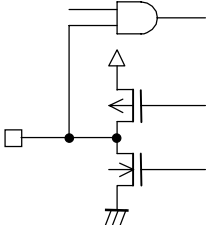
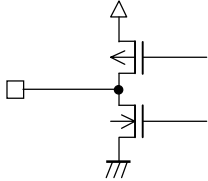
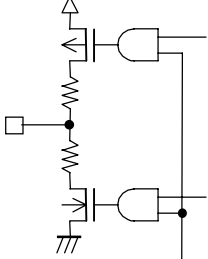
前ページより続く。

端子記号	端子番号	I/O	端子説明	I/O 形式
BEEP/PE0 PE1	20 19	0	汎用出力ポート/BEEP 出力 (PE0 のみ) 兼用ポートである。汎用出力ポートと BEEP 出力の切換えは BEEP 命令で行う。汎用出力ポートとして使用する場合は BEEP 命令で b2=0 をセットすると汎用出力にセットされる。また、b2=1 にすると BEEP 出力となる。BEEP 周波数の切換えは b0, b1 で行う。BEEP 周波数は 2 種類である。 * PE0 ポートが BEEP 出力として設定されている場合 PE0 に対して出力命令を実行しても内部の出力ラッチが切換わるだけで出力に影響されない。汎用出力/BEEP 切換えは PE0 端子のみで PE1 端子は汎用出力専用である。Back Up モード時はハイインピーダンスとなる。また、出力命令または BEEP 命令が実行されるまでこの状態を維持する。このポートはオープンドレインポートとなっているため V_{DD} とポート間に抵抗が必要となる。リセット時は汎用出力ポートとなる。	Nch オープンドレイン 
PF0/ADI0 PF1/ADI1 PF2/ADI3	23 22 21	I	汎用入力/ADC 入力兼用ポートである。汎用入力と ADC ポートの切換えは IOS 命令 (Pwn=FH) で行う。また、汎用入力と ADC ポートは 1 ビット単位での切換えが可能である。(0, 汎用入力 1, ADC) ADC を選択した場合 IOS 命令 (Pw=1) で A/D 変換する端子を設定する。ADC は UCC 命令 (b3=1, b2=1) でスタートする。変換が終了すると ADCE フラグがセットされる。データの読み込みは INR 命令で行う。 * アナログ入力に指定したポートに対し入力命令を実行した場合 CMOS 入力は禁止されているためデータは “L” になる。 Back Up モード時は入力禁止でハイインピーダンスとなる。リセット時は汎用入力ポートとなる。ADC は 5 ビットの逐次比較型で変換時間は 1.28ms である。また、ADC のフルスケール電圧 (1FH) は $(62/96)V_{DD}$ である。	CMOS 入力 /アナログ入力 

次ページへ続く。

LC723481W/2W/3W

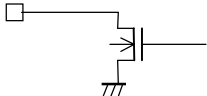
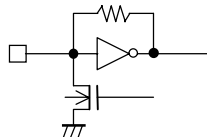
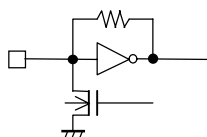
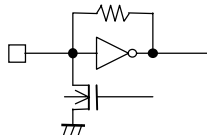
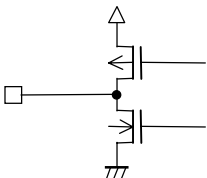
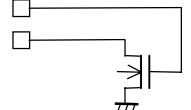
前ページより続く。

端子記号	端子番号	I/O	端子説明	I/O 形式
PG3/S20 PG2/S19 PG1/S18 PG0/S17 PH3/S16 PH2/S15 PH1/S14 PH0/S13 (注 2)	25 26 27 28 29 30 31 32	0	LCD ドライバのセグメント出力, 汎用入出力兼用ポートである。セグメント出力/汎用入出力の切り換えはおよび汎用ポートの入出力切り換えは IOS 命令で行う。 ◎セグメント出力ポートとして使用する場合。 IOS 命令 (Pwn=8) で汎用入出力ポートに設定する。 b0~3=S17~20/PG0~3 (0:セグメント出力 1:PG0~3) IOS 命令 (Pwn=9) で汎用入出力ポートに設定する。 b0~3=S13~16/PH0~3 (0:セグメント出力 1:PH0~3) ◎汎用入出力ポートとして使用する場合。 IOS 命令 (Pwn=6, 7) で入出力の切り換えを行う。なお、1 ビット単位での切り換えが可能。 b0=PG0 b0=PH0 b1=PG1 $\left\{ \begin{array}{l} 0: \text{入力} \\ 1: \text{出力} \end{array} \right.$ b1=PH1 $\left\{ \begin{array}{l} 0: \text{入力} \\ 1: \text{出力} \end{array} \right.$ b2=PG2 b2=PH2 b3=PG3 b3=PH3 Buck Up モード時、汎用出力としては入力禁止でハイインピーダンスとなる。セグメント出力として使用している時は“L”レベルに固定されるリセット時はセグメント出力ポートとなる。 汎用ポート/LCD ポートの設定はマスクオプションとなるが、IOS 命令での上記設定は必要である。	CMOS プッシュプル 
S12-S1	33-44	0	LCD ドライバのセグメント出力端子である。 駆動方式は 1/4duty、1/2bias である。 フレーム周波数は 75Hz。 Back Up モード時は“L”レベルに固定される。 リセット時も“L”レベルに固定される。	CMOS プッシュプル 
COM4 COM3 COM2 COM1	45 46 47 48	0	LCD ドライバのコモン出力端子である。 駆動方式は 1/4duty、1/2bias である。 フレーム周波数は 75Hz。 Back Up モード時は“L”レベルに固定される。 リセット時も“L”レベルに固定される。	
DBR4 DBR3 DBR2 DBR1	50 51 52 53	I	LCD 電源昇圧用端子である。	
BRES	54	I	システムリセット用端子である。 CPU 動作時, HALT モード時に 1 マシンサイクル以上“L”レベルを入力するとシステムリセットされ PC が 0 番地から実行される。 内蔵のパワーON リセット回路と並列に接続されている。	

次ページへ続く。

LC723481W/2W/3W

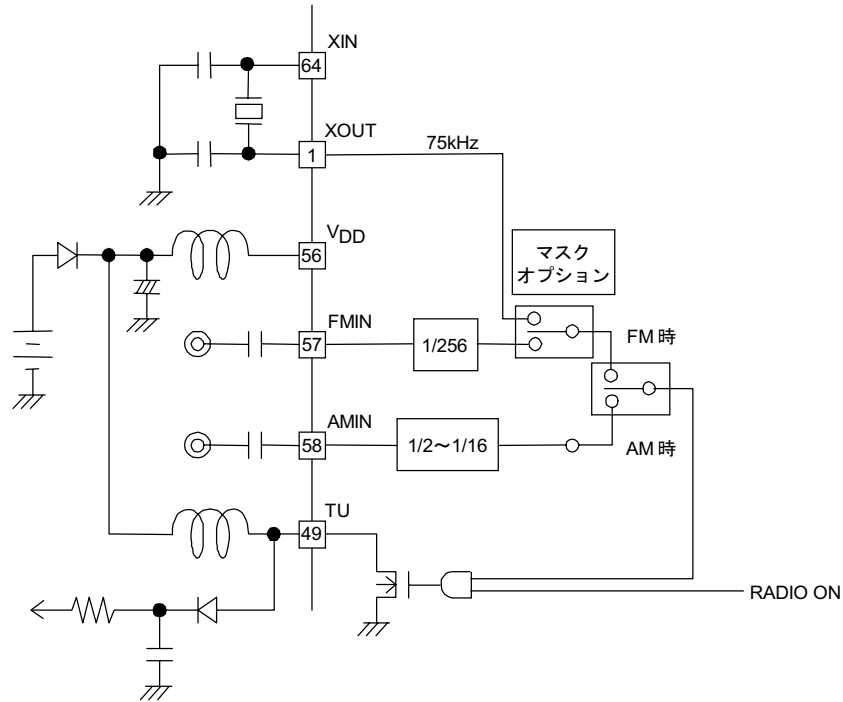
前ページより続く。

端子記号	端子番号	I/O	端子説明	I/O 形式																									
TU	49	0	チューニング電圧発生回路用出力端子である。 Nch トランジスタが内蔵されており、コイル、ダイオード、コンデンサを外付けすることでチューニング電圧を発生されることが可能である。	Nch オープンドレイン 																									
HCTR	55	I	ユニバーサルカウンタ入力専用ポートである。 ◎周波数測定する場合、UCS 命令 (b3=0, b2=0) で HCTR 周波数モードと計測時間を選択し、UCC 命令でカウンタをスタートする。 <table border="1"><thead><tr><th>UCS b3, b2</th><th>入力端子</th><th>測定モード</th><th>UCS b1, b0</th><th>測定時間</th></tr></thead><tbody><tr><td>0 0</td><td>HCTR</td><td>周波数特性</td><td>0 0</td><td>1ms</td></tr><tr><td>0 1</td><td>—</td><td>—</td><td>0 1</td><td>4ms</td></tr><tr><td>1 0</td><td>—</td><td>—</td><td>1 0</td><td>8ms</td></tr><tr><td></td><td></td><td></td><td>1 1</td><td>32ms</td></tr></tbody></table> カウントが終了すると、CNTEND フラグがセットされる。 このモードでは、AC アンプとして動作するため、必ず容量結合で入力すること。 Back Up モード時、HALT モード時、リセット時、および PLL STOP 時は入力禁止となる。	UCS b3, b2	入力端子	測定モード	UCS b1, b0	測定時間	0 0	HCTR	周波数特性	0 0	1ms	0 1	—	—	0 1	4ms	1 0	—	—	1 0	8ms				1 1	32ms	CMOS アンプ入力 
UCS b3, b2	入力端子	測定モード	UCS b1, b0	測定時間																									
0 0	HCTR	周波数特性	0 0	1ms																									
0 1	—	—	0 1	4ms																									
1 0	—	—	1 0	8ms																									
			1 1	32ms																									
FMIN	57	I	FM VCO(局部発振)入力端子である。 PLL 命令の CW1 により端子の選択を行う。 <table border="1"><thead><tr><th>CW1 b1, b0</th><th>帯域</th></tr></thead><tbody><tr><td>0 0</td><td>10～250MHz</td></tr></tbody></table> 容量で入力すること。 Back Up モード時、HALT モード時、リセット時、および PLL STOP 時は入力禁止となる。	CW1 b1, b0	帯域	0 0	10～250MHz	CMOS アンプ入力 																					
CW1 b1, b0	帯域																												
0 0	10～250MHz																												
AMIN	58	I	AM VCO(局部発振)入力端子である。 PLL 命令の CW1 により端子の選択、および帯域の設定を行う。 <table border="1"><thead><tr><th>CW1 b1, b0</th><th>帯域</th></tr></thead><tbody><tr><td>1 0</td><td>2～40MHz (SW)</td></tr><tr><td>1 1</td><td>0.5～10MHz (MW, LW)</td></tr></tbody></table> 容量で入力すること。 Back Up モード時、HALT モード時、リセット時、および PLL STOP 時は入力禁止となる。	CW1 b1, b0	帯域	1 0	2～40MHz (SW)	1 1	0.5～10MHz (MW, LW)	CMOS アンプ入力 																			
CW1 b1, b0	帯域																												
1 0	2～40MHz (SW)																												
1 1	0.5～10MHz (MW, LW)																												
EO	60	0	メインチャージポンプ出力端子である。局部発振周波数を N 分周した周波数が、基準周波数より高い場合は、“H” レベル、低い場合は“L” レベルが出力され一致した場合はハイインピーダンスとなる。 Back Up モード時、HALT モード時、リセット時、および PLL STOP 時は出力ハイインピーダンスとなる。	CMOS プッシュプル 																									
AIN AOUT	61 62	0	L.P.F アンプ用トランジスタである。																										
VSS	24	—	電源端子である。 GND に接続する。	—																									
VSS	59	—	GND に接続する。																										
VDD	56	—	VDD に接続する。																										

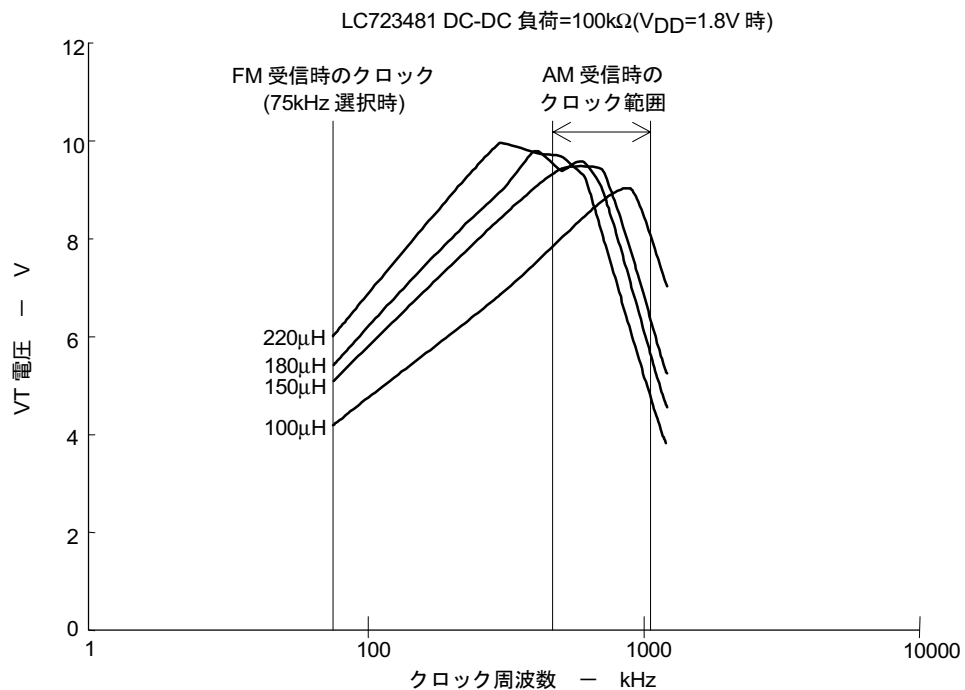
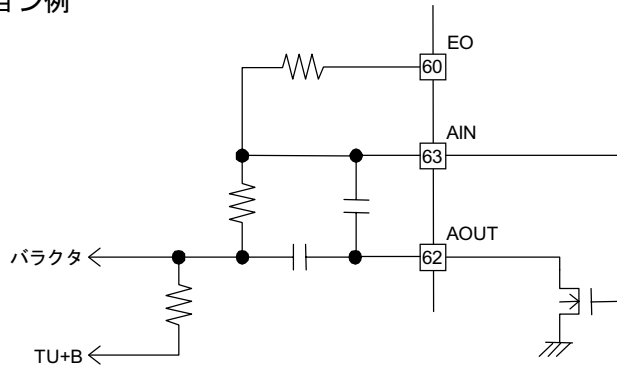
(注 2) 入出力切換えポートで出力として使用する端子は、あらかじめ OUT, SPB, RPB 命令で出力データを確定してから IOS 命令で出力に設定するようにすること。

LC723481W/2W/3W

TU 電圧作成回路アプリケーション例



LPF アプリケーション例



LC723481W/2W/3W

LC723481 シリーズ命令一覧表

用語の説明

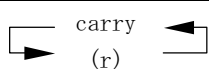
ADDR	:	Program memory address
b	:	Borrow
C	:	Carry
DH	:	Data memory address High(Row address) [2bit]
DL	:	Data memory address Low(Column address) [4bit]
I	:	Immediate data[4bit]
M	:	Data memory address
N	:	Bit position[4bit]
Rn	:	Resister number[4bits]
Pn	:	Port number[4bit]
PW	:	Port control word number[4bit]
r	:	General register(One of the address from 00H to 0FH of BANK0)
(), []	:	Contents of register or memory
M(DH, DL)	:	Data memory specified by DH, DL

Mnemonic	Operand		Function	Operations function	Instruction format														
	1st	2nd			f	e	d	c	b	a	9	8	7	6	5	4	3	2	1
[加算命令]																			
AD	r	M	Add M to r	$r \leftarrow (r) + (M)$	0	1	0	0	0	0	DH		DL						r
ADS	r	M	Add M to r, then skip if carry	$r \leftarrow (r) + (M)$, skip if carry	0	1	0	0	0	1	DH		DL						r
AC	r	M	Add M to r with carry	$r \leftarrow (r) + (M) + C$	0	1	0	0	1	0	DH		DL						r
ACS	r	M	Add M to r with carry, then skip if carry	$r \leftarrow (r) + (M) + C$ skip if carry	0	1	0	0	1	1	DH		DL						r
AI	M	I	Add I to M	$M \leftarrow (M) + I$	0	1	0	1	0	0	DH		DL						I
AIS	M	I	Add I to M, then skip if carry	$M \leftarrow (M) + I$, skip if carry	0	1	0	1	0	1	DH		DL						I
AIC	M	I	Add I to M with carry	$M \leftarrow (M) + I + C$	0	1	0	1	1	0	DH		DL						I
AICS	M	I	Add I to M with carry, then skip if carry	$M \leftarrow (M) + I + C$, skip if carry	0	1	0	1	1	1	DH		DL						I
[減算命令]																			
SU	r	M	Subtract M from r	$r \leftarrow (r) - (M)$	0	1	1	0	0	0	DH		DL						r
SUS	r	M	Subtract M from r, then skip if borrow	$r \leftarrow (r) - (M)$, skip if borrow	0	1	1	0	0	1	DH		DL						r
SB	r	M	Subtract M from r with borrow	$r \leftarrow (r) - (M) - b$	0	1	1	0	1	0	DH		DL						r
SBS	r	M	Subtract M from r with borrow, then skip if borrow	$r \leftarrow (r) - (M) - b$, skip if borrow	0	1	1	0	1	1	DH		DL						r
SI	M	I	Subtract I from M	$M \leftarrow (M) - I$	0	1	1	1	0	0	DH		DL						I
SIS	M	I	Subtract I from M, then skip if borrow	$M \leftarrow (M) - I$, skip if borrow	0	1	1	1	0	1	DH		DL						I
SIB	M	I	Subtract I from M with borrow	$M \leftarrow (M) - I - b$	0	1	1	1	1	0	DH		DL						I
SIBS	M	I	Subtract I from M with borrow, then skip if borrow	$M \leftarrow (M) - I - b$, skip if borrow	0	1	1	1	1	1	DH		DL						I

次ページへ続く。

LC723481W/2W/3W

前ページより続く。

Mnemonic	Operand		Function	Operations function	Instruction format														
	1st	2nd			f	e	d	c	b	a	9	8	7	6	5	4	3	2	1
[比較命令]																			
SEQ	r	M	Skip if r equal to M	$(r) - (M)$, skip if zero	0	0	0	1	0	0	DH		DL						r
SEQI	M	I	Skip if M equal to I	$(M) - I$, skip if zero	0	0	0	1	1	0	DH		DL						I
SNEI	M	I	Skip if M not equal to I	$(M) - I$, skip if not zero	0	0	0	0	0	1	DH		DL						I
SGE	r	M	Skip if r is greater than or equal to M	$(r) - (M)$, skip if not borrow	0	0	0	1	1	0	DH		DL						r
SGEI	M	I	Skip if M is greater than equal to I	$(M) - I$, skip if not borrow	0	0	0	1	1	1	DH		DL						I
SLEI	M	I	skip if M is less than I	$(M) - I$, skip if borrow	0	0	0	0	1	1	DH		DL						I
[論理演算命令]																			
AND	r	M	AND M with r	$r \leftarrow (r) \text{ AND } (M)$	0	0	1	0	0	0	DH		DL						r
ANDI	M	I	AND I with M	$M \leftarrow (M) \text{ AND } I$	0	0	1	0	0	1	DH		DL						I
OR	r	M	OR M with r	$r \leftarrow (r) \text{ OR } (M)$	0	0	1	0	1	0	DH		DL						r
ORI	M	I	OR I with M	$M \leftarrow (M) \text{ OR } I$	0	0	1	0	1	1	DH		DL						I
EXL	r	M	Exclusive OR M with r	$r \leftarrow (r) \text{ XOR } (M)$	0	0	1	1	0	0	DH		DL						r
EXLI	M	I	Exclusive OR M with M	$M \leftarrow (M) \text{ XOR } I$	0	0	1	1	1	0	DH		DL						I
SHR	r		Shift r right with carry		0	0	0	0	0	0	0	1	1	1	0				r
[転送命令]																			
LD	r	M	Load M to r	$r \leftarrow (M)$	1	1	0	1	0	0	DH		DL						r
ST	M	r	Store r to M	$M \leftarrow (r)$	1	1	0	1	0	1	DH		DL						r
MVRD	r	M	Move M to destination M referring to r in the same row	$[DH, Rn] \leftarrow (M)$	1	1	0	1	1	0	DH		DL						r
MVRS	M	r	Move source M referring to r to M in the same row	$M \leftarrow [DH, Rn]$	1	1	0	1	1	1	DH		DL						r
MVSR	M1	M2	Move M to M in the same row	$[DH, DL1] \leftarrow [DH, DL2]$	1	1	1	0	0	0	DH		DL1						DL2
MVI	M	I	Move I to M	$M \leftarrow I$	1	1	1	0	0	1	DH		DL						I
[テスト命令ビット]																			
TMT	M	N	Test M bits, then skip if all bits specified are true	if $M(N) = \text{all } 1$, then skip	1	1	1	1	0	0	DH		DL						N
TMF	M	N	Test M bits, then skip if all bits specified are false	if $M(N) = \text{all } 0$, then skip	1	1	1	1	0	1	DH		DL						N

次ページへ続く。

LC723481W/2W/3W

前ページより続く。

Mnemonic	Operand		Function	Operations function	Instruction format															
	1st	2nd			f	e	d	c	b	a	9	8	7	6	5	4	3	2	1	0
[ジャンプ・サブルー命令]																				
JMP	ADDR		Jump to the address	PC←ADDR	1 0 0		ADDR(13bits)													
CAL	ADDR		Call subroutine	PC←ADDR Stack←(PC) +1	1 0 1		ADDR(13bits)													
RT			Return from subroutine	PC←Stack	0 0 0 0 0 0 0 0 0 1 0 0 0															
RTI			Return from interrupt	PC←Stack, BANK←Stack, CARRY←Stack	0 0 0 0 0 0 0 0 0 1 0 0 1															
[ステータスレジスタ命令]																				
SS	SWR	N	Set status registrar	(Status W-reg)N←1	1 1 1 1 1 1 1 1 0 0							SWR	N							
RS	SWR	N	Reset status register	(Status W-reg)N←0	1 1 1 1 1 1 1 1 0 1							SWR	N							
TST	SRR	N	Test status register true	if (Status R-reg)N =all	1 1 1 1 1 0 0 0 0							SRR	N							
TSF	SRR	N	Test status register false	if(Status R-reg)N =all	1 1 1 1 1 0 0 0 1							SRR	N							
TUL	N		Test Unlock F/F	if Unlock F/F(N)= all 0, then skip	0 0 0 0 0 0 0 0 0 1 1 0 1							N								
[各ハードウェア制御命令]																				
PLL	M		Load M to PLL register	PLL reg←PLL data	1 1 1 1 1 0			DH	DL			r								
UCS	I		Set I to UCCW1	UCCW1←I	0 0 0 0 0 0 0 0 0 0 0 0 1														I	
UCC	I		Set I to UCCW2	UCCW2←I	0 0 0 0 0 0 0 0 0 0 0 0 1 0														I	
BEEP	I		Beep control	BEEP reg←I	0 0 0 0 0 0 0 0 0 0 0 1 1 0														I	
DZC	I		Dead zone control	DZC reg←I	0 0 0 0 0 0 0 0 0 1 0 1 1														I	
TMS	I		Set timer register	Timer reg←I	0 0 0 0 0 0 0 0 0 1 1 0 0														I	
IOS	PWn	N	Set port control word	IOS reg PWn←N	1 1 1 1 1 1 1 0							PWn	N							
[入出力命令]																				
IN	M	Pn	Input port data to M	M←(Pn)	1 1 1 0 1 0			DH	DL			Pn								
OUT	M	Pn	Output contents of M to port	P1n←M	1 1 1 0 1 1			DH	DL			Pn								
INR	M	Pn	Input port data to M	M←(Pn)	0 0 1 1 1 0			DH	DL			Pn								
SPB	P1n	N	Set port1 bits	(Pn)N←1	0 0 0 0 0 0 1 0							Pn	N							
RPB	P1n	N	Reset port1 bits	(Pn)N←0	0 0 0 0 0 0 1 1							Pn	N							
TPT	P1n	N	Test port1 bits, then skip if all bits specified are true	if (Pn)N=all 1, then skip	1 1 1 1 1 1 0 0							Pn	N							
TPF	P1n	N	Test port1 bits, then skip if all bits specified are false	if (Pn)N=all 0, then skip	1 1 1 1 1 1 0 1							Pn	N							
[バンク切替命令]																				
BANK	I		Select Bank	BANK←I	0 0 0 0 0 0 0 0 0 0 1							1 1	I							

次ページへ続く。

LC723481W/2W/3W

前ページより続く。

Mnemonic	Operand		Function	Operations function	Instruction format															
	1st	2nd			f	e	d	c	b	a	9	8	7	6	5	4	3	2	1	0
[LCD 命令]																				
LCD A	M	I	Output segment pattern to LCD digit direct	LCD(DIGIT)←M	1	1	0	0	0	0	DH		DL						DIGIT	
LCD B	M	I			1	1	0	0	0	1	DH		DL						DIGIT	
LCP A	M	I	Output segment pattern to LCD digit through LA	LCD(DIGIT)←LA←M	1	1	0	0	1	0	DH		DL						DIGIT	
LCP B	M	I			1	1	0	0	1	1	DH		DL						DIGIT	
[その他の命令]																				
HALT		I	Halt mode control	HALT reg ←I, then CPU clock stop	0	0	0	0	0	0	0	0	0	1	0	0			I	
CKSTP			Clock stop	Stop X'tal OSC	0	0	0	0	0	0	0	0	0	1	0	1				
NOP			No operation	No operation	0	0	0	0	0	0	0	0	0	0	0	0				

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。