



暫定規格

# LC72P338 — CMOS LSI ワンタイムROM 内蔵型 1チップPLL + コントローラ

LC72P338 は、1チップPLL + コントローラ LC72338 のワンタイム PROM 内蔵型マイクロコントローラである。マスクROM版のLC72338と同等の機能、ピン配置、パッケージを持ち、PROMサイズは16Kバイト(8K × 16bit)である。またLC72P338は、セットの初期出荷の立上げや、仕様変更時の切換え期間の短縮に適している。

- 特長**
- ・16Kバイト(8K × 16bit)PROM内蔵。  
ワンタイム型の16Kバイト(8K × 16bit)PROMである。
  - ・マスクROM版と同じピン配置(ピンコンパチブル)パッケージ。

**弊社ROM書込みについて**

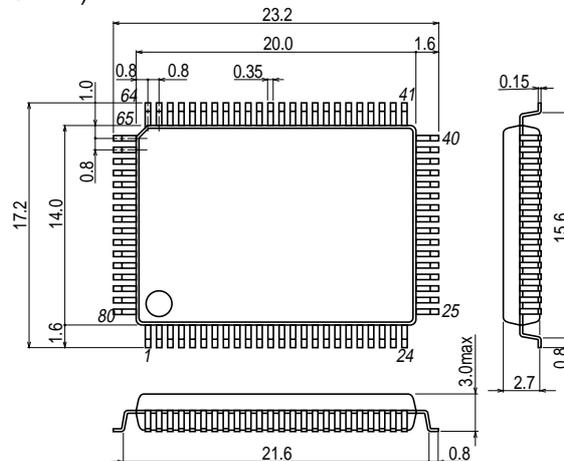
弊社では、ワンタイムPROM内蔵型マイクロコントローラのPROM書込みから捺印、スクリーニング、読出し確認を有料で行うサービスを実施しています。詳細につきましては、営業担当者にご相談ください。

絶対最大定格 / Ta=25, VSS=0V

			unit
最大電源電圧	VDD max	- 0.3 ~ + 6.5	V
入力電圧	VIN 全入力端子	- 0.3 ~ VDD + 0.3	V
出力電圧	VOUT1 PJポート	- 0.3 ~ + 15	V
	VOUT2 VOUT1以外の全出力ポート	- 0.3 ~ VDD + 0.3	V
出力電流	IOUT1 PJポート	0 ~ + 5	mA
	IOUT2 PE, PF, PG, PK, PM, PN, EO1, EO2	0 ~ + 3	mA
	IOUT3 PB, PCポート	0 ~ + 1	mA
	IOUT4 S1 ~ S32	300	μA
	IOUT5 COM1 ~ COM3	3	mA
許容消費電力	Pd max	300	mW(参考値)
動作周囲温度	Topr	- 30 ~ + 70	
保存周囲温度	Tstg	- 45 ~ + 125	

外形図 3174

(unit : mm)



SANYO : QIP-80E

■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっていません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

# LC72P338

許容動作範囲 / Ta= - 30 ~ + 70 , VDD=4.0 ~ 5.5V			min	typ	max	unit
電源電圧	VDD1	CPU, PLL 動作	4.5	5.0	5.5	V
	VDD2	CPU 動作	4.0		5.5	V
	VDD3	メモリ保持	1.3		5.5	V
入力「H」レベル電圧	VIH1	PE, PH, PM ポート, HCTR, LCTR(入力選択時)	0.7VDD		VDD	V
	VIH2	PF, PG, PK ポート, LCTR(周期測定時) HOLD	0.8VDD		VDD	V
	VIH3	SNS	2.5		VDD	V
	VIH4	PA ポート	0.6VDD		VDD	V
入力「L」レベル電圧	VIL1	PE, PH, PM ポート, HCTR, LCTR(入力選択時)	0		0.3VDD	V
	VIL2	PA, PF, PG, PK ポート, LCTR(周期測定時)	0		0.2VDD	V
	VIL3	SNS	0		+ 1.3	V
	VIL4	HOLD	0		0.4VDD	V
入力周波数	fIN1	XIN	4.0	4.5	5.0	MHz
	fIN2	FMIN : VIN2, VDD1	10		150	MHz
	fIN3	FMIN : VIN3, VDD1	10		130	MHz
	fIN4	AMIN(H) : VIN3, VDD1	2.0		40	MHz
	fIN5	AMIN(L) : VIN3, VDD1	0.5		10	MHz
	fIN6	HCTR : VIN3, VDD1	0.4		12	MHz
	fIN7	LCTR : VIN3, VDD1	100		500	kHz
	fIN8	LCTR(周期測定) , VIH2, VIL2, VDD1	1		20 × 10 <sup>3</sup>	Hz
入力振幅	VIN1	XIN	0.5		1.5	Vrms
	VIN2	FMIN	0.10		1.5	Vrms
	VIN3	FMIN, AMIN, HCTR, LCTR	0.07		1.5	Vrms
入力電圧範囲	VIN4	AD10 ~ AD13	0		VDD	V
電気的特性 / 許容動作範囲において			min	typ	max	unit
入力「H」レベル電流	I <sub>IH1</sub>	XIN : V <sub>I</sub> =VDD=5.0V	2.0	5.0	15	μA
	I <sub>IH2</sub>	FMIN, AMIN, HCTR, LCTR : V <sub>I</sub> =VDD=5.0V	4.0	10	30	μA
	I <sub>IH3</sub>	PA, PE, PF, PG, PH, PK, PM ポート, SNS, HOLD, HCTR, LCTR : PA ポートは ブルダウン抵抗無, V <sub>I</sub> =VDD=5.0V, PE, PF, PG, PK, PM ポートは 入力 MODE 選択			3.0	μA
	I <sub>IH4</sub>	PA ポート : ブルダウン抵抗有, V <sub>I</sub> =VDD=5.0V		50		μA
入力「L」レベル電流	I <sub>IL1</sub>	XIN : V <sub>I</sub> =VSS	2.0	5.0	15	μA
	I <sub>IL2</sub>	FMIN, AMIN, HCTR, LCTR : V <sub>I</sub> =VSS	4.0	10	30	μA
	I <sub>IL3</sub>	PA, PE, PF, PG, PH, PK, PM ポート, SNS, HOLD, HCTR, LCTR : PA ポートは ブルダウン抵抗無, V <sub>I</sub> =VSS, PE, PF, PG, PK, PM ポートは 入力 MODE 選択			3.0	μA
入力フローティング電圧	V <sub>IF</sub>	PA ポート : ブルダウン抵抗有		0.05VDD		V
ブルダウン抵抗	R <sub>PD1</sub>	PA ポート : ブルダウン抵抗有, VDD=5V	75	100	200	kΩ
	R <sub>PD2</sub>	TEST1, TEST2		10		kΩ
ヒステリシス幅	V <sub>H</sub>	PF, PG, PK ポート, LCTR(周期測定時)	0.1VDD	0.2VDD		V

次ページへ続く。

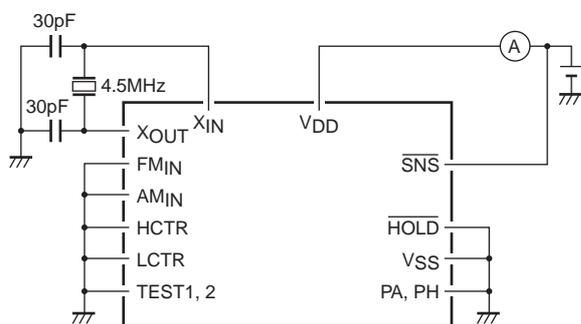
# LC72P338

前ページより続く。

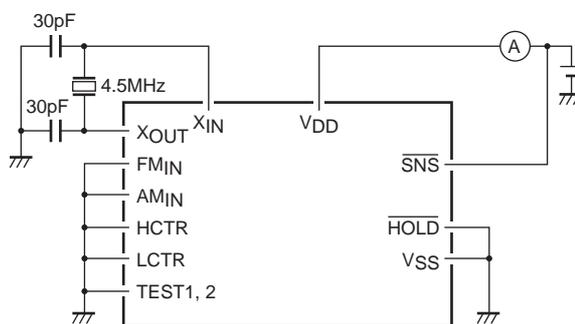
			min	typ	max	unit
出力「H」レベル電圧	VOH1	PB, PC ポート: $I_{O=} = -1\text{mA}$	$V_{DD} - 2.0$	$V_{DD} - 1.0$	$V_{DD} - 0.5$	V
	VOH2	PE, PF, PG, PK, PM, PN ポート: $I_{O=} = -1\text{mA}$	$V_{DD} - 1.0$			V
	VOH3		EO1, EO2: $I_{O=} = -500\mu\text{A}$	$V_{DD} - 1.0$		V
	VOH4	XOUT: $I_{O=} = -200\mu\text{A}$	$V_{DD} - 1.0$			V
	VOH5	S1 ~ S32: $I_{O=} = -100\mu\text{A}$	$V_{DD} - 1.0$			V
	VOH6	COM1, COM2, COM3: $I_{O=} = -20\mu\text{A}$	$V_{DD} - 1.0$			V
出力「L」レベル電圧	VOL1	PB, PC ポート: $I_{O=} = 50\mu\text{A}$	0.5	1.0	2.0	V
	VOL2	PE, PF, PG, PK, PM, PN ポート: $I_{O=} = 1\text{mA}$			1.0	V
	VOL3		EO1, EO2: $I_{O=} = 500\mu\text{A}$			1.0
	VOL4	XOUT: $I_{O=} = 200\mu\text{A}$			1.0	V
	VOL5	S1 ~ S32: $I_{O=} = 100\mu\text{A}$			1.0	V
	VOL6	COM1, COM2, COM3: $I_{O=} = 20\mu\text{A}$			1.0	V
	VOL7	PJ ポート: $I_{O=} = 5\text{mA}$	0.75		2.0	V
出力中間レベル電圧	VMID1	S1 ~ S32: $I_{O=} = \pm 100\mu\text{A}$	$2/3V_{DD} \pm 1.0$			V
	VMID2	S1 ~ S32: $I_{O=} = \pm 100\mu\text{A}$	$1/3V_{DD} \pm 1.0$			V
	VMID3	COM1, COM2, COM3: $I_{O=} = \pm 20\mu\text{A}$	$2/3V_{DD} \pm 1.0$			V
	VMID4		COM1, COM2, COM3: $I_{O=} = \pm 20\mu\text{A}$	$1/3V_{DD} \pm 1.0$		V
出力オフリーク電流	I <sub>OFF1</sub>	PE, PF, PG, PK, PM, PN ポート	- 3.0		+ 3.0	$\mu\text{A}$
	I <sub>OFF2</sub>	EO1, EO2	- 100		+ 100	nA
	I <sub>OFF3</sub>	PJ ポート	- 5.0		+ 5.0	$\mu\text{A}$
AD 変換誤差	-	AD10 ~ AD13: $V_{DD1}$	- 1/2		+ 1/2	LSB
リジェクトパルス幅	PREJ	SNS			50	$\mu\text{s}$
パワーダウン検出電圧	VDET		3.0	3.5	4.0	V
電源電流	I <sub>DD1</sub>	$V_{DD1}$ : $f_{IN2} = 130\text{MHz}$ , $T_a = 25$		12		mA
	I <sub>DD2</sub>	$V_{DD2}$ : HALT モード 1, $T_a = 25$		0.45		mA
	I <sub>DD3</sub>	$V_{DD} = 5.5\text{V}$ , OSC 停止, $T_a = 25$			5	$\mu\text{A}$
	I <sub>DD4</sub>	$V_{DD} = 2.5\text{V}$ , OSC 停止, $T_a = 25$			1	$\mu\text{A}$

1: 1ms 毎に 20STEP 命令を実行する。PLL, カウンタ等はすべて停止。

## 測定回路図



ILC02555



ILC02556

注)上記記載ポート以外はすべてOPEN  
PE, PF, PM, PNはセグメントポートを選択  
PG, PKは出力選択

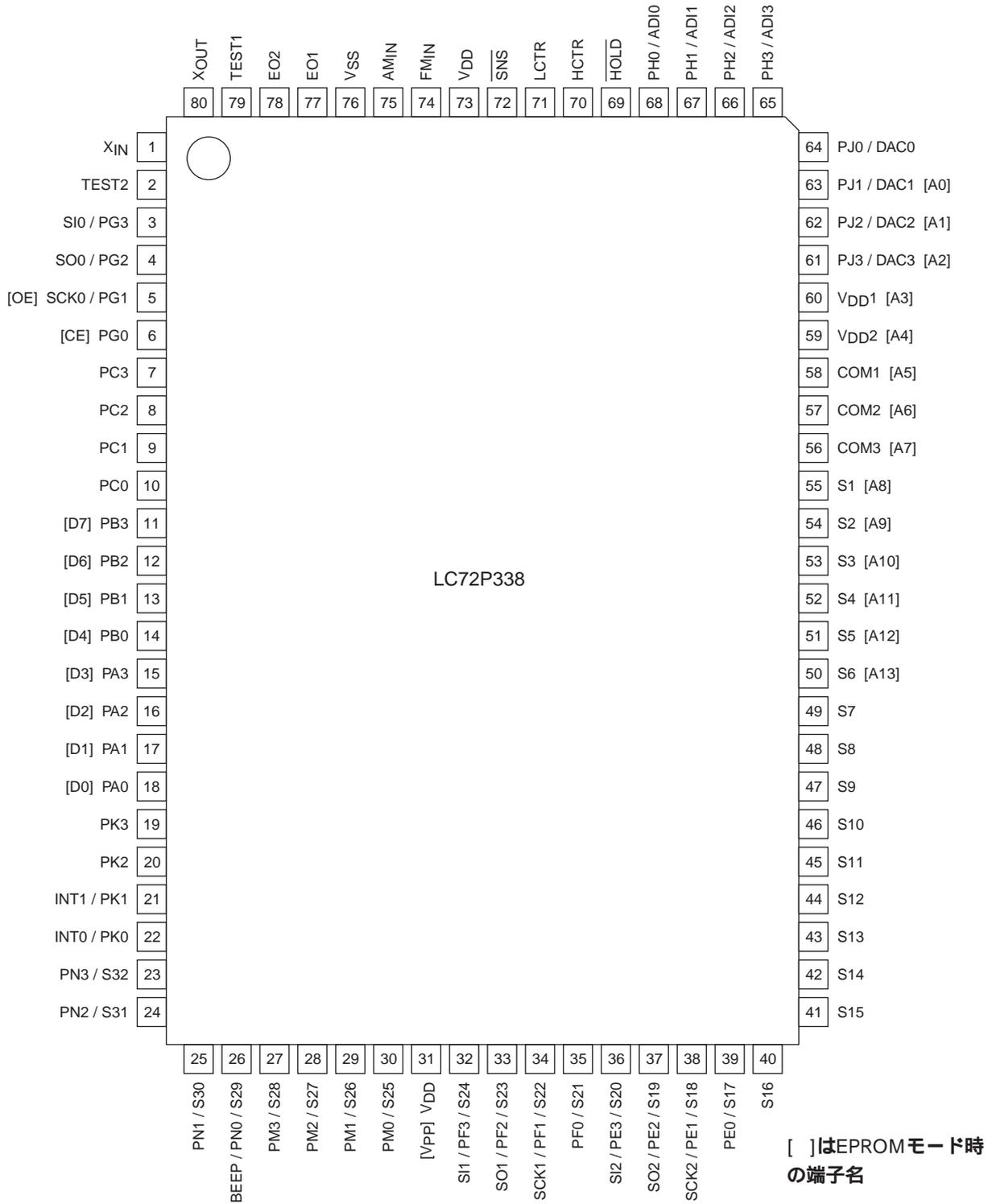
図1 HOLDモード時の $I_{DD2} \sim 4$

注)上記記載ポート以外はすべてOPEN  
PE, PF, PM, PNはセグメントポートを選択  
PG, PKは出力選択

図2 BACK UPモード時の $I_{DD5}$

# LC72P338

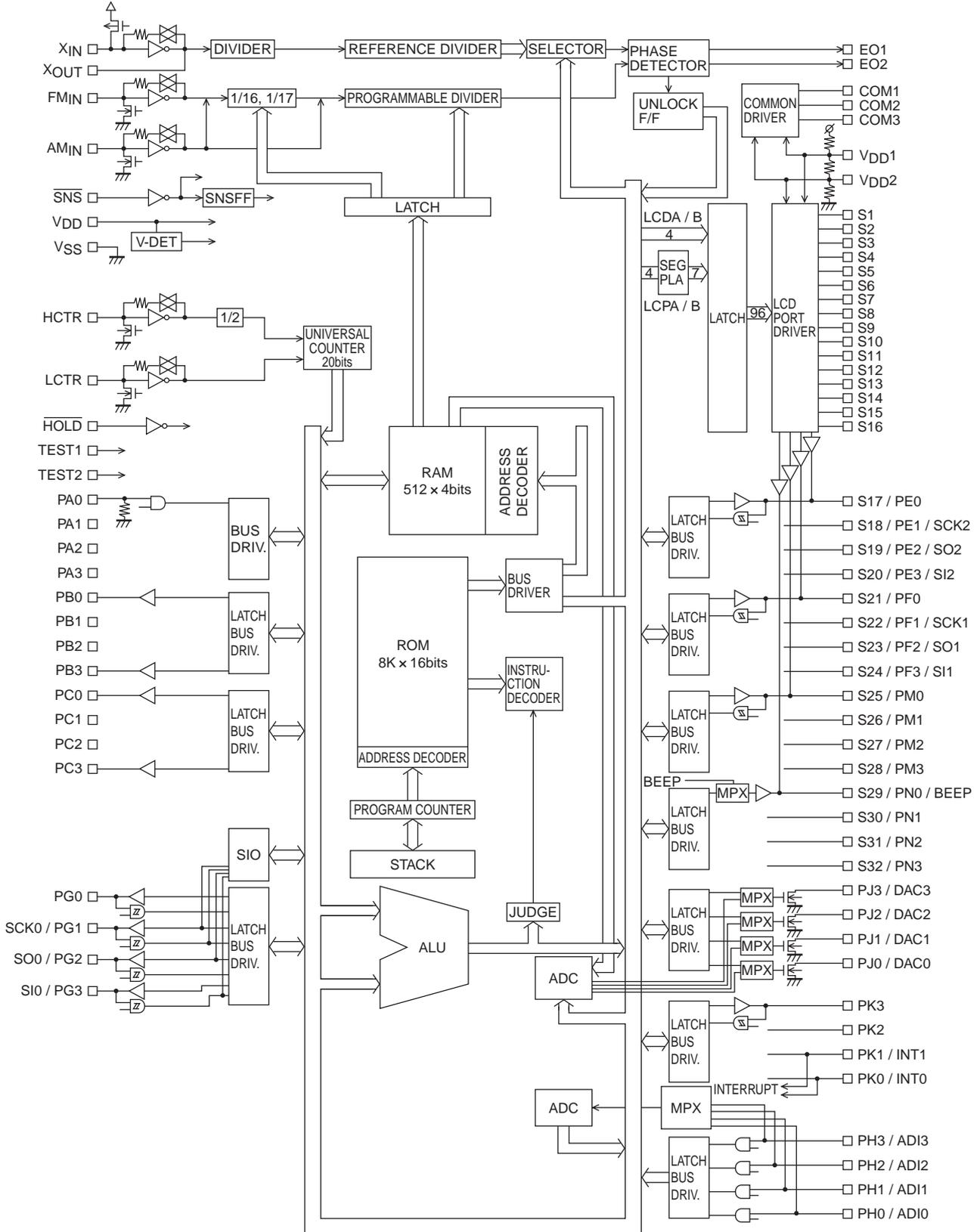
## ピン配置図



ILC02560

# LC72P338

## ブロックダイアグラム



ILC02561

# LC72P338

## 端子説明

端子名	端子番号	I/O	I/O 型式	機 能
PA0 PA1 PA2 PA3	18 17 16 15	I	プルダウン抵抗付 入力	キーリターン信号入力専用ポートで、スレッシュホールド電圧が低く設計されている。PB, PC ポートと組み合わせてキーマトリクスを構成すると、最大3個の多重押しを検出できる。 プルダウン抵抗は、4本まとめてIOS命令(Pn=2, b1)で設定し、1端子ごとの指定はできない。 CLOCK STOP モード時は入力禁止となる。
PB0 PB1 PB2 PB3 PC0 PC1 PC2 PC3	14 13 12 11 10 9 8 7	O	アンバランス CMOS プッシュプル	キーソース信号出力専用ポートで、出力トランジスタのインピーダンスがアンバランス型のCMOSであるため、キー多重押しによる短絡防止用のダイオードが不要となる。 CLOCK STOP モード時は出力ハイインピーダンスとなる。 パワーオンリセット時は出力ハイインピーダンスとなり、出力命令が実行されるまでこの状態を維持する。
PG0 PG1 / SCK0 PG2 / SO0 PG3 / SI0	6 5 4 3	I/O	CMOS プッシュプル	汎用出力ポート、およびシリアルI/O 兼用ポートである。 入力はシュミット形式。 汎用入出力 / シリアルI/O ポートの切換え、および汎用ポートの入力 / 出力切換えは、IOS 命令により行う。 汎用入出力ポートとして使用するとき 1ビット単位で入出力設定可能(ビットI/O) IOS 命令(Pn=0)で汎用入出力ポートに設定する。 b0=SI/O0 0 ..... 汎用ポート 1 ..... SI/O ポート 1ビット単位の入力 / 出力指定は、IOS 命令で行う。 PG ..... Pn=6 0 ..... 入力 1 ..... 出力 シリアルI/O ポートとして使用するとき IOS 命令(Pn=0)でシリアルI/O ポートに設定する。 シリアルI/O データバッファの内容は、INR, OUTR 命令でセーブ、ロードする。 シリアルI/O ポートとして使用時の端子の設定状態 PG0 ..... 汎用入出力 PG1 ..... 内部クロック時はSCK0 出力 外部クロック時はSCK0 入力 PG2 ..... SO0 出力 PG3 ..... SI0 入力 CLOCK STOP モード時は、入力禁止でハイインピーダンスとなる。 パワーオンリセット時は、汎用入力ポートとなる。
XIN XOUT	1 80	I O	-	4.5MHz X tal 発振用端子である。
EO1 EO2	77 78	O	CMOS トライステート	チャージポンプ出力端子である。 HOLD イネーブル状態でHOLD 端子を「L」にするとハイインピーダンス。 CLOCK STOP モード時、パワーオンリセット時、およびPLL STOP 状態時は、ハイインピーダンスとなる。
VSS VDD	76 31, 73	-	-	電源端子である。

次ページへ続く。

# LC72P338

前ページより続く。

端子名	端子番号	I/O	I/O 型式	機能									
AMIN	75	I		<p>AM VCO( 局部発振 )入力端子である。 PLL 命令の CW1( b1, b0 )により端子の選択、帯域の設定を行う。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>b1</th> <th>b0</th> <th>帯域</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>2 ~ 40MHz(SW)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0.5 ~ 10MHz(MW, LW)</td> </tr> </tbody> </table> <p>容量結合で入力すること。 HOLD イネーブル状態で <math>\overline{\text{HOLD}}</math> 端子を「L」にすると、入力禁止となる。 CLOCK STOP モード時、パワーオンリセット時、および PLL STOP 状態時は、入力禁止となる。</p>	b1	b0	帯域	1	0	2 ~ 40MHz(SW)	1	1	0.5 ~ 10MHz(MW, LW)
b1	b0	帯域											
1	0	2 ~ 40MHz(SW)											
1	1	0.5 ~ 10MHz(MW, LW)											
FMIN	74	I		<p>FM VCO( 局部発振 )入力端子である。 PLL 命令の CW1( b1=0, b0=don't care )により端子の選択を行う。 容量結合で入力すること。 HOLD イネーブル状態で <math>\overline{\text{HOLD}}</math> 端子を「L」にすると、入力禁止となる。 CLOCK STOP モード時、パワーオンリセット時、および PLL STOP 状態時は、入力禁止となる。</p>									
$\overline{\text{SNS}}$	72	I		<p>電圧センス / 汎用入力端子兼用ポートである。 入カスレッシュホールド電圧は、低く設計されている。</p> <p>電圧センス端子として使用する場合 バックアップ( CLOCK STOP )モード復帰時、パワーフェイルの有無を判定するための入力端子で、判定には内部のセンス F/F を使用する。センス F/F は TUL 命令( b2 )でテストする。</p> <p>汎用入力ポートとして使用する場合 汎用入力ポートとして使用する場合には、TUL 命令( b3 )で判定する。</p> <p>CLOCK STOP モード時、およびパワーオンリセット時は他の入力ポートと異なり入力を禁止していないため、汎用入力ポートとして使用する場合、貫通電流に注意が必要である。</p>									
LCTR	71	I		<p>ユニバーサルカウンタ( 周波数、周期測定 )汎用入力兼用ポートである。 ユニバーサルカウンタ / 汎用入力端子の切換えは、IOS 命令( Pn=3, b3 )で行う。</p> <p>周波数測定する場合 IOS 命令( Pn=3, b3=0 )でユニバーサルカウンタを選択する。 UCS 命令( b3=0, b2=1 )で LCTR 周波数測定モードを設定し、計数時間を選択後 UCC 命令でカウンタをスタートする。 カウントが終了すると CNTEND フラグがセットされる。 このモードでは、AC アンプとして動作するため、必ず容量結合で入力すること。</p> <p>周期測定する場合 ユニバーサルカウンタが選択されている状態で UCS 命令( b3=1, b2=0 )により周期測定モードを設定し、計数時間選択後 UCC 命令でカウンタをスタートする。 カウントが終了すると CNTEND フラグがセットされる。 このモードでは、バイアス用帰還抵抗が OFF するため、DC 結合で入力すること。</p> <p>汎用入力端子として使用する場合 IOS 命令( Pn=3, b3=1 )で汎用入力ポートに設定する。 データ読みは内部レジスタ( アドレス 0EH )入力命令 INR( b1 )により行う。</p> <p>CLOCK STOP モード時は、入力禁止( 入力端子がプルダウンされる )、パワーオンリセット時は、ユニバーサルカウンタが選択される( HCTR 周波数測定モード )</p>									

次ページへ続く。

前ページより続く。

端子名	端子番号	I/O	I/O 型式	機能
HCTR	70	I		<p>ユニバーサルカウンタ / 汎用入力兼用入力ポートである。 ユニバーサルカウンタ / 汎用入力端子の切換えは、IOS 命令 (Pn=3, b3)で行う。</p> <p><b>周波数測定する場合</b> IOS 命令 (Pn=3, b2=0)でユニバーサルカウンタを選択する。 UCS 命令 (b3=0, b2=0)で HCTR 周波数測定モードを設定し、計数時間を選択後 UCC 命令でカウンタをスタートする。 カウントが終了すると CNTEND フラグがセットされる。 このモードでは、AC アンプとして動作するため、必ず容量結合で入力すること。 <b>汎用入力端子として使用する場合</b> IOS 命令 (Pn=3, b2=1)で汎用入力ポートに設定する。 データ読み込みは内部レジスタ(アドレス 0EH)入力命令 INR (b0)により行う。 CLOCK STOP モード時は、入力禁止(入力端子がプルダウンされる)、パワーオンリセット時は、ユニバーサルカウンタが選択される。</p>
HOLD	69	I		<p>PLL 制御, CLOCK STOP モード制御端子である。 HOLD イネーブル状態で、この端子を「L」にすると FMIN, AMIN 端子入力が禁止され、EO 端子がハイインピーダンスとなる。 CLOCK STOP モードに入るには、HOLDEN フラグをセットして端子を「L」にし、CKSTP 命令を実行する。 解除するときは端子を「H」にする。</p>
PH0 / ADI0 PH1 / ADI1 PH2 / ADI2 PH3 / ADI3	68 67 66 65	I		<p>汎用入力ポート / ADC 兼用入力端子である。 汎用入力ポートと ADC の切換えは、IOS 命令 (Pn=7)で行う。</p> <p><b>汎用入力ポートとして使用する場合</b> IOS 命令 (Pn=7)で汎用入力ポートに指定する(ビット単位)。 <b>ADC 入力端子として使用する場合</b> IOS 命令 (Pn=7)で ADC 入力ポートに指定する(ビット単位)。 IOS 命令 (Pn=1)で変換する端子を指定する。 UCC 命令 (b2)で変換スタートする。 変換終了すると、ADCE フラグがセットされる。 注)ADI に指定したポートに対し入力命令 (IN 命令)を実行した場合、入力が禁止されているため、常に「L」となる(汎用入力に設定してから入力命令を実行すること)。 CLOCK STOP モード時は、入力禁止。 パワーオンリセット時は、汎用入力ポートとなる。</p>
PJ0 / DAC0 PJ1 / DAC1 PJ2 / DAC2 PJ3 / DAC3	64 63 62 61	O	Nch オープンドレイン	<p>汎用出力ポート / DAC 兼用出力端子である。 汎用出力ポート / DAC の切換えは、IOS 命令 (Pn=9)で行う。 オープンドレイン形式のため、外部にプルアップ抵抗が必要。 <b>汎用出力ポートとして使用する場合</b> IOS 命令 (Pn=9)で汎用出力ポートに指定する。 <b>DAC として使用するとき</b> ポートの切換えは、IOS 命令 (Pn=9)で行う(ビット指定)。 DAC データは DAC 命令で指定した DAQ(0 ~ 3)にロードする。 ポートの切換えと同時に PWM 波形が出力されるが、データロード後最大 114μs 間(1/8.79kHz)はロード前のデータが出力される。 CLOCK STOP モード時は、トランジスタオフ(H出力)となる。 パワーオンリセット時は、汎用出力ポートに設定され、トランジスタオフ(H出力)となる。</p>

次ページへ続く。

## LC72P338

前ページより続く。

端子名	端子番号	I/O	I/O 型式	機能
PK0 / INT0 PK1 / INT1 PK2 PK3	22 21 20 19	I/O	CMOS プッシュプル	汎用入出力 / 外部割込み兼用ポートである。 汎用ポートと外部割込み端子の切換え命令はなく、外部割込みイネーブルフラグをセットした時点で入力専用ポートとなる(出力禁止)。 汎用入出力ポートとして使用するとき 1ビット単位で入出力設定可能(ビットI/O)。 1ビット単位の入力 / 出力指定は、IOS 命令により行う。 外部割込み端子として使用するとき ステータスレジスタ 2 の外部割込みイネーブルフラグ(INT0EN, INT1EN)をセットすることにより使用可能となる。 この時、端子は入力ポートに自動的に設定される。 割込み動作をさせる場合は、さらにステータスレジスタ 1 の割込みイネーブルフラグ(INTEN)をセットする必要がある。 立上り、立下りエッジの選択は、IOS 命令(Pn=3, b1=INT1, b0=INT0)で行う。 CLOCK STOP モード時は、入力禁止でハイインピーダンスとなる。 パワーオンリセット時は、汎用入力ポートとなる。
VDD1	57			外部より LCD 駆動バイアスの 2/3 電圧印加用端子である。
VDD2	58			外部より LCD 駆動バイアスの 1/3 電圧印加用端子である。
TEST1 TEST2	79 2			LSI のテスト端子である。 オープンまたは GND に接続する。
COM1 COM2 COM3	58 57 56	O	CMOS 3 値出力	LCD ドライバのコモン出力端子である。 駆動方式は 1/3duty, 1/3bias。 CLOCK STOP モード時は、「L」レベルに固定される。 パワーオンリセット時も、「L」レベルに固定される。
S1 ~ S16	55 ~ 40	O	CMOS 3 値出力	LCD ドライバのセグメント出力端子である。 駆動方式は 1/3duty, 1/3bias。 フレーム周波数は 100Hz。 CLOCK STOP モード時は、「L」レベルに固定される。 パワーオンリセット時も、「L」レベルに固定される。

次ページへ続く。

前ページより続く。

端子名	端子番号	I/O	I/O 型式	機能
S17 / PE0 S18 / PE1 / SCK2 S19 / PE2 / SO2 S20 / PE3 / SI2	39 38 37 36	I/O	CMOS 3 値出力および プッシュプル	<p>LCD ドライバのセグメント出力、汎用入出力およびシリアル I/O 兼用ポートである。</p> <p>セグメント出力 / 汎用入出力 / シリアル I/O の切換え、および汎用ポートの入力 / 出力切換えは、IOS 命令により行う。</p> <p><b>セグメント出力として使用するとき</b> 1 ビット単位で設定可能。 IOS 命令 (Pn=0DH) でセグメント出力に設定する。 b0=S17 / PE0 0 ..... セグメント出力 b1=S18 / PE1 1 ..... PE0 ~ 3 出力 b2=S19 / PE2 b3=S20 / PE3</p> <p><b>汎用入出力ポートとして使用するとき</b> 1 ビット単位で入出力設定可能 (ビット I/O)。 IOS 命令 (Pn=0) で汎用入出力ポートに設定する。 b2=SI/O2 0 ..... 汎用ポート 1 ..... SI/O ポート</p> <p>1 ビット単位の入力 / 出力指定は、IOS 命令で行う。 PE ..... Pn=4 0 ..... 入力 1 ..... 出力</p> <p><b>シリアル I/O ポートとして使用するとき</b> IOS 命令 (Pn=0) でシリアル I/O ポートに設定する。 シリアル I/O データバッファの内容は、INR, OUTR 命令でセーブ、ロードする。</p> <p><b>シリアル I/O ポートとして使用時の端子の設定状態</b> PE0 ..... 汎用入出力 PE1 ..... 内部クロック時は SCK2 出力 外部クロック時は SCK2 入力 PE2 ..... SO2 出力 PE3 ..... SI2 入力</p> <p>CLOCK STOP モード時、汎用入出力およびシリアル I/O ポートとして使用しているときは入力禁止でハイインピーダンスとなる。 セグメント出力として使用しているときは「L」レベルに固定される。 パワーオンリセット時は、セグメント出力ポートとなる。</p>

次ページへ続く。



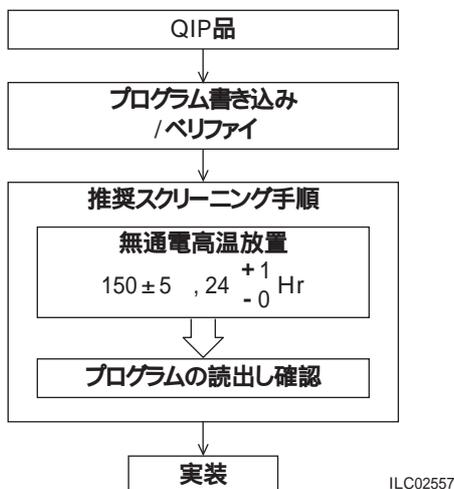


前ページより続く。

(3)実装前の条件

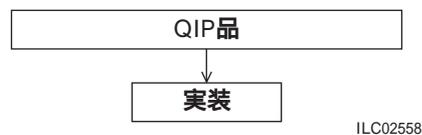
1. ユーザによる書込み品

(PROM未書込み出荷品)の場合  
次に示す手順で実装を行うこと。



2. 弊社による書込み品

(PROM書込み済出荷品)の場合  
次に示す手順で実装を行うこと。



【注意】

- ・ワンタイムPROM内蔵マイクロコントローラ(PROM未書込み品)は、その構造上、弊社にて完全な試験をして出荷することはできないので、書込み歩留まりが低下する場合がある。

使用方法

(1)内蔵 PROM への書込み方法

LC72P338 の内蔵 PROM に書込みを行う場合、以下に示す 2 つの方法がある。

1. 汎用 EPROM プログラマを使用する場合

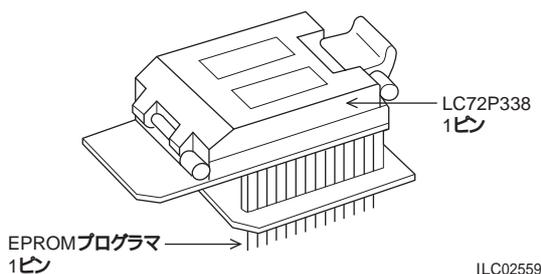
汎用 EPROM プログラマにより書込みを行う場合、専用書込み基板(品名:LC72E32 ADAPTER FOR EPROM PROGRAMMER)を用いて書込むことができる。また、書込み方法には、「27512(Vpp=12.5V)インテル高速書込み」を使用する。

2. インサーキットエミュレータ RE32 を使用する場合

インサーキットエミュレータ RE32 により書込みを行う場合、専用書込み基板(品名:LC72E32 ADAPTER FOR RE32)を用いて書込むことができる。また、書込み方法は、コマンド「PGOTP」を使用する。

(2)専用書込み基板

専用書込み基板には、上記に示した様に 2 種類あるので、その用途にあった専用書込み基板を用いること。



汎用 EPROM プログラマ用	: 品名	LC72E32 ADAPTER FOR EPROM PROGRAMMER
	品番	NDK-DC-001-A
インサーキットエミュレータ RE32 用	: 品名	LC72E32 ADAPTER FOR RE32
	品番	NDK-DC-003-A

# LC72P338

## LC72P338 命令一覧表

凡例 : ADDR : Program memory address

b : Borrow

C : Carry

DH : Data memory address high (Row address)[2bits]

DL : Data memory address low (Column address)[4bits]

I : Immediate data [4bits]

M : Data memory address

N : Bit position [4bits]

Pn : Port number [4bits]

r : General register (BANK0 の 00 ~ 0FH 番地の 1 つ)

Rn : Register number [4bits]

( ) : Contents of register or memory

( )n : Contents of bit N of register or memory

命令群	ニーモニック	オペランド		機能	動作	マシ ン コ ー ド														
		1st	2nd			D15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
加 算 命 令	AD	r	M	Add M to r	r (r) + (M)	0	1	0	0	0	0	DH	DL	r						
	ADS	r	M	Add M to r, then skip if carry	r (r) + (M) skip if carry	0	1	0	0	0	1	DH	DL	r						
	AC	r	M	Add M to r with carry	r (r) + (M) + C	0	1	0	0	1	0	DH	DL	r						
	ACS	r	M	Add M to r with carry, then skip if carry	r (r) + (M) + C skip if carry	0	1	0	0	1	1	DH	DL	r						
	AI	M	I	Add I to M	M (M) + I	0	1	0	1	0	0	DH	DL	I						
	AIS	M	I	Add I to M, then skip if carry	M (M) + I skip if carry	0	1	0	1	0	1	DH	DL	I						
	AIC	M	I	Add I to M with carry	M (M) + I + C	0	1	0	1	1	0	DH	DL	I						
	AICS	M	I	Add I to M with carry, then skip if carry	M (M) + I + C skip if carry	0	1	0	1	1	1	DH	DL	I						
減 算 命 令	SU	r	M	Subtract M from r	r (r) - (M)	0	1	1	0	0	0	DH	DL	r						
	SUS	r	M	Subtract M from r, then skip if borrow	r (r) - (M) skip if borrow	0	1	1	0	0	1	DH	DL	r						
	SB	r	M	Subtract M from r with borrow	r (r) - (M) - b	0	1	1	0	1	0	DH	DL	r						
	SBS	r	M	Subtract M from r with borrow, then skip if borrow	r (r) - (M) - b skip if borrow	0	1	1	0	1	1	DH	DL	r						
	SI	M	I	Subtract I from M	M (M) - I	0	1	1	1	0	0	DH	DL	I						
	SIS	M	I	Subtract I from M, then skip if borrow	M (M) - I skip if borrow	0	1	1	1	0	1	DH	DL	I						
	SIB	M	I	Subtract I from M with borrow	M (M) - I - b	0	1	1	1	1	0	DH	DL	I						
比 較 命 令	SIBS	M	I	Subtract I from M with borrow, then skip if borrow	M (M) - I - b skip if borrow	0	1	1	1	1	1	DH	DL	I						
	SEQ	r	M	Skip if r equal to M	(r) - (M) skip if zero	0	0	0	1	0	0	DH	DL	r						
	SEQI	M	I	Skip if M equal to I	(M) - I skip if zero	0	0	0	1	0	1	DH	DL	I						
	SNEI	M	I	Skip if r not equal to M	(M) - I skip if not zero	0	0	0	0	0	1	DH	DL	I						
	SGE	r	M	Skip if r is greater than or equal to M	(r) - (M) skip if not borrow	0	0	0	1	1	0	DH	DL	r						
	SGEI	M	I	Skip if M is greater than or equal to I	(M) - I skip if not borrow	0	0	0	1	1	1	DH	DL	I						
論 理 演 算 命 令	SLEI	M	I	Skip if M is less than I	(M) - I skip if borrow	0	0	0	0	1	1	DH	DL	I						
	AND	r	M	AND M with r	r (r)AND(M)	0	0	1	0	0	0	DH	DL	r						
	ANDI	M	I	AND I with M	M (M)AND I	0	0	1	0	0	1	DH	DL	I						
	OR	r	M	OR M with r	r (r)OR(M)	0	0	1	0	1	0	DH	DL	r						
	ORI	M	I	OR I with M	M (M)OR I	0	0	1	0	1	1	DH	DL	I						
	EXL	r	M	Exclusive OR M with r	r (r)XOR(M)	0	0	1	1	0	0	DH	DL	r						
EXLI	M	I	Exclusive OR I with M	M (M)XOR I	0	0	1	1	0	1	DH	DL	I							

次ページへ続く。

# LC72P338

前ページより続く。

命令群	ニーモニック	オペランド		機能	動作	マシンコード														
		1st	2nd			D15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
転送命令	LD	r	M	Load M to r	r (M)	1	1	0	1	0	0	DH	DL	r						
	ST	M	r	Store r to M	M (r)	1	1	0	1	0	1	DH	DL	r						
	MVRD	r	M	Move M to destination M referring to r in the same row	[DH, Rn] (M)	1	1	0	1	1	0	DH	DL	r						
	MVRS	M	r	Move source M referring to r to M in the same row	M [DH, Rn]	1	1	0	1	1	1	DH	DL	r						
	MVSR	M1	M2	Move M to M in the same row	[DH, DL1] [DH, DL2]	1	1	1	0	0	0	DH	DL1	DL2						
	MVI	M	I	Move I to M	M I	1	1	1	0	0	1	DH	DL	I						
ビットテスト命令	TMT	M	N	Test M bits, then skip if all bits specified are true	if M (N)=all" 1 ", then skip	1	1	1	1	0	0	DH	DL	N						
	TMF	M	N	Test M bits, then skip if all bits specified are false	if M (N)=all" 0 ", then skip	1	1	1	1	0	1	DH	DL	N						
ジャンプ・サブルーチン命令	JMP		ADDR	Jump to the address	PC ADDR	1	0	0	ADDR(13bits)											
	CAL		ADDR	Call subroutine	Stack (PC) + 1	1	0	1	ADDR(13bits)											
	RT			Return from subroutine	PC Stack	0	0	0	0	0	0	0	0	1	0	0	0			
	RTS			Return from subroutine and skip	PC Stack + 1	0	0	0	0	0	0	0	0	1	0	1	0			
	RTB			Return from subroutine with bank data	PC Stack BANK Stack	1	1	1	1	1	1	1	1	1	1	0	0			
	RTBS			Return from subroutine with bank data and skip	PC Stack + 1 BANK Stack	1	1	1	1	1	1	1	1	1	1	0	1			
	RTI			Return from interrupt	PC Stack BANK Stack CARRY / SKIP Stack	0	0	0	0	0	0	0	0	1	0	0	1			
ステータスレジスタ命令	SS	I	N	Set status register	(Status reg I) N 1	1	1	1	1	1	1	1	1	0	0	0	I	N		
	RS	I	N	Reset status register	(Status reg I) N 0	1	1	1	1	1	1	1	1	0	0	1	I	N		
	TST	I	N	Test status register true	if (Status reg I) N= all" 1 ", then skip	1	1	1	1	1	1	1	1	0	1	I	N			
	TSF	I	N	Test status register false	if (Status reg I) N= all" 0 ", then skip	1	1	1	1	1	1	1	1	1	0	I	N			
テスト命令	TMS	I			Timer reg I	0	0	0	0	0	0	0	0	1	1	0	0	I		
	TUL	N		Test unlock F/F then skip if it has not been set	If Unlock F/F(N)=all" 0 ", then skip	0	0	0	0	0	0	0	0	1	1	0	1	N		
内部レジスタ転送命令	PLL	M	r	Load M to PLL registers	PLL reg PLL data	1	1	1	1	1	0	DH	DL	r						
	DAC	I			DAC reg DAC data	0	0	0	0	0	0	0	0	0	0	1	1	I		
	INR	M	Rn	Input register/port data to M	M (Rn reg)	0	0	1	1	1	0	DH	DL	Rn						
	OUTR	M	Rn	Output contents of M to register/port	Rn reg (M)	0	0	1	1	1	1	DH	DL	Rn						
各ハードウェア制御命令	SIO	I1	I2	Serial I/O control	SIO I1, I2	0	0	0	0	0	0	0	1	I1	I2					
	UCS	I		Set I to UCCW1	UCCW1 I	0	0	0	0	0	0	0	0	0	0	0	1	I		
	UCC	I		Set I to UCCW2	UCCW2 I	0	0	0	0	0	0	0	0	0	0	1	0	I		
	BEEP	I		Beep control	BEEP reg I	0	0	0	0	0	0	0	0	0	1	1	0	I		
	DZC	I		Dead zone control	DZC reg I	0	0	0	0	0	0	0	0	1	0	1	1	I		
	IOS	Pn	I	Set port control word	IOS reg Pn I	1	1	1	1	1	1	1	0	Pn	I					
バンク切替命令	BANK	I		Select Bank	BANK I	0	0	0	0	0	0	0	0	0	1	1	1	I		
LCD命令	LCDA	M	I		LCD (DIGIT) M	1	1	0	0	0	0	DH	DL	DIGIT						
	LCDB	M	I		LCD (DIGIT) M	1	1	0	0	0	1	DH	DL	DIGIT						
	LCPA	M	I		LCD (DIGIT) PLA M	1	1	0	0	1	0	DH	DL	DIGIT						
	LCPB	M	I		LCD (DIGIT) PLA M	1	1	0	0	1	1	DH	DL	DIGIT						

次ページへ続く。

前ページより続く。

命令群	ニーモニック	オペランド		機能	動作	マシンコード													
		1st	2nd			D15	14	13	12	11	10	9	8	7	6	5	4	3	2
入出力命令	IN	M	Pn	Input port data to M	M (Pn)	1	1	1	0	1	0	DH	DL					Pn	
	OUT	M	Pn	Output contents of M to port	Pn M	1	1	1	0	1	1	DH	DL					Pn	
	SPB	Pn	N	Set port bits	(Pn)N 1	0	0	0	0	0	0	1	0					Pn	N
	RPB	Pn	N	Reset port bits	(Pn)N 0	0	0	0	0	0	0	1	1					Pn	N
	TPT	Pn	N	Test port bits, then skip if all bits specified are true	if (Pn)N=all" 1 ", then skip	1	1	1	1	1	1	0	0					Pn	N
その他の命令	TPF	Pn	N	Test port bits, then skip if all bits specified are false	if (Pn)N=all" 0 "; then skip	1	1	1	1	1	0	1					Pn	N	
	HALT	l		Halt mode control	HALT reg l, then CPU clock stop	0	0	0	0	0	0	0	0	0	1	0	0		l
	CKSTP			Clock stop	Stop X tal OSC if $\overline{\text{HOLD}}=0$	0	0	0	0	0	0	0	0	0	0	1	0	1	
	SHR	r			Shift r right with carry	0	0	0	0	0	0	0	0	1	1	1	0		r
	NOP			No operation	No operation	0	0	0	0	0	0	0	0	0	0	0	0	0	

■本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。

■弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。

■本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

■弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。

■本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。

■この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。