

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

概要

MAX1294/MAX1296は、逐次比較ADC、自動パワーダウン、高速ウェイクアップ(2 μ s)、内蔵クロック、+2.5V内部リファレンス及び高速12ビットパラレルインタフェースを備えた低電力12ビットアナログデジタルコンバータ(ADC)です。これらの製品は、単一+5Vアナログ電源で動作します。

最大サンプリング速度420kspsにおける消費電力は僅か10mWです。2つのソフトウェア選択可能なパワーダウンモードにより、MAX1294/MAX1296は変換の合間にシャットダウンすることができます。パラレルインタフェースにアクセスすると通常動作に戻ります。変換の合間にパワーダウンすることにより、低サンプリング速度における消費電流を10 μ A以下に低減できます。

いずれの素子も、アナログ入力ユニポーラ/バイポーラ及びシングルエンド/疑似差動動作をソフトウェアで設定できるようになっています。シングルエンドモードにおいて、MAX1294は6つの入力チャンネル、MAX1296は2つの入力チャンネルを持っています(疑似差動モードにおいてはそれぞれ3つ及び1つの入力チャンネル)。

本製品は、優れた動的性能及び低電力特性に加え、パッケージが小型で使い易く、バッテリー駆動及びデータ収集アプリケーション、あるいはその他の省電力、小型化が必要な回路に最適です。MAX1294は28ピンQSOPパッケージで提供されています。MAX1296は24ピンQSOPです。ピンコンパチブルな+3V、12ビットバージョンについては、MAX1295/MAX1297データシートを参照して下さい。

アプリケーション

工業用制御機器	データロギング
エネルギー管理	患者の監視
データ収集機器	タッチスクリーン

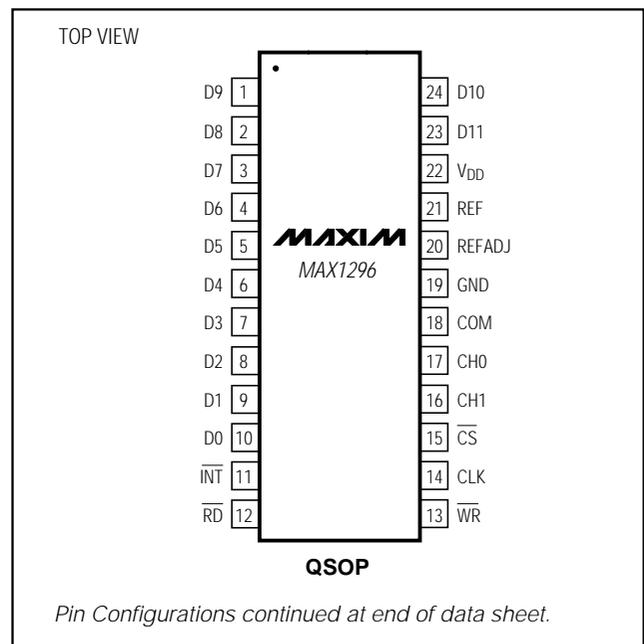
型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1294ACEI	0°C to +70°C	28 QSOP	± 0.5
MAX1294BCEI	0°C to +70°C	28 QSOP	± 1
MAX1294AEEI	-40°C to +85°C	28 QSOP	± 0.5
MAX1294BEEI	-40°C to +85°C	28 QSOP	± 1
MAX1296ACEG	0°C to +70°C	24 QSOP	± 0.5
MAX1296BCEG	0°C to +70°C	24 QSOP	± 1
MAX1296AEEG	-40°C to +85°C	24 QSOP	± 0.5
MAX1296BEEG	-40°C to +85°C	24 QSOP	± 1

特長

- ◆ 分解能：12ビット、直線性： ± 0.5 LSB
- ◆ 電源：+5V単一
- ◆ 内部+2.5Vリファレンス
- ◆ ソフトウェア設定可能なアナログ入力マルチプレクサ
 - 6チャンネルシングルエンド/
 - 3チャンネル疑似差動(MAX1294)
 - 2チャンネルシングルエンド/
 - 1チャンネル疑似差動(MAX1296)
- ◆ ユニポーラ/バイポーラアナログ入力をソフトウェア設定可能
- ◆ 低電流：
 - 2.2mA(420ksps)
 - 1.0mA(100ksps)
 - 400 μ A(10ksps)
 - 2 μ A(シャットダウン)
- ◆ フルパワー帯域幅が6MHzの内部トラック/ホールド
- ◆ パラレル12ビットインタフェース
- ◆ 小実装面積：28ピンQSOP(MAX1294)
24ピンQSOP(MAX1296)

ピン配置



標準動作回路はデータシートの最後に記載されています。

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1294/MAX1296

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +6V
CH0-CH5, COM to GND	-0.3V to (V _{DD} + 0.3V)
REF, REFADJ to GND	-0.3V to (V _{DD} + 0.3V)
Digital Inputs to GND	-0.3V to +6V
Digital Outputs (D0-D11, \overline{INT}) to GND	-0.3V to (V _{DD} + 0.3V)
Continuous Power Dissipation (T _A = +70°C)	
24-Pin QSOP (derate 9.5mW/°C above +70°C)	762mW
28-Pin QSOP (derate 8.00mW/°C above +70°C)	667mW

Operating Temperature Ranges	
MAX1294_C_/MAX1296_C_	0°C to +70°C
MAX1294_E_/MAX1296_E_	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±10%, COM = GND, REFADJ = V_{DD}, V_{REF} = +2.5V, 4.7μF capacitor at REF pin, f_{CLK} = 7.6MHz (50% duty cycle), T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution	RES		12			Bits
Relative Accuracy (Note 2)	INL	MAX129_A			±0.5	LSB
		MAX129_B			±1	
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error					±4	LSB
Gain Error (Note 3)					±4	LSB
Gain Temperature Coefficient				±2.0		ppm/°C
Channel-to-Channel Offset Matching				±0.2		LSB
DYNAMIC SPECIFICATIONS (f _{IN(sine wave)} = 50kHz, V _{IN} = 2.5Vp-p, 420ksps, external f _{CLK} = 7.6MHz, bipolar input mode)						
Signal-to-Noise Plus Distortion	SINAD		67	70		dB
Total Harmonic Distortion (including 5th-order harmonic)	THD				-80	dB
Spurious-Free Dynamic Range	SFDR		-80			dB
Intermodulation Distortion	IMD	f _{IN1} = 49kHz, f _{IN2} = 52kHz		76		dB
Channel-to-Channel Crosstalk		f _{IN} = 175kHz (Note 4)		-78		dB
Full-Linear Bandwidth		SINAD > 68dB		350		kHz
Full-Power Bandwidth		-3dB rolloff		6		MHz
CONVERSION RATE						
Conversion Time (Note 5)	t _{CONV}	External clock mode	2.1			μs
		External acquisition/internal clock mode	2.5	3.0	3.5	
		Internal acquisition/internal clock mode	3.2	3.6	4	
T/H Acquisition Time	t _{ACQ}				400	ns
Aperture Delay		External acquisition or external clock mode		25		ns
Aperture Jitter		External acquisition or external clock mode		<50		ps
		Internal acquisition/internal clock mode		<200		
External Clock Frequency	f _{CLK}		0.1		7.6	MHz
Duty Cycle			30		70	%

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1294/MAX1296

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 10\%$, COM = GND, REFADJ = V_{DD} , $V_{REF} = +2.5V$, 4.7 μF capacitor at REF pin, $f_{CLK} = 7.6MHz$ (50% duty cycle), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS						
Analog Input Voltage Range Single-Ended and Differential (Note 6)	V_{IN}	Unipolar, $V_{COM} = 0$	0		V_{REF}	V
		Bipolar, $V_{COM} = V_{REF}/2$	$-V_{REF}/2$		$+V_{REF}/2$	
Multiplexer Leakage Current		On/off-leakage current, $V_{IN} = 0$ or V_{DD}		± 0.01	± 1	μA
Input Capacitance	C_{IN}			12		pF
INTERNAL REFERENCE						
REF Output Voltage			2.49	2.5	2.51	V
REF Short-Circuit Current				15		mA
REF Temperature Coefficient	TC_{REF}			± 20		ppm/ $^\circ C$
REFADJ Input Range		For small adjustments		± 100		mV
REFADJ High Threshold		To power down the internal reference	$V_{DD} - 1$			V
Load Regulation (Note 7)		0 to 0.5mA output load		0.2	0.5	mV/mA
Capacitive Bypass at REFADJ				0.01	1	μF
Capacitive Bypass at REF			4.7		10	μF
EXTERNAL REFERENCE AT REF						
REF Input Voltage Range	V_{REF}		1.0		$V_{DD} + 50mV$	V
REF Input Current	I_{REF}	$V_{REF} = 2.5V$, $f_{SAMPLE} = 420ksps$		200	300	μA
		Shutdown mode			2	μA
DIGITAL INPUTS AND OUTPUTS						
Input Voltage High	V_{IH}		4.0			V
Input Voltage Low	V_{IL}				0.8	V
Input Hysteresis	V_{HYS}			200		mV
Input Leakage Current	I_{IN}	$V_{IN} = 0$ or V_{DD}		± 0.1	± 1	μA
Input Capacitance	C_{IN}			15		pF
Output Voltage Low	V_{OL}	$I_{SINK} = 1.6mA$			0.4	V
Output Voltage High	V_{OH}	$I_{SOURCE} = 1mA$	$V_{DD} - 0.5$			V
Three-State Leakage Current	$I_{LEAKAGE}$	$\overline{CS} = V_{DD}$		± 0.1	± 1	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD}$		15		pF
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		4.5		5.5	V
Positive Supply Current	I_{DD}	Operating mode, $f_{SAMPLE} = 420ksps$	Internal reference	2.6	2.9	mA
			External reference	2.2	2.5	
		Standby mode	Internal reference	1.0	1.2	mA
			External reference	0.5	0.8	
		Shutdown mode		2	10	μA
Power-Supply Rejection	PSR	$V_{DD} = 5V \pm 10\%$, full-scale input		± 0.3	± 0.7	mV

420kpsps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1294/MAX1296

TIMING CHARACTERISTICS

($V_{DD} = +5V \pm 10\%$, $COM = GND$, $REFADJ = V_{DD}$, $V_{REF} = +2.5V$, $4.7\mu F$ capacitor at REF pin, $f_{CLK} = 7.6MHz$ (50% duty cycle), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLK Period	t_{CP}		132			ns
CLK Pulse Width High	t_{CH}		40			ns
CLK Pulse Width Low	t_{CL}		40			ns
Data Valid to \overline{WR} Rise Time	t_{DS}		40			ns
\overline{WR} Rise to Data Valid Hold Time	t_{DH}		0			ns
\overline{WR} to CLK Fall Setup Time	t_{CWS}		60			ns
CLK Fall to \overline{WR} Hold Time	t_{CWH}		40			ns
\overline{CS} to CLK or \overline{WR} Setup Time	t_{CSWS}		40			ns
CLK or \overline{WR} to \overline{CS} Hold Time	t_{CSWH}		0			ns
\overline{CS} Pulse Width	t_{CS}		100			ns
\overline{WR} Pulse Width (Note 8)	t_{WR}		60			ns
\overline{CS} Rise to Output Disable	t_{TC}	$C_{LOAD} = 20pF$, Figure 1	10		60	ns
\overline{RD} Rise to Output Disable	t_{TR}	$C_{LOAD} = 20pF$, Figure 1	10		40	ns
\overline{RD} Fall to Output Data Valid	t_{DO}	$C_{LOAD} = 20pF$, Figure 1	10		50	ns
\overline{RD} Fall to \overline{INT} High Delay	t_{INT1}	$C_{LOAD} = 20pF$, Figure 1			50	ns
\overline{CS} Fall to Output Data Valid	t_{DO2}	$C_{LOAD} = 20pF$, Figure 1			100	ns

Note 1: Tested at $V_{DD} = +5V$, $COM = GND$, unipolar single-ended input mode.

Note 2: Relative accuracy is the deviation of the analog value at any code from its theoretical value after offset and gain errors have been removed.

Note 3: Offset nulled.

Note 4: On channel is grounded; sine wave applied to off channels.

Note 5: Conversion time is defined as the number of clock cycles times the clock period; clock has a 50% duty cycle.

Note 6: Input voltage range referenced to negative input. The absolute range for the analog inputs is from GND to V_{DD} .

Note 7: External load should not change during conversion for specified accuracy.

Note 8: When bit 5 is set low for internal acquisition, \overline{WR} must not return low until after the first falling clock edge of the conversion.

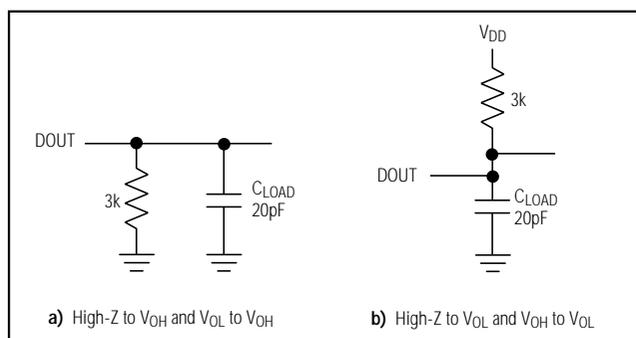
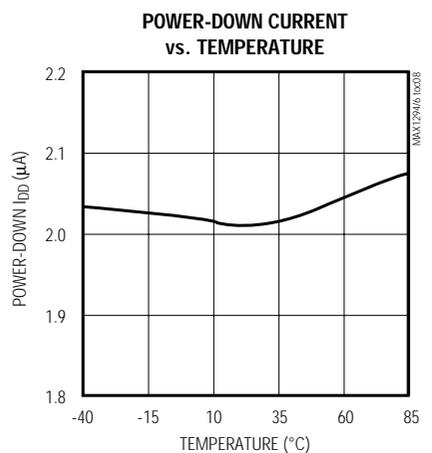
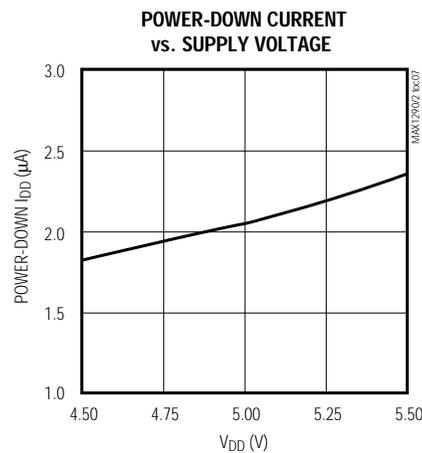
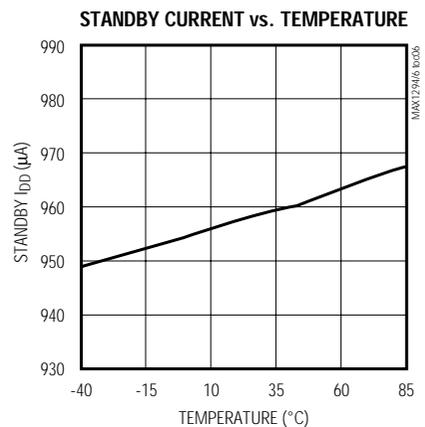
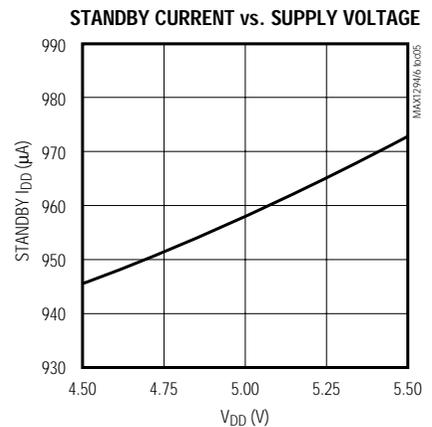
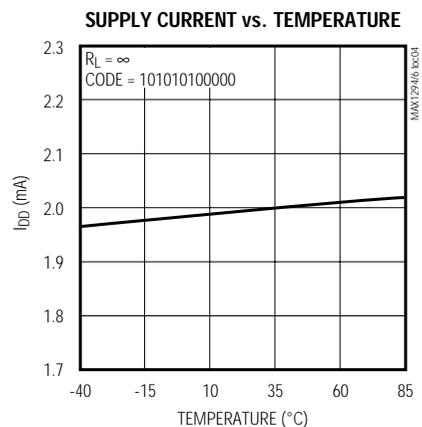
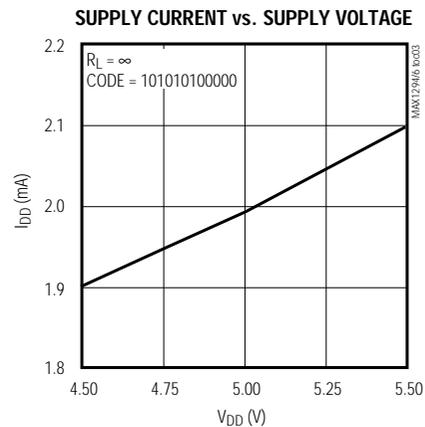
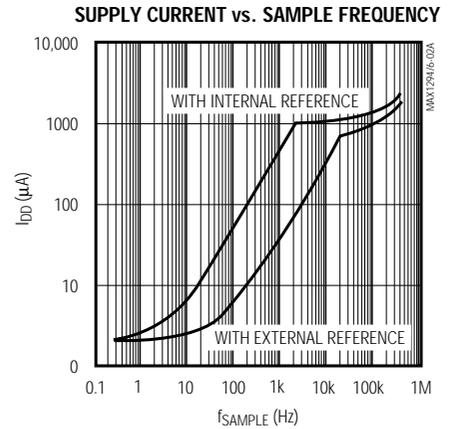
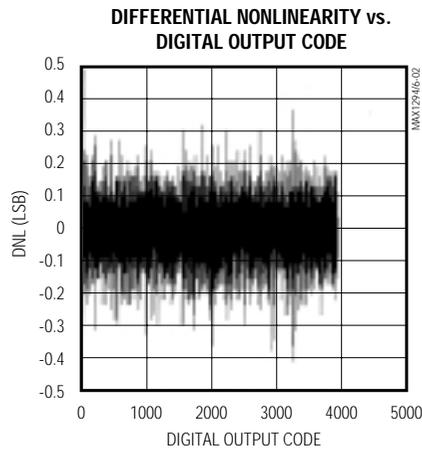
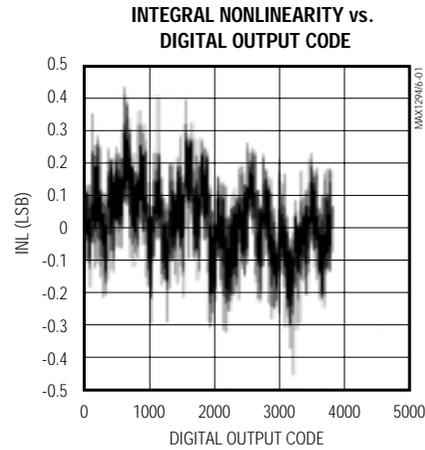


図1. イネーブル/ディセーブル時間用の負荷回路

420ksp/s、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

標準動作特性

($V_{DD} = +5V$, $V_{REF} = +2.500V$, $f_{CLK} = 7.6MHz$, $C_L = 20pF$, $T_A = +25^\circ C$, unless otherwise noted.)



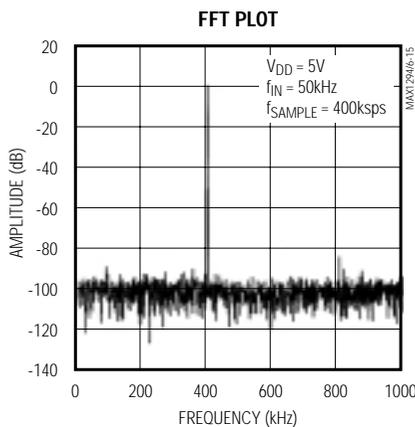
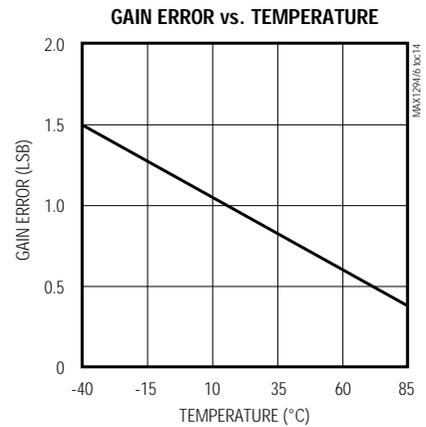
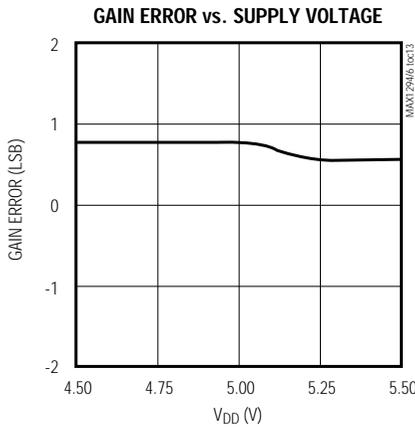
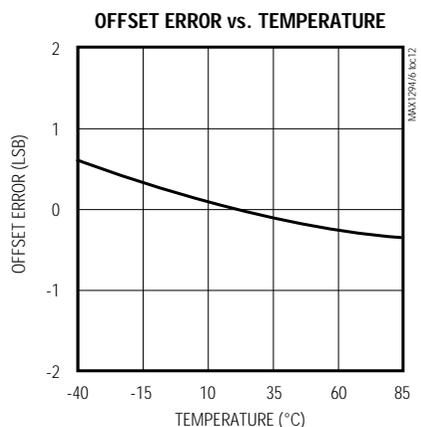
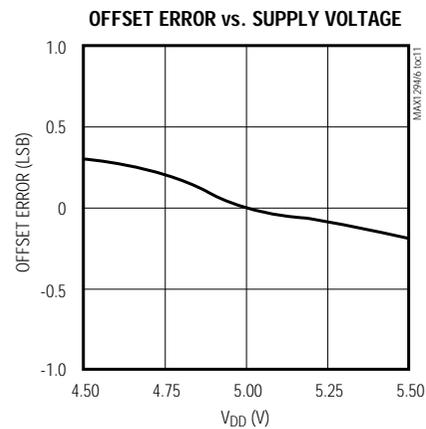
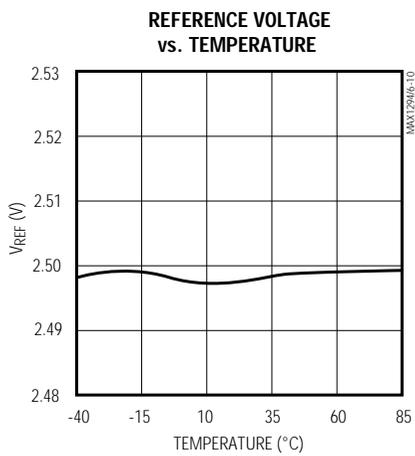
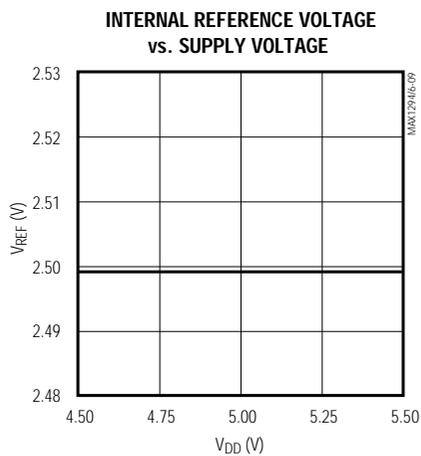
MAX1294/MAX1296

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1294/MAX1296

標準動作特性(続き)

($V_{DD} = +5V$, $V_{REF} = +2.500V$, $f_{CLK} = 7.6MHz$, $C_L = 20pF$, $T_A = +25^\circ C$, unless otherwise noted.)



420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1294/MAX1296

端子説明

端子		名称	機能
MAX1294	MAX1296		
1	1	D9	スリーステートデジタル出力(D9)
2	2	D8	スリーステートデジタル出力(D8)
3	3	D7	スリーステートデジタル/Oライン(D7)
4	4	D6	スリーステートデジタル/Oライン(D6)
5	5	D5	スリーステートデジタル/Oライン(D5)
6	6	D4	スリーステートデジタル/Oライン(D4)
7	7	D3	スリーステートデジタル/Oライン(D3)
8	8	D2	スリーステートデジタル/Oライン(D2)
9	9	D1	スリーステートデジタル/Oライン(D1)
10	10	D0	スリーステートデジタル/Oライン(D0)
11	11	$\overline{\text{INT}}$	$\overline{\text{INT}}$ は、変換が完了して出力データの準備ができた時にローになります。
12	12	$\overline{\text{RD}}$	アクティブロー読取り選択。 $\overline{\text{CS}}$ がローの場合、 $\overline{\text{RD}}$ の立下がりエッジがデータバス上の読取り動作をイネーブルします。
13	13	$\overline{\text{WR}}$	アクティブロー書込み選択。内部アキュイジションモードにおいて $\overline{\text{CS}}$ がローの場合、 $\overline{\text{WR}}$ の立上がりエッジで構成データがラッチインされ、アキュイジション及び変換サイクルが始まります。外部アキュイジションモードにおいて $\overline{\text{CS}}$ がローの場合、 $\overline{\text{WR}}$ の最初の立上がりエッジでアキュイジションが終了し、変換が始まります。
14	14	CLK	クロック入力。外部クロックモードの場合、TTL/CMOSコンパチブルクロックでCLKを駆動して下さい。内部クロックモードの場合、このピンを V_{DD} 又はGNDに接続して下さい。
15	15	$\overline{\text{CS}}$	アクティブローチップセレクト。 $\overline{\text{CS}}$ がハイの場合、デジタル出力($\overline{\text{INT}}$ 、D11~D0)がハイインピーダンスになります。
16	—	CH5	アナログ入力チャンネル5
17	—	CH4	アナログ入力チャンネル4
18	—	CH3	アナログ入力チャンネル3
19	—	CH2	アナログ入力チャンネル2
20	16	CH1	アナログ入力チャンネル1
21	17	CH0	アナログ入力チャンネル0
22	18	COM	アナログ入力のグラウンドリファレンス。シングルエンドモードにおけるゼロコード電圧を設定します。変換中は $\pm 0.5\text{LSB}$ まで安定していることが必要です。
23	19	GND	アナログ及びデジタルグラウンド
24	20	REFADJ	バンドギャップリファレンス出力/バンドギャップリファレンスバッファ入力。0.01 μF コンデンサでGNDにバイパスして下さい。外部リファレンスを使用する場合は、REFADJを V_{DD} に接続して内部バンドギャップリファレンスをディセーブルして下さい。

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1294/MAX1296

端子説明(続き)

端子		名称	機能
MAX1294	MAX1296		
25	21	REF	バンドギャップリファレンスバッファ出力/外部リファレンス入力。内部リファレンスを使用する場合は、4.7 μ FコンデンサをGNDに追加して下さい。
26	22	V _{DD}	アナログ+5V電源。0.1 μ FコンデンサでGNDにバイパスして下さい。
27	23	D11	スリーステートデジタル出力(D11)
28	24	D10	スリーステートデジタル出力(D10)

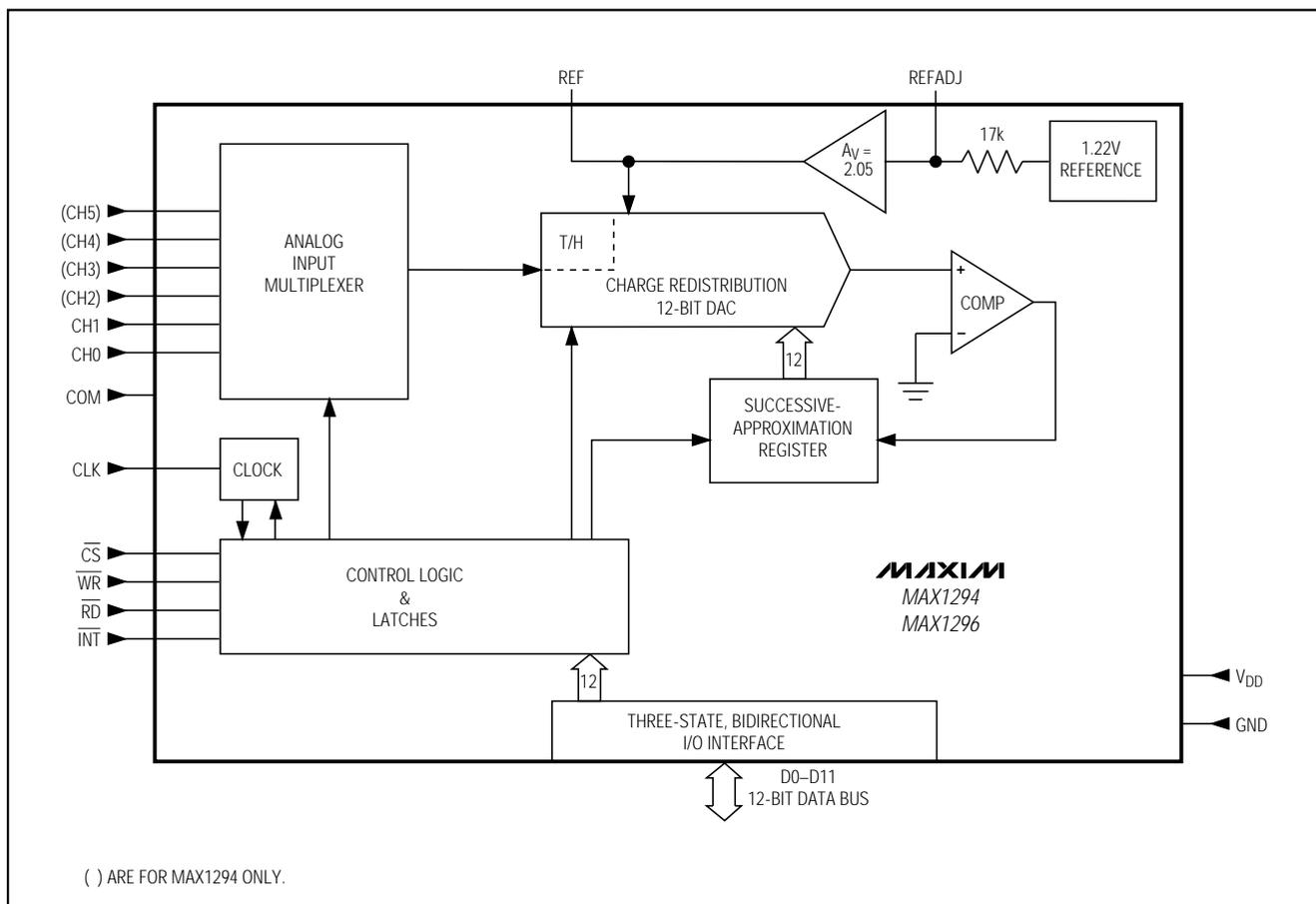


図2. 簡略化ファンクションダイアグラム

詳細 _____

コンバータの動作

MAX1294/MAX1296 ADCは、逐次比較(SAR)変換技法及び入力トラック/ホールド(T/H)段を使用することに

より、アナログ入力信号を12ビットデジタル出力に変換します。この出力フォーマットにより、標準マイクロプロセッサ(μ P)へのインタフェースが容易になっています。図2に、MAX1294/MAX1296の内部構造の略図を示します。

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

シングルエンド及び疑似差動動作

図3に、このADCのアナログコンパレータのサンプリング構成を等価入力回路で示します。シングルエンドモードでは、IN+がMAX1294の場合はCH0～CH5(図3a)、MAX1296の場合はCH0～CH1(図3b)に内部でスイッチングされ、IN-はCOMにスイッチングされます(表2)。差動モードにおいては、IN+及びIN-はアナログ入力ペアから選択され(表3)、内部でアナログ入力のどちらかにスイッチングされます。この構成ではIN+の信号だけがサンプリングされるため、疑似差動と呼ばれています。

リターン側(IN-)は、変換中、GNDに対して $\pm 0.5\text{LSB}$ (最良の結果を得るには $\pm 0.1\text{LSB}$)以内で安定している必要があります。これを実現するには、(選択したアナログ入力)IN-とGNDの間に $0.1\mu\text{F}$ のコンデンサを接続して下さい。

アキュイジション期間中は、正入力(IN+)として選択されたチャンネルにより、コンデンサ C_{HOLD} が充電されます。アキュイジション期間の終了時にT/Hスイッチが開き、 C_{HOLD} の電荷をIN+の信号のサンプルとして保持します。

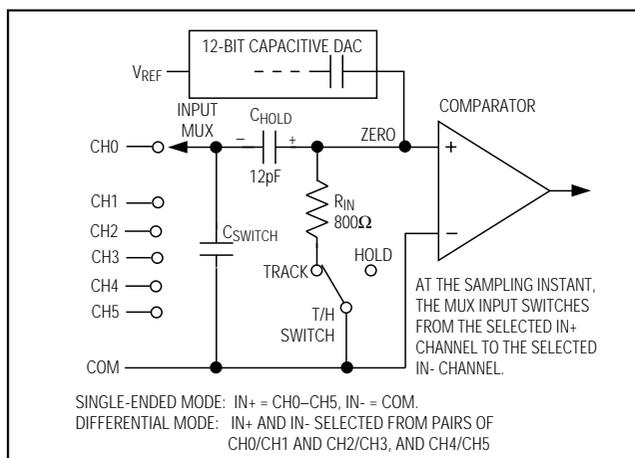


図3a. MAX1294の入力構造の略図

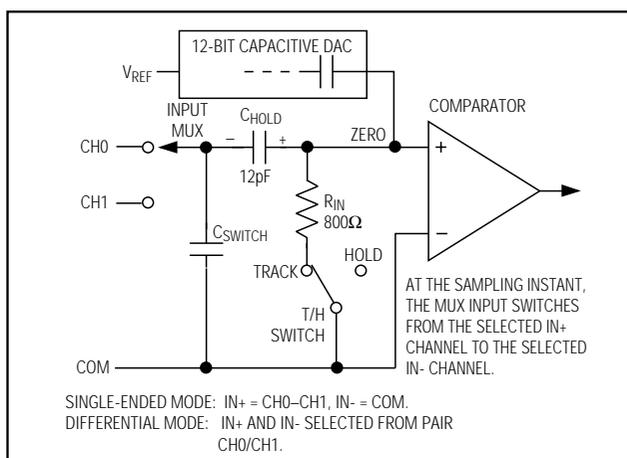


図3b. MAX1296の入力構造の略図

表1. 制御バイトの機能の説明

BIT	NAME	FUNCTIONAL DESCRIPTION
D7, D6	PD1, PD0	PD1 and PD0 select the various clock and power-down modes.
		0 0 Full Power-Down Mode. Clock mode is unaffected.
		0 1 Standby Power-Down Mode. Clock mode is unaffected.
		1 0 Normal Operation Mode. Internal clock mode selected.
1 1 Normal Operation Mode. External clock mode selected.		
D5	ACQMOD	ACQMOD = 0: Internal Acquisition Mode ACQMOD = 1: External Acquisition Mode
D4	SGL/DIF	SGL/DIF = 0: Pseudo-Differential Analog Input Mode SGL/DIF = 1: Single-Ended Analog Input Mode In single-ended mode, input signals are referred to COM. In pseudo-differential mode, the voltage difference between two channels is measured (see Tables 2, 4).
D3	UNI/BIP	UNI/BIP = 0: Bipolar Mode UNI/BIP = 1: Unipolar Mode In unipolar mode, an analog input signal from 0V to V_{REF} can be converted; in bipolar mode, the signal can range from $-V_{\text{REF}}/2$ to $+V_{\text{REF}}/2$.
D2, D1, D0	A2, A1, A0	Address bits A2, A1, A0 select which of the 6/2 (MAX1294/MAX1296) channels is to be converted (see Tables 2, 3).

420kpsps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

表2. シングルエンド動作のチャンネル選択(SGL/DIF = 1)

A2	A1	A0	CH0	CH1	CH2*	CH3*	CH4*	CH5*	COM
0	0	0	+						-
0	0	1		+					-
0	1	0			+				-
0	1	1				+			-
1	0	0					+		-
1	0	1						+	-

* Channels CH2-CH5 apply to MAX1294 only.

表3. 疑似差動動作のチャンネル選択(SGL/DIF = 0)

A2	A1	A0	CH0	CH1	CH2*	CH3*	CH4*	CH5*
0	0	0	+					
0	0	1		+				
0	1	0			+	-		
0	1	1				+		
1	0	0					+	-
1	0	1					-	+

* Channels CH2-CH5 apply to MAX1294 only.

変換期間は、入力マルチプレクサが C_{HOLD} を正入力(IN+)から負入力(IN-)にスイッチングした時から始まります。このため、コンパレータの入力におけるノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACによりノードZEROを12ビット分解能の制限範囲で0Vに調整します。この動作は、 $12\text{pF}[(V_{IN+}) - (V_{IN-})]$ の電荷を C_{HOLD} からバイナリ重み付の容量性DACに移すことと等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

アナログ入力保護

内部保護ダイオードによりアナログ入力が V_{DD} とGNDにクランプされているため、チャンネル入力ピンは(GND - 300mV) ~ ($V_{DD} + 300\text{mV}$)の範囲で、損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うには、入力が($V_{DD} + 50\text{mV}$)を超えず、また(GND - 50mV)を下回らないようにして下さい。

オフチャンネルのアナログ入力が電源を50mV以上超えた場合は、入力電流を4mAまでに制限して下さい。

トラック/ホールド

MAX1294/MAX1296 T/H段は、 \overline{WR} の立上がりエッジでトラックモードに入ります。外部アクイジションモードにおいて、本素子は次の \overline{WR} の立上がりエッジでホールドモードに入ります。内部アクイジションモード

においては、制御バイトを書き込んでから4つ目のクロックの立下がりエッジでホールドモードに入ります。これは、内部クロックモードにおいては制御バイトへの書き込みから約1 μs 後に起こることに注意して下さい。

シングルエンド動作の場合は、IN-がCOMに接続され、コンバータは“+”入力をサンプリングします。疑似差動動作の場合は、IN-が負入力“-”に接続され、(IN+) - (IN-)の差がサンプリングされます。次の変換の始めに正入力が再びIN+に接続され、 C_{HOLD} は入力信号電圧まで充電されます。

T/Hが入力信号を取込むために要する時間は、入力容量が充電される速さの関数になっています。入力信号のソースインピーダンスが高いとアクイジション時間は長くなるため、変換と変換の間の時間を長くする必要があります。アクイジション時間 t_{ACQ} は素子が信号を取込むために要する最大時間であり、信号の取込みに必要な最低時間にもなっています。これは次式で計算されます。

$$t_{ACQ} = 9(R_S + R_{IN})C_{IN}$$

ここで、 R_S は入力信号のソースインピーダンス、 R_{IN} (800 Ω)は入力抵抗、そして C_{IN} (12pF)はADCの入力容量です。ソースインピーダンスが3k Ω 以下であれば、MAX1294/MAX1296のAC性能に大きな影響はありません。

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

0.01 μ Fコンデンサが個々のアナログ入力に接続されている場合は、これ以上のソースインピーダンスの使用も可能です。入力コンデンサと入力ソースインピーダンスによってRCフィルタが形成され、ADCの信号帯域幅を制限することに注意して下さい。

入力帯域幅

MAX1294/MAX1296のT/H段はフルリニア帯域幅が350kHz、フルパワー帯域幅が6MHzであるため、高速のトランジェントの数値化、及びアンダーサンプリング技法を使用することにより帯域幅がADCのサンプリング速度以上の帯域の周期信号を測定できます。高周波信号が計測する周波数帯域にエイリアシングするのを防ぐために、アンチエイリアシングフィルタリングを推奨します。

変換開始方法

制御バイトを書き込むことによって変換を開始して下さい。制御バイトはマルチプレクサチャンネルを選択し、MAX1294/MAX1296をユニポーラ又はバイポーラ動作に設定します。書き込みパルス($\overline{WR} + \overline{CS}$)は、アキュイジション期間又は複合アキュイジション+変換を開始できます。サンプリング期間は、アキュイジション期間の最後に始まります。入力制御バイト(表1)のアキュイジションモード(ACQMOD)ビットは、信号の取り込み方として内部アキュイジション及び外部アキュイジションの2つのオプションを提供しています。クロック又はアキュイジションモードが内部と外部のいずれの場合も、変換期間は13クロックサイクルだけ持続します。変換中に新しい制御バイトを書き込むと、その変換が中止されて新しいアキュイジション期間が開始されます。

内部アキュイジション

制御バイトを書き込む時にACQMODをクリアしておく(ACQMOD = 0)、内部アキュイジションが選択されます。この場合、持続時間が内部で設定されたアキュイジション期間が書き込みパルスによって始まります。変換はこのアキュイジション期間が終わった時に開始されます(3外部クロックサイクル、あるいは内部クロックモードの場合は約1 μ s)(図4)。内部アキュイジションと内部クロックの組み合わせの場合、アパーチャジッタが200psに達することがあります。内部クロックでジッタ仕様50psを実現する場合は、常に外部アキュイジションモードを使用して下さい。

外部アキュイジション

サンプリングアパーチャを正確に制御する場合やアキュイジションと変換時間を連携して制御する場合は、外部

アキュイジションモードを使用して下さい。ユーザは2つの別々の書き込みパルスを使用することにより、アキュイジション及び変換開始を制御します。第1のパルスはACQMOD = 1で書き込まれ、長さ不定のアキュイジション期間を開始します。第2の書き込みパルスはACQMOD = 0(制御バイトのその他全てのビットは不変)で書き込まれ、 \overline{WR} の立上がりエッジでアキュイジションを終了して変換を開始します(図5)。

入力マルチプレクサのアドレスビットは、第1及び第2の書き込みパルスで同じ値を持っていることが必要です。パワーダウンモードビット(PD0、PD1)は、第2の書き込みパルスで新しい値にすることができます(「パワーダウンモード」を参照)。制御バイトのその他のビットを変更すると変換が破壊されます。

変換の読取り

標準割込み信号 \overline{INT} が提供されており、変換が終了して有効な結果が読み取れる状態になったことをマイクロプロセッサに知らせるためにMAX1294/MAX1296が出すフラグとして使用できます。 \overline{INT} は、変換が完了して出力データが準備できた時にローになります(図4、5)。そして、最初の読取りサイクルが始まった時、又は新しい制御バイトが書き込まれた時に \overline{INT} はハイに戻ります。

クロックモードの選択

MAX1294/MAX1296は、内部又は外部クロックのいずれでも動作します。制御ビットD6及びD7によって、内部又は外部クロックモードを選択します。その時の入力ワードでパワーダウンモードが選択されると、素子は最後にリクエストされたクロックモードを保持します。内部及び外部クロックモードのいずれの場合も、内部又は外部アキュイジションのどちらでも使用できます。パワーアップ時には、MAX1294/MAX1296はデフォルトの外部クロックモードになります。

内部クロックモード

内部クロックモードにすると、 μ PIはSAR変換クロックを動作させる役割から解放されます。このモードを選択するには、制御バイトのD7を1に、ビットD6に0に設定する必要があります。これにより内部クロック周波数が選択され、変換時間が3.6 μ sとなります。内部クロックモードを使用する場合は、CLKピンがフローティングにならないようにハイ又はローに接続して下さい。

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1294/MAX1296

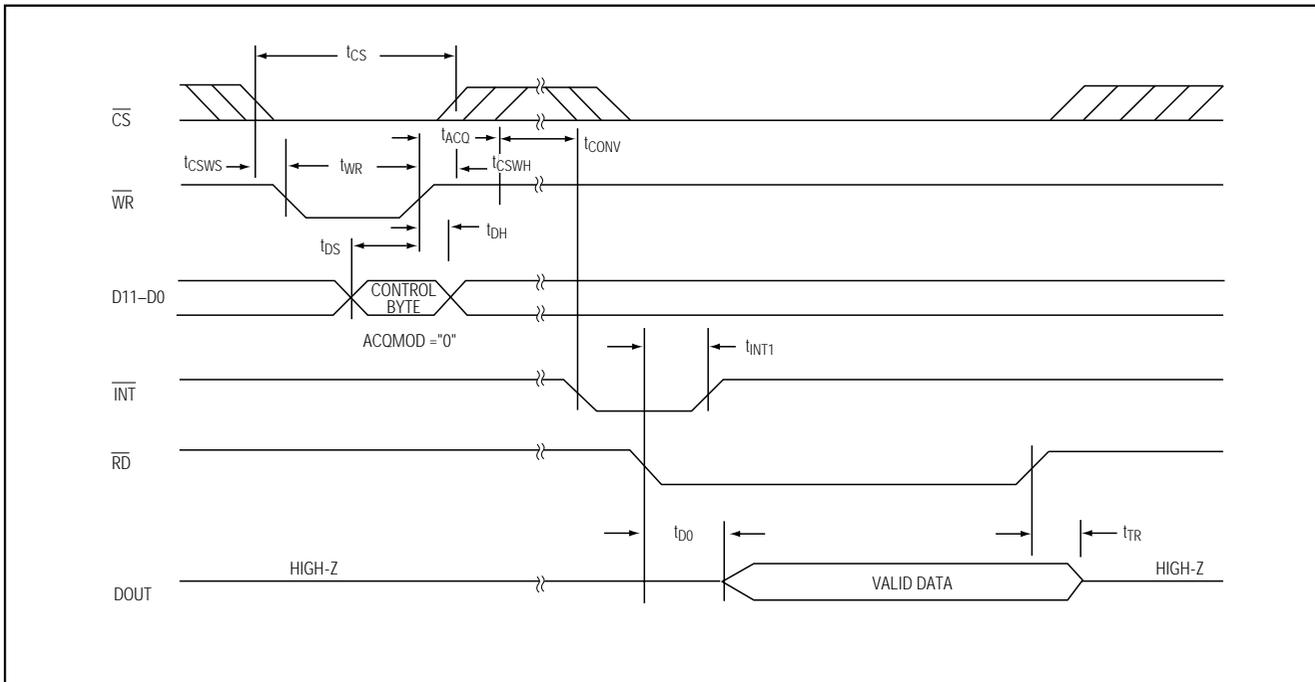


図4. 内部アキュイジションモードを使用した変換のタイミング

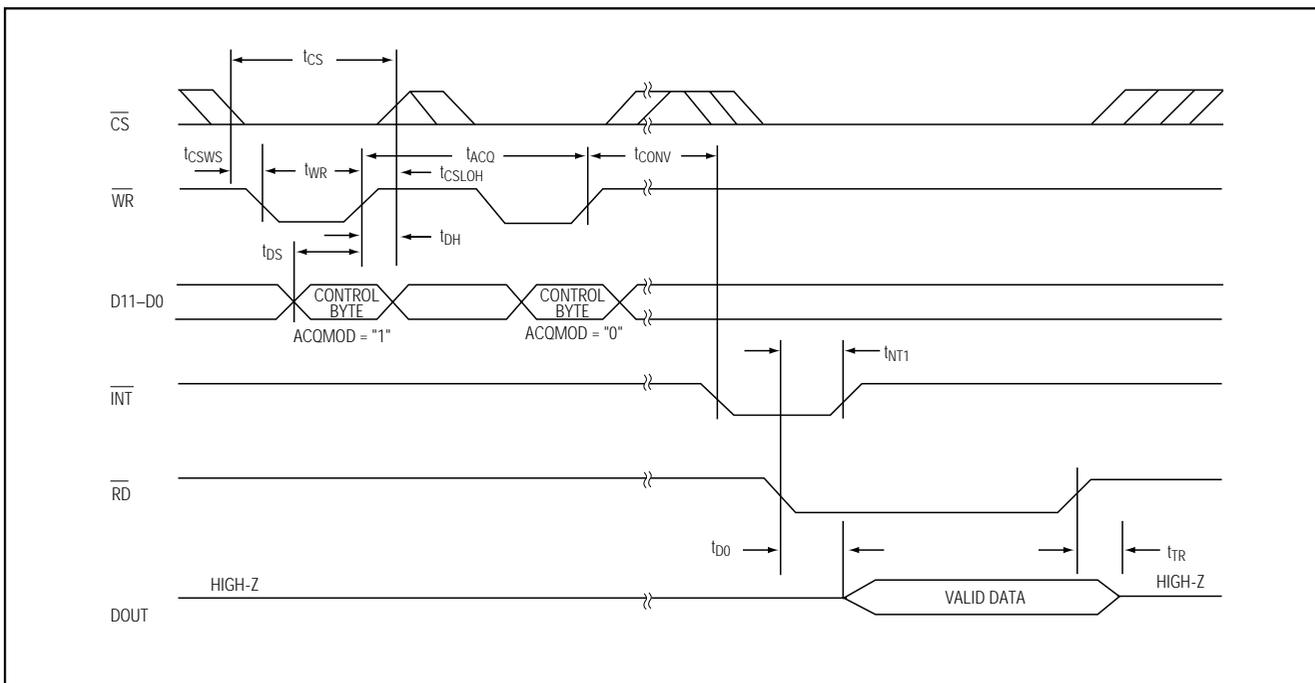


図5. 外部アキュイジションモードを使用した変換のタイミング

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

外部クロックモード

外部クロックモードを選択するには、制御バイトのD6及びD7を1に設定する必要があります。図6に、外部クロックによる内部(図6a)及び外部(図6b)アキュイジションモードのクロック及びWRタイミングの関係を示します。適正動作には、デューティサイクルが30%~70%で周波数が100kHz~4.8MHzのクロックを推奨します。100kHz以下のクロック周波数でMAX1294/MAX1296を動作させることは推奨できません。T/H段のホールドコンデンサの両端の電圧が低下して性能が劣化するためです。

デジタルインタフェース

入力(制御バイト)及び出力データは、スリーステートパラレルインタフェース上で多重化されます。このパラレルインタフェース(I/O)は、標準 μ Pと簡単にインタフェースすることができます。信号CS、WR及びRDが書き込み及び読み取り動作を制御します。CSはチップ選択信号です。この信号によって、 μ PはMAX1294/MAX1296をI/Oポートとしてアドレス指定できます。CSがハイの場合CLK、WR及びRD入力がディセーブルされ、インタフェースは強制的にハイインピーダンス(ハイZ)状態になります。

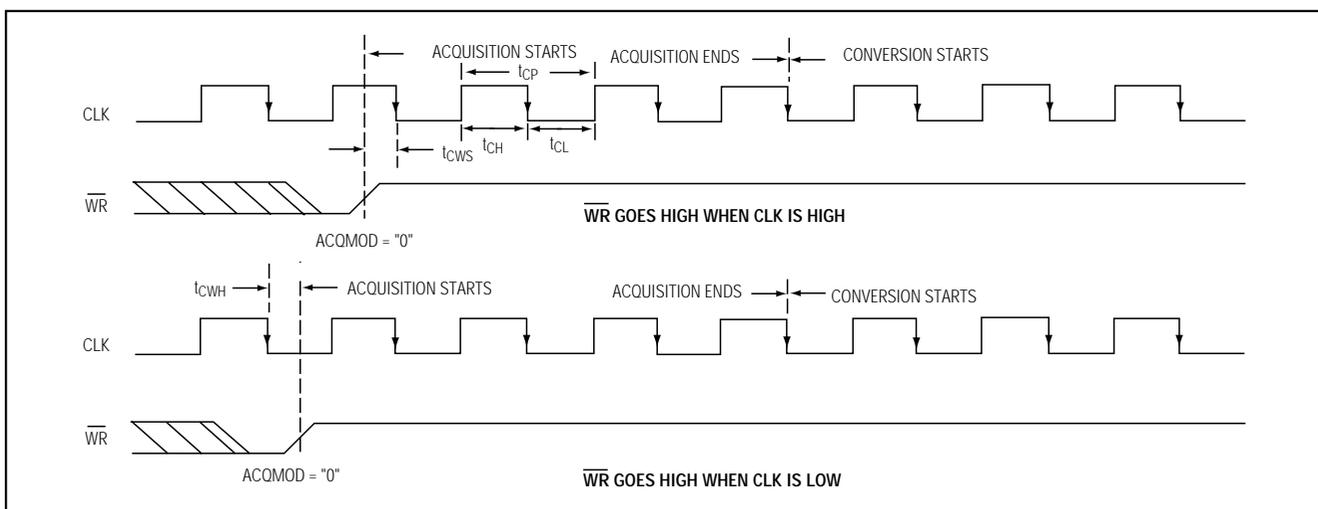


図6a. 外部クロック及びWRタイミング(内部アキュイジションモード)

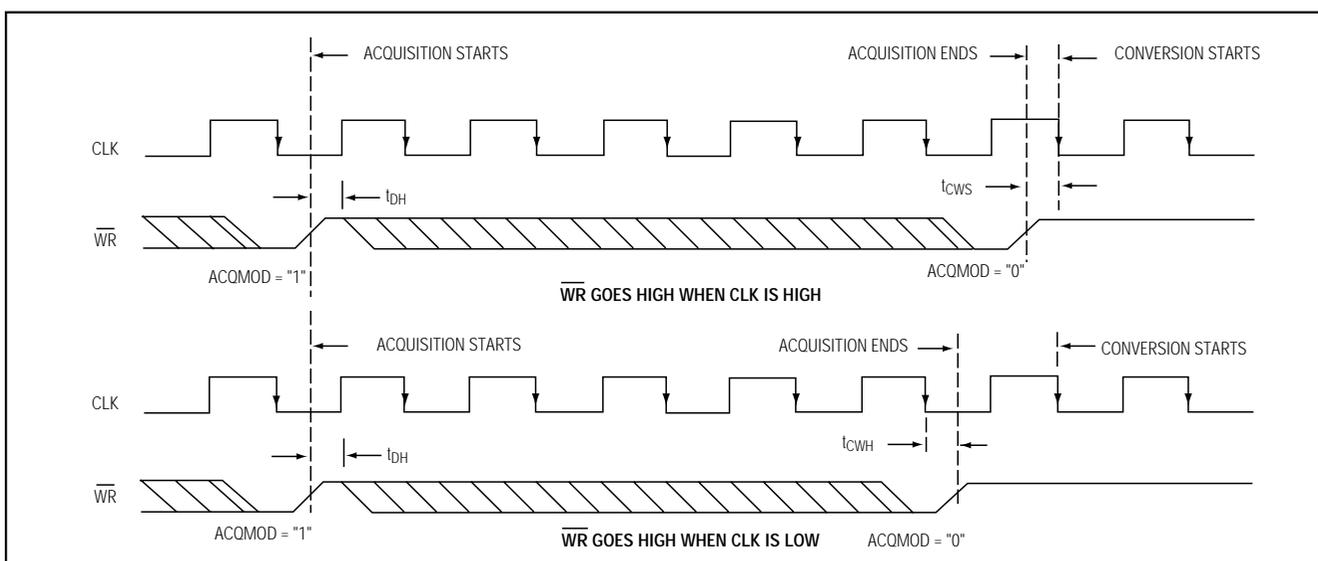


図6b. 外部クロック及びWRタイミング(外部アキュイジションモード)

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

表4. 制御バイトフォーマット

D7 (MSB)	D6	D5	D4	D3	D2	D1	D0 (LSB)
PD1	PD0	ACQMOD	SGL/DIF	UNI/BIP	A2	A1	A0

入力フォーマット

制御ビットシーケンスは、書き込みコマンド中にピンD7～D0にラッチされます。表4に制御バイトフォーマットを示します。

出力フォーマット

MAX1294/MAX1296の12ビット幅出力フォーマットは、ユニポーラモードにおいてはバイナリ、バイポーラモードにおいては2の補数形式です。 \overline{CS} 、 \overline{RD} 、 \overline{WR} 、 \overline{INT} 及び12ビットの出力データは、16ビットデータバスに直接インタフェースすることができます。出力データを読み取る時には \overline{CS} 及び \overline{RD} がローであることが必要です。

アプリケーション情報

パワーオンリセット

最初に電源が投入された時には、内部パワーオンリセット回路によってMAX1294/MAX1296が外部クロックモードで起動され、 \overline{INT} がハイに設定されます。電源が安定化した後の内部リセット時間は10 μ sです。この時に変換を行わないで下さい。内部リファレンスを使用する場合は、 V_{REF} が安定するために500 μ sを要します。

内部及び外部リファレンス

MAX1294/MAX1296には、内部又は外部リファレンス電圧を使用できます。外部リファレンス電圧は、直接REF又はREFADJに接続できます。

いずれの製品も、内部バッファはREFで+2.5Vを供給するように設計されています。内部でトリミングされた+1.22Vリファレンスが利得+2.05V/Vでバッファされています。

内部リファレンス

内部リファレンス使用時のフルスケール範囲は、ユニポーラ入力の場合+2.5V、バイポーラ入力の場合 $\pm 1.25V$ です。内部リファレンスバッファは、リファレンス電圧の微調整($\pm 100mV$)が可能になっています。図7を参照して下さい。

注記：リファレンスバッファは、REFとGNDの間の外部コンデンサ(4.7 μ F min)で補償される必要があります。これは、リファレンスノイズ及びADCからのスイッチングスパイクを低減するためです。リファレンスのノイズをさらに小さくするには、REFADJとGNDの間に0.01 μ Fコンデンサを接続して下さい。

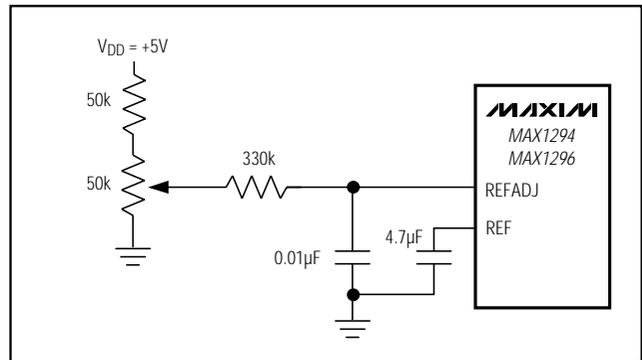


図7. 外部ポテンショメータを使用したリファレンス電圧調整

外部リファレンス

MAX1294とMAX1296はいずれも、内部リファレンスバッファアンプの入力(REFADJ)又は出力(REF)のどちらにおいても外部リファレンスを接続できます。

REFADJ入力を使用すると、外部リファレンスをバッファする必要がなくなります。REFADJの入力インピーダンスは17k (typ)です。

外部リファレンスをREFに印加する時は、REFADJを V_{DD} に接続することによって内部リファレンスバッファをディセーブルして下さい。REFにおけるDC入力抵抗は25k であるため、REFにおける外部リファレンスは変換中に最大200 μ AのDC負荷電流を供給し、出力インピーダンスが10 Ω 以下であることが必要です。リファレンスの出力インピーダンスがこれより大きい場合やノイズが大きい場合には、REFピンの近くで4.7 μ Fコンデンサを使用してバイパスして下さい。

パワーダウンモード

変換の合間にコンバータを低電流シャットダウン状態にすることによって、電力を節約することができます。制御バイトのD6及びD7を使用して、スタンバイモード又はシャットダウンモードを選択して下さい(表1及び4)。いずれのソフトウェアパワーダウンモードにおいてもパラレルインタフェースはアクティブのままですが、ADコンバートは行われません。

スタンバイモード

スタンバイモードにおける消費電流は1mA(typ)です。素子は、次の \overline{WR} の立上がりエッジでパワーアップし、変換可能な状態になります。このようにターンオンが速いため、420ksps以下の変換速度において大幅な省電力が可能です。

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

表5. ユニポーラ及びバイポーラ動作のフルスケール及びゼロスケール

UNIPOLAR MODE		BIPOLAR MODE	
Full Scale	$V_{REF} + COM$	Positive Full Scale	$V_{REF}/2 + COM$
Zero Scale	COM	Zero Scale	COM
—	—	Negative Full Scale	$-V_{REF}/2 + COM$

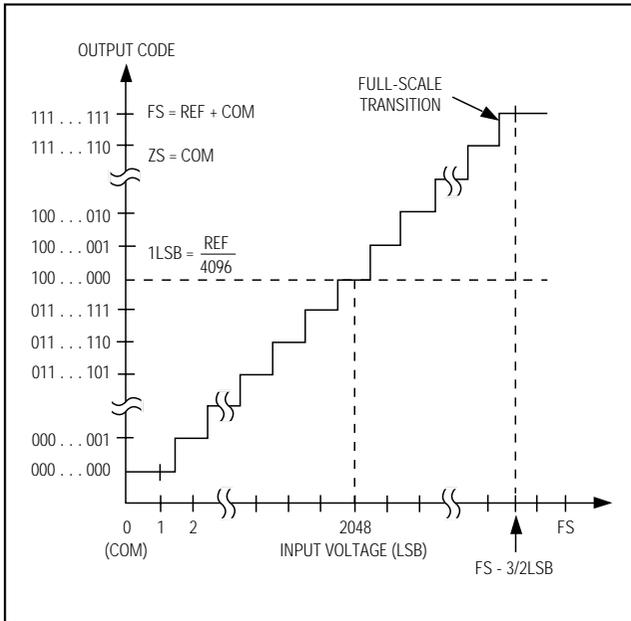


図8. ユニポーラ伝達関数

シャットダウンモード

シャットダウンモードにおいては、自己消費電流を費やす全てのチップ機能がターンオフされて、その時の変換が完了した直後に標準消費電流が $2\mu A$ に低下します。MAX1294/MAX1296は、 \overline{WR} の立上がりエッジでシャットダウンモードを終了して通常動作に戻ります。4.7 μF のリファレンスパイパスコンデンサを使用してフル12ビット精度を実現するには、パワーアップの後に500 μs が必要です。この500 μs をフルパワーモードでなくスタンバイモードで待つと、消費電力を3分の1以下に減らすことができます。外部リファレンスを使用する場合には、パワーアップ後の待ち時間は僅か50 μs で済みます。スタンバイモードに入るには、制御バイトでスタンバイモードを指定してダミーの変換を行って下さい。

注記：REFとGNDの間のパイパスコンデンサが4.7 μF よりも大きいと、パワーアップ遅延が長くなります。

伝達関数

表5に、ユニポーラ及びバイポーラモードのフルスケール電圧範囲を示します。図8に公称ユニポーラ入力/出力(I/O)伝達関数を、図9にバイポーラ(I/O)伝達関数を示し

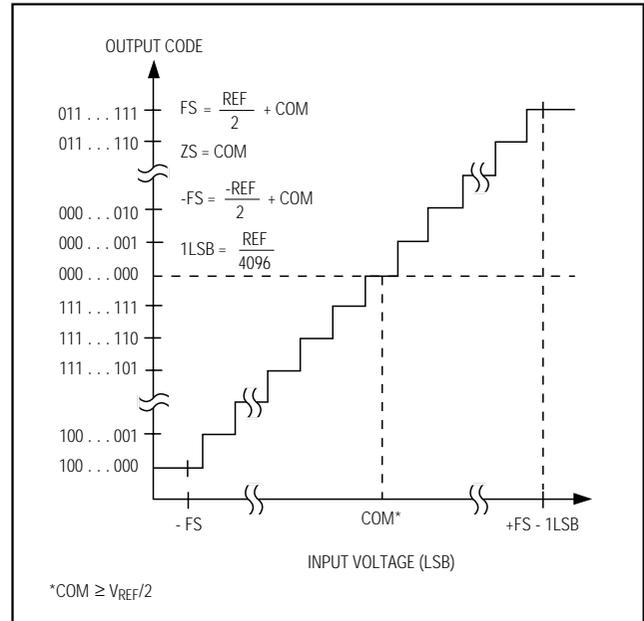


図9. バイポーラ伝達関数

ます。コード遷移は連続する整数のLSB値同士の間で起こります。出力コードはバイナリで、1LSB = ($V_{REF}/4096$)です。

最大サンプリング速度/475kspsを実現する方法

最大クロック周波数7.6MHzで動作している時、18クロックサイクル毎に変換を完了することにより仕様のスループット420kspsを実現できます。18サイクルの内訳は、1書込みサイクル、3アキュイジションサイクル、13変換サイクル、及び1読取りサイクルです。これは、次の制御バイトが書き込まれる前に最後の変換結果が読み取られると仮定しています。さらに速くするために、次の変換のアキュイジションサイクルを開始するための制御ワードを先に書き込み、その後バスから前の変換の結果を読み取るようにすると、最大475kspsのスループットを実現できます。この技法(図10)を使用すると、16クロックサイクル毎に変換を完了することができます。アキュイジション中又は変換中にデータバスでスイッチングが起こると電源ノイズの原因となり、真の12ビット性能を実現することが難しくなることに注意して下さい。

420kpsps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1294/MAX1296

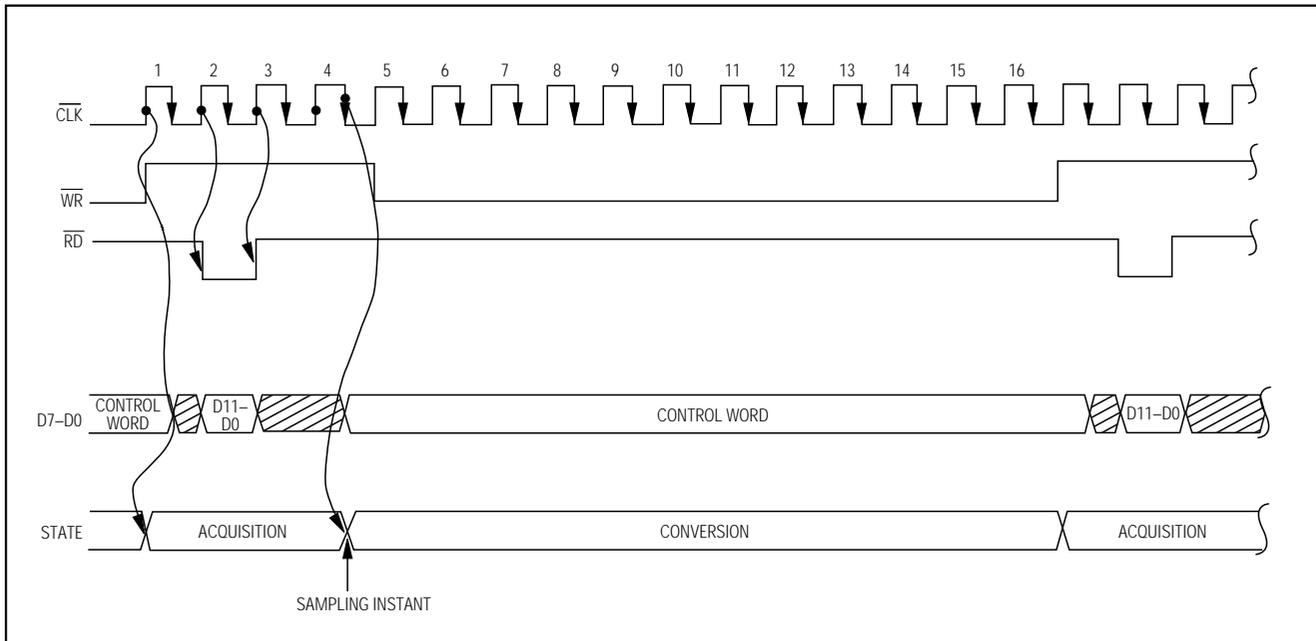


図10. 最も速い変換のタイミング図

レイアウト、グランド、及びバイパス

最高の性能を得るには、プリント回路基板を使用して下さい。ワイヤラップ構成は推奨できません。これはデジタル信号ラインとアナログ信号ラインを分離するレイアウトを必要とするためです。アナログとデジタルラインを互いに並行に走らせないで下さい。又、デジタルラインがADCパッケージの下に配置されないようにして下さい。アナログとデジタルのプリント基板グランド部分は別々にして、2つのグランドシステム(アナログとデジタル)が1つのスターポイント(図11)だけで接続されるようにして下さい。ノイズを排除するために、このスターグランドから電源へのグランドリターンはできるだけ短く、且つ低インピーダンスにして下さい。デジタル信号は敏感なアナログ及びリファレンス入力から離して配線して下さい。

電源(V_{DD})内の高周波ノイズがADCの高速コンパレータに影響を与える可能性があります。 V_{DD} は、MAX1294/MAX1296にできるだけ近いところで並列の $0.1\mu\text{F}$ 及び $4.7\mu\text{F}$ コンデンサを使用することによって、スターグランドにバイパスして下さい。最高の電源ノイズ除去比を得るためには、コンデンサのリード線をできるだけ短くして下さい。電源のノイズが特に大きい場合は、減衰抵抗(5Ω)を接続して下さい。

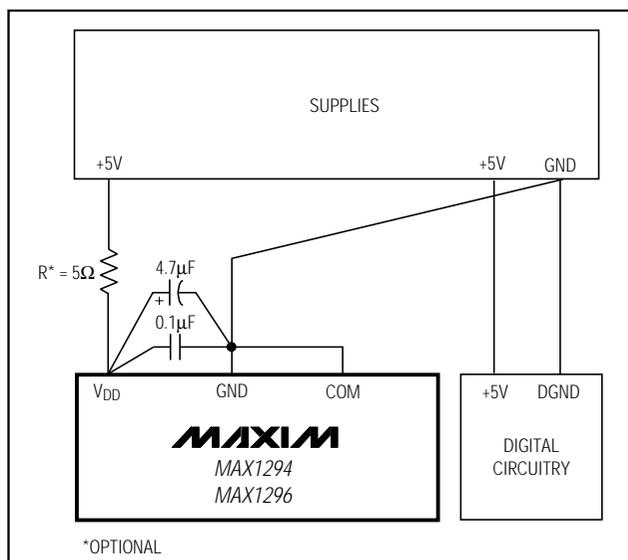


図11. 電源及びグランド接続

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

用語の定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数値の直線からの偏差です。この直線は、ベストストレートラインフィットあるいはオフセット及び利得誤差をヌル(ゼロ)にした後に、伝達関数のエンドポイント間を結んだ線です。MAX1294/MAX1296のINLパラメータは、エンドポイント法によって測定されます。

微分非直線性

微分非直線性(DNL)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNL誤差の仕様が1LSB未満であれば、そのDACはミッシングコードがないこと、及び伝達関数が単調であることが保証されます。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、サンプルとサンプル間の時間のばらつきです。

アパーチャディレイ

アパーチャディレイ(t_{AD})は、サンプリングクロックの立上がりエッジと実際にサンプルが取られる瞬間の間の時間です。

信号対雑音比

デジタルサンプルから完ぺきに再構築された波形の場合、信号対雑音比SNRはフルスケールアナログ入力(RMS値)のRMS量子化エラー(残留エラー)に対する比です。理想的な最小アナログデジタルノイズは量子化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$SNR = (6.02 \cdot N + 1.76) \text{dB}$$

現実には、量子化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあります。このため、SNRを計算するときはRMS信号とRMSノイズの比をとります。RMSノイズは基本波以外の全てのスペクトル成分、最初の5つの高調波及びDCオフセットを含みます。

信号対雑音+歪み

信号対雑音+歪み(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS等価値の比です。

$$SINAD(\text{dB}) = 20 \cdot \log(\text{信号}_{\text{RMS}} / \text{ノイズ}_{\text{RMS}})$$

有効ビット数

有効ビット数(ENOB)は、特定の入力周波数及びサンプリングレートにおけるADCの包括的な精度です。理想的なADCの誤差は、数値化ノイズのみからなっています。入力範囲がADCのフルスケール範囲に等しい場合、有効ビット数は次式で計算できます。

$$ENOB = (SINAD - 1.76) / 6.02$$

全高調波歪み

全高調波歪み(THD)は、入力信号の最初の5つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$THD = 20 \cdot \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅と次に大きな歪み成分のRMS値の比です。

チップ情報

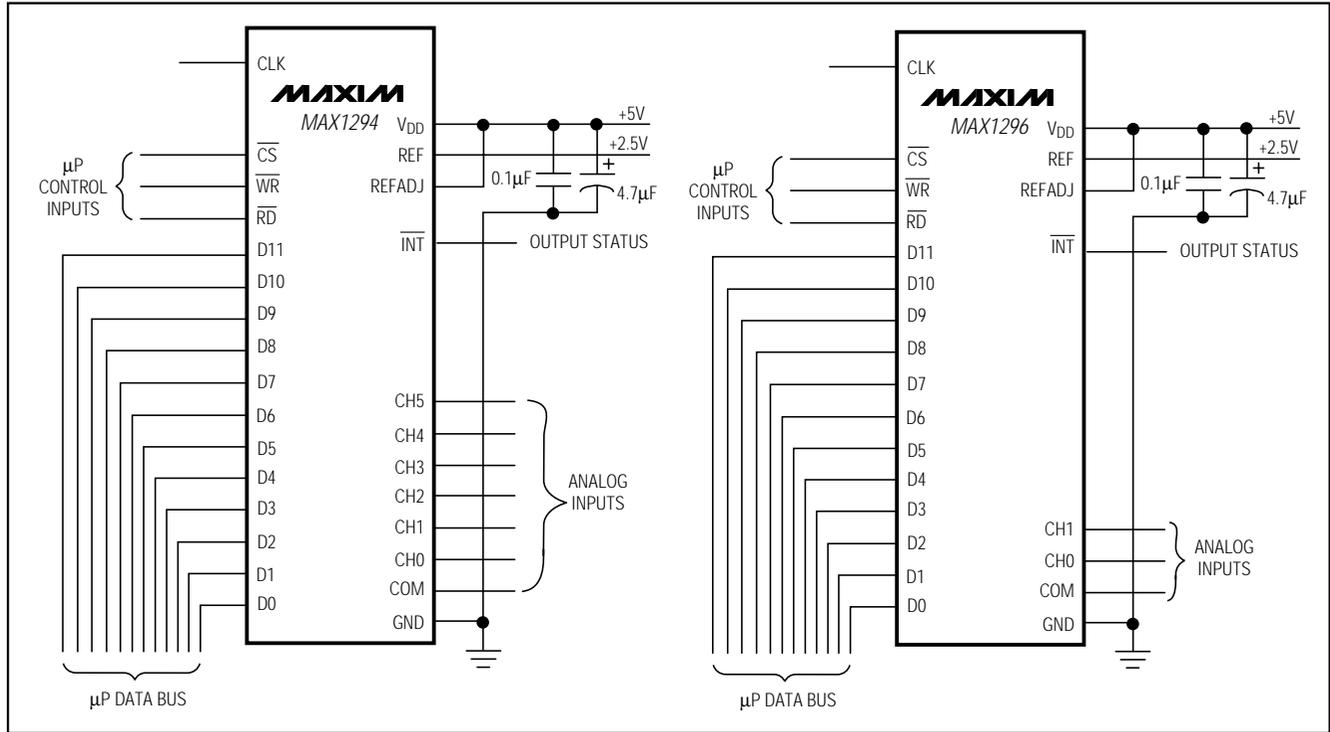
TRANSISTOR COUNT: 5781

SUBSTRATE CONNECTED TO GND

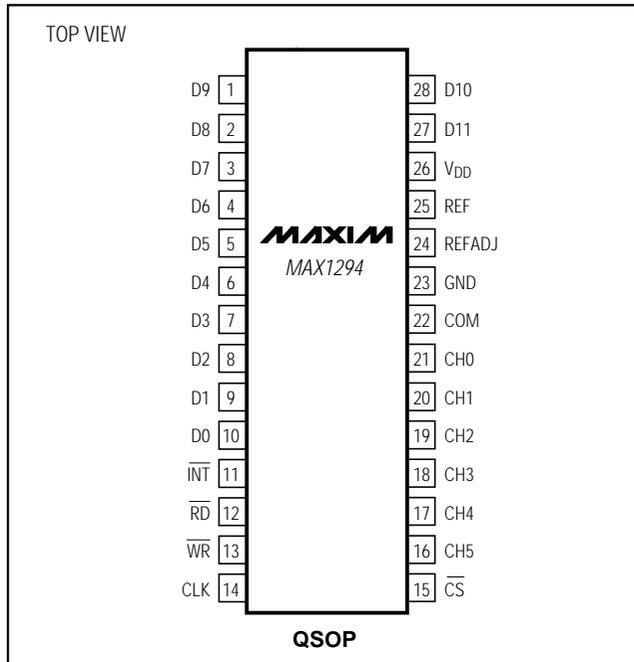
420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1294/MAX1296

標準動作回路



ピン配置(続き)



420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

パッケージ

MAX1294/MAX1296

QSOPEPS

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°

	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20 AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.

MAXIM
PROPRIETARY INFORMATION

TITLE: PACKAGE OUTLINE, QSOP, 150°, .025" LEAD PITCH

APPROVAL	DOCUMENT CONTROL NO.	REV	1/1
	21-0055	B	

420ksps、+5V、6/2チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1294/MAX1296

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

20 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2000 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.