



## タイマ

- ・タイマ0：キャプチャレジスタ付きの16ビットのタイマ/カウンタ
  - モード0：8ビットプログラブルプリスケアラ付8ビットタイマ(8ビットキャプチャレジスタ付)×2チャンネル
  - モード1：8ビットプログラブルプリスケアラ付8ビットタイマ(8ビットキャプチャレジスタ付)+8ビットカウンタ(8ビットキャプチャレジスタ付)
  - モード2：8ビットプログラブルプリスケアラ付16ビットタイマ(16ビットキャプチャレジスタ付)
  - モード3：16ビットカウンタ(16ビットキャプチャレジスタ付)
- ・タイマ1：PWM/トグル出力可能な16ビットのタイマ/カウンタ
  - モード0：8ビットタイマ(トグル出力付)+8ビットタイマ/カウンタ(トグル出力付)
  - モード1：8ビットPWM×2チャンネル
  - モード2：16ビットタイマ/カウンタ(トグル出力付)(下位8ビットからトグル出力可能)
  - モード3：16ビットタイマ(トグル出力付)(下位8ビットはPWMとして使用可能)
- ・タイマ4：6ビットプリスケアラ付8ビットタイマ
- ・タイマ5：6ビットプリスケアラ付8ビットタイマ
- ・ベースタイマ
  - クロックは、サブクロック(32.768kHz水晶発振)、システムクロック、タイマ0のプリスケアラ出力から選択できる。
  - 5種類の時間での割り込み発生が可能。

## S I O

- ・S I O 0：8ビット同期式シリアルインタフェース
  - L S B先頭/M S B先頭切り替え可能
  - 8ビットボーレートジェネレータ内蔵(最大転送クロック周期4/3 T c y c)
  - 連続自動データ通信(1~256ビット)
- ・S I O 1：8ビット非同期/同期式シリアルインタフェース
  - モード0：同期式8ビットシリアルI O(2線式または3線式, 転送クロック2~512 T c y c)
  - モード1：非同期シリアルI O(半二重, データ8ビット, ストップビット1, ボーレート8~2048 T c y c)
  - モード2：バスモード1(スタートビット, データ8ビット, 転送クロック2~512 T c y c)
  - モード3：バスモード2(スタート検出, データ8ビット, ストップ検出)
- ・S I O 2：8ビット同期式シリアルインタフェース
  - L S B先頭
  - 8ビットボーレートジェネレータ内蔵(最大転送クロック周期4/3 T c y c)
  - 連続自動データ通信(1~32バイト)

A Dコンバータ：8ビット×8チャンネル

P W M：周期可変12ビットPWM×2チャンネル

## パラレルインタフェース

- ・R S, R D#, W R#, C S 0#~C S 2#出力(極性切替可能)
- ・1 T c y cでの読み出し/書き込み可能

リモコン受信回路(P73/INT3/T0IN端子と共用)

- ・ノイズ除去機能(ノイズ除去フィルタの時定数選択1/32/128 T c y c)

## ウォッチドッグタイマ

- ・R C外付けによるウォッチドッグタイマ
- ・割り込み, リセットの選択可能

## 割り込み

## ・ 19 要因 10 ベクタ

割り込みは低レベル (L)、高レベル (H)、最高レベル (X) の 3 レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられない。

2 つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。

また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	X または L	INT0
2	0000BH	X または L	INT1
3	00013H	H または L	INT2/TOL/INT4
4	0001BH	H または L	INT3/INT5/ベースタイマ
5	00023H	H または L	TOH
6	0002BH	H または L	T1L/T1H
7	00033H	H または L	SI00
8	0003BH	H または L	SI01/SI02
9	00043H	H または L	ADC
10	0004BH	H または L	ポート 0/T4/T5/PWM0,1

・優先レベル X > H > L

・同一レベルではベクタアドレスの小さいものが優先

サブルーチンスタックレベル：最大 5 1 2 レベル (スタックは R A M の中に設定)

## 高速乗除算命令

- ・ 16 ビット × 8 ビット (実行時間： 5 T c y c )
- ・ 24 ビット × 16 ビット (実行時間： 12 T c y c )
- ・ 16 ビット ÷ 8 ビット (実行時間： 8 T c y c )
- ・ 24 ビット ÷ 16 ビット (実行時間： 12 T c y c )

## 発振回路

- ・ R C 発振回路 (内蔵) : システムクロック用
- ・ C F 発振回路 : システムクロック用, R f 内蔵
- ・ 水晶発振回路 : 低速システムクロック用

## スタンバイ機能

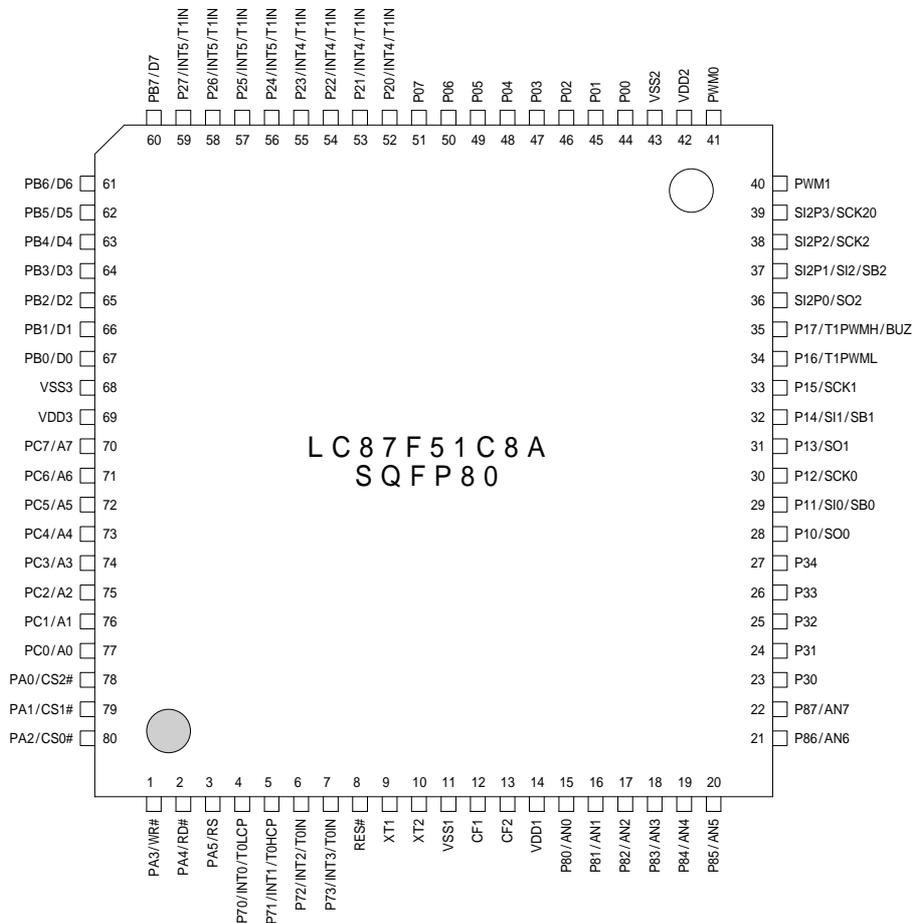
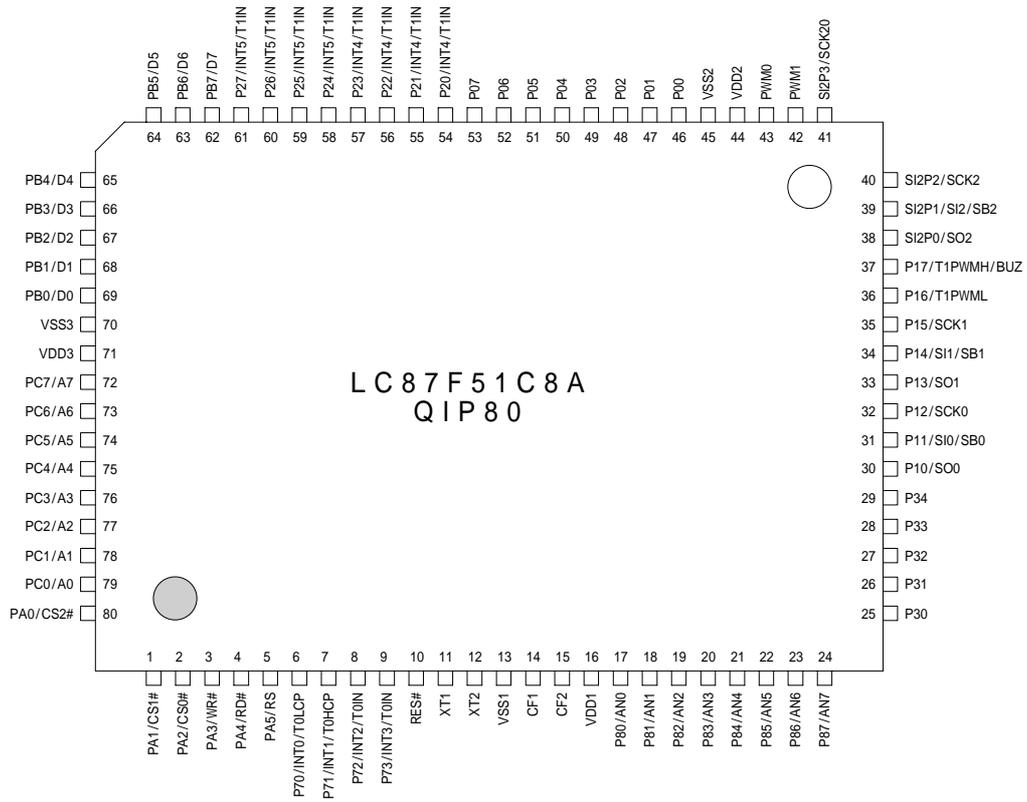
- ・ H A L T モード：命令実行停止，周辺回路動作継続  
発振の停止は自動的には行わない。  
システムリセットまたは割り込みの発生により解除。
- ・ H O L D モード：命令実行停止，周辺回路動作停止  
C F 発振，R C 発振，水晶発振のいずれも自動的に停止する。  
H O L D モードを解除するには次の 3 つの方法がある。  
(1) リセット端子に「L」レベルを入力する。  
(2) I N T 0, I N T 1, I N T 2, I N T 4, I N T 5 の少なくとも 1 つの端子に指定されたレベルを入力する。  
(3) ポート 0 で割り込み要因が成立する。
- ・ X't a l H O L D モード：命令実行停止，ベースタイマ以外の周辺回路動作停止  
C F 発振，R C 発振は自動的に停止する。  
水晶発振は突入時の状態を維持する。  
X't a l H O L D モードを解除するには次の 4 つの方法がある。  
(1) リセット端子に「L」レベルを入力する。  
(2) I N T 0, I N T 1, I N T 2, I N T 4, I N T 5 の少なくとも 1 つの端子に指定されたレベルを入力する。  
(3) ポート 0 で割り込み要因が成立する。  
(4) ベースタイマ回路で割り込み要因が成立する。

## 開発ツール

- ・ エパチップ : L C 8 7 6 0 9 9
- ・ エミュレータ : E V A 8 7 0 0 0 + E C B 8 7 5 1 0 0 + P O D 8 7 5 1 0 0

# LC87F51C8A

## ピン配置図

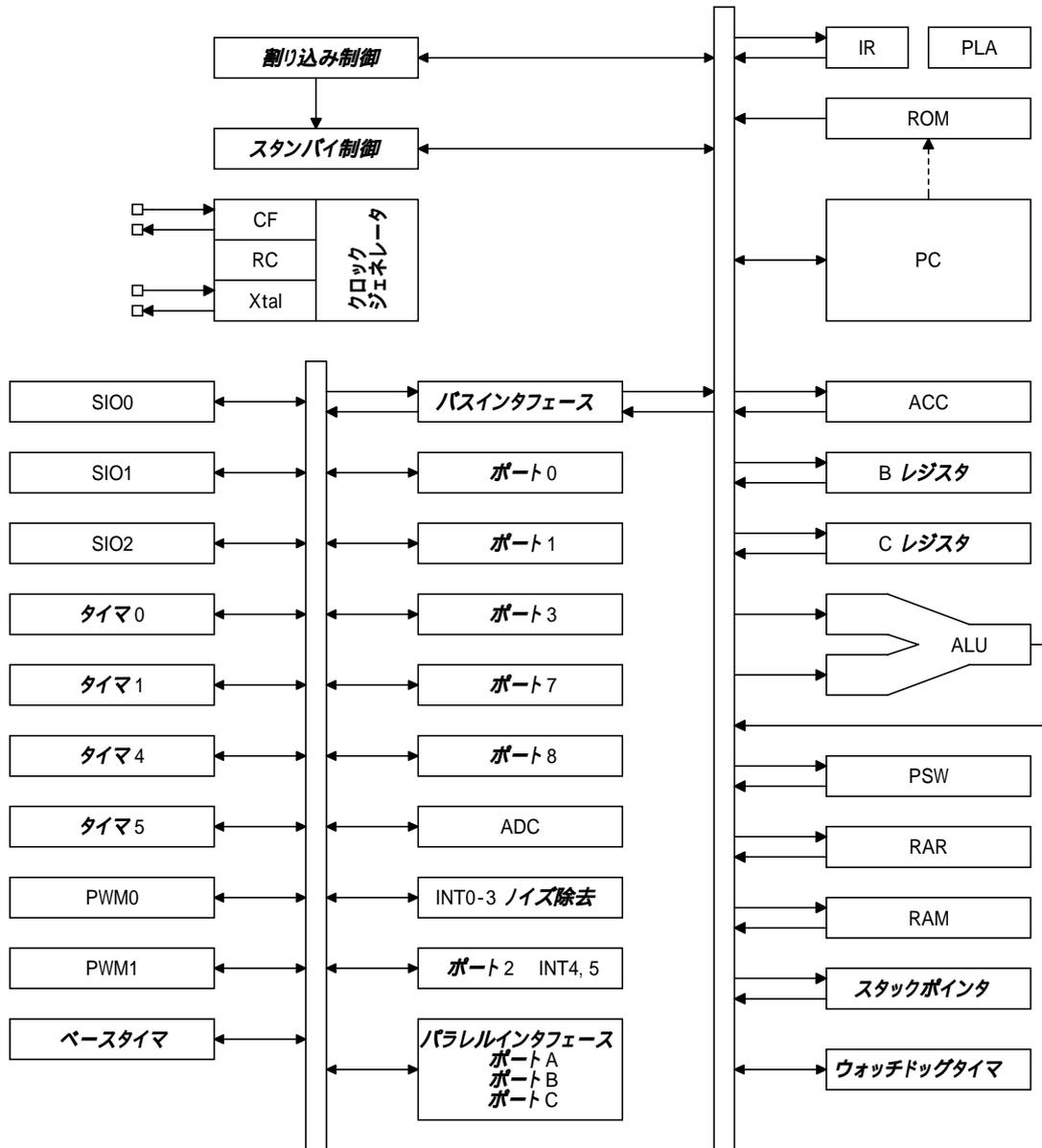


LC87F51C8A

QIP	端子名	SQFP
1	PA1/CS1#	79
2	PA2/CS0#	80
3	PA3/WR#	1
4	PA4/RD#	2
5	PA5/RS	3
6	P70/INT0/T0LCP	4
7	P71/INT1/T0HCP	5
8	P72/INT2/T0IN	6
9	P73/INT3/T0IN	7
10	RES#	8
11	XT1	9
12	XT2	10
13	VSS1	11
14	CF1	12
15	CF2	13
16	VDD1	14
17	P80/AN0	15
18	P81/AN1	16
19	P82/AN2	17
20	P83/AN3	18
21	P84/AN4	19
22	P85/AN5	20
23	P86/AN6	21
24	P87/AN7	22
25	P30	23
26	P31	24
27	P32	25
28	P33	26
29	P34	27
30	P10/SO0	28
31	P11/SI0/SB0	29
32	P12/SCK0	30
33	P13/SO1	31
34	P14/SI1/SB1	32
35	P15/SCK1	33
36	P16/T1PWML	34
37	P17/T1PWH/BUZ	35
38	SI2P0/SO2	36
39	SI2P1/SI2/SB2	37
40	SI2P2/SCK2	38

QIP	端子名	SQFP
41	SI2P3/SCK20	39
42	PWM1	40
43	PWM0	41
44	VDD2	42
45	VSS2	43
46	P00	44
47	P01	45
48	P02	46
49	P03	47
50	P04	48
51	P05	49
52	P06	50
53	P07	51
54	P20/INT4/T1IN	52
55	P21/INT4/T1IN	53
56	P22/INT4/T1IN	54
57	P23/INT4/T1IN	55
58	P24/INT5/T1IN	56
59	P25/INT5/T1IN	57
60	P26/INT5/T1IN	58
61	P27/INT5/T1IN	59
62	PB7/D7	60
63	PB6/D6	61
64	PB5/D5	62
65	PB4/D4	63
66	PB3/D3	64
67	PB2/D2	65
68	PB1/D1	66
69	PB0/D0	67
70	VSS3	68
71	VDD3	69
72	PC7/A7	70
73	PC6/A6	71
74	PC5/A5	72
75	PC4/A4	73
76	PC3/A3	74
77	PC2/A2	75
78	PC1/A1	76
79	PC0/A0	77
80	PA0/CS2#	78

システムブロック図



**端子機能表**

端子名	入出力	機能説明	オプション																														
VSS1 VSS2 VSS3	-	電源の - 端子	なし																														
VDD1 VDD2 VDD3	-	電源の + 端子	なし																														
ポート 0 P00 ~ P07	I/O	<ul style="list-style-type: none"> <li>・ 8 ビットの入出力ポート</li> <li>・ 4 ビット単位の入出力指定可能</li> <li>・ 4 ビット単位のパルアップ抵抗 ON / OFF 可能</li> <li>・ HOLD 解除入力</li> <li>・ ポート 0 割り込み入力</li> </ul>	あり																														
ポート 1 P10 ~ P17	I/O	<ul style="list-style-type: none"> <li>・ 8 ビットの入出力ポート</li> <li>・ 1 ビット単位の入出力指定可能</li> <li>・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能</li> <li>・ 端子機能                             <ul style="list-style-type: none"> <li>P10 : SI00 データ出力</li> <li>P11 : SI00 データ入力 / バス入出力</li> <li>P12 : SI00 クロック入出力</li> <li>P13 : SI01 データ出力</li> <li>P14 : SI01 データ入力 / バス入出力</li> <li>P15 : SI01 クロック入出力</li> <li>P16 : タイマ 1PWML 出力</li> <li>P17 : タイマ 1PWMH 出力 / ブザー出力</li> </ul> </li> </ul>	あり																														
ポート 2 P20 ~ P27	I/O	<ul style="list-style-type: none"> <li>・ 8 ビットの入出力ポート</li> <li>・ 1 ビット単位の入出力指定可能</li> <li>・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能</li> <li>・ 端子機能                             <ul style="list-style-type: none"> <li>P20 ~ P23 : INT4 入力 / HOLD 解除入力 / タイマ 1 イベント入力 / タイマ 0L キャプチャ入力 / タイマ 0H キャプチャ入力</li> <li>P24 ~ P27 : INT5 入力 / HOLD 解除入力 / タイマ 1 イベント入力 / タイマ 0L キャプチャ入力 / タイマ 0H キャプチャ入力</li> </ul> </li> </ul> <p>インタラプト受付形式</p> <table border="1"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT4</td> <td></td> <td></td> <td></td> <td>x</td> <td>x</td> </tr> <tr> <td>INT5</td> <td></td> <td></td> <td></td> <td>x</td> <td>x</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT4				x	x	INT5				x	x	あり												
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT4				x	x																												
INT5				x	x																												
ポート 3 P30 ~ P34	I/O	<ul style="list-style-type: none"> <li>・ 5 ビットの入出力ポート</li> <li>・ 1 ビット単位の入出力指定可能</li> <li>・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能</li> </ul>	あり																														
ポート 7 P70 ~ P73	I/O	<ul style="list-style-type: none"> <li>・ 4 ビットの入出力ポート</li> <li>・ 1 ビット単位の入出力指定可能</li> <li>・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能</li> <li>・ 端子機能                             <ul style="list-style-type: none"> <li>P70 : INT0 入力 / HOLD 解除入力 / タイマ 0L キャプチャ入力 / ウォッチドッグタイマ用出力</li> <li>P71 : INT1 入力 / HOLD 解除入力 / タイマ 0H キャプチャ入力</li> <li>P72 : INT2 入力 / HOLD 解除入力 / タイマ 0 イベント入力 / タイマ 0L キャプチャ入力</li> <li>P73 : INT3 入力 (ノイズフィルタ付入力) / タイマ 0 イベント入力 / タイマ 0H キャプチャ入力</li> </ul> </li> </ul> <p>インタラプト受付形式</p> <table border="1"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td></td> <td></td> <td>x</td> <td></td> <td></td> </tr> <tr> <td>INT1</td> <td></td> <td></td> <td>x</td> <td></td> <td></td> </tr> <tr> <td>INT2</td> <td></td> <td></td> <td></td> <td>x</td> <td>x</td> </tr> <tr> <td>INT3</td> <td></td> <td></td> <td></td> <td>x</td> <td>x</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT0			x			INT1			x			INT2				x	x	INT3				x	x	なし
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT0			x																														
INT1			x																														
INT2				x	x																												
INT3				x	x																												

(次ページへ)

## LC87F51C8A

端子名	入出力	機能説明	オプション
ポート 8 P80 ~ P87	I/O	<ul style="list-style-type: none"> <li>・ 8 ビットの入出力ポート</li> <li>・ 1 ビット単位の入出力指定可能</li> <li>・ 兼用機能 P80 ~ P87 : AD 変換入力ポート</li> </ul>	なし
ポート A PA0 ~ PA5	I/O	<ul style="list-style-type: none"> <li>・ 6 ビットの入出力ポート</li> <li>・ 1 ビット単位の入出力指定可能</li> <li>・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能</li> <li>・ 兼用機能 PA0 : パラレルインタフェースの CS2#出力 PA1 : パラレルインタフェースの CS1#出力 PA2 : パラレルインタフェースの CS0#出力 PA3 : パラレルインタフェースの WR#出力 PA4 : パラレルインタフェースの RD#出力 PA5 : パラレルインタフェースの RS 出力</li> </ul>	あり
ポート B PB0 ~ PB7	I/O	<ul style="list-style-type: none"> <li>・ 8 ビットの入出力ポート</li> <li>・ 1 ビット単位の入出力指定可能</li> <li>・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能</li> <li>・ 兼用機能 PB0 ~ PB7 : パラレルインタフェースのデータ入出力 / アドレス出力</li> </ul>	あり
ポート C PC0 ~ PC7	I/O	<ul style="list-style-type: none"> <li>・ 8 ビットの入出力ポート</li> <li>・ 1 ビット単位の入出力指定可能</li> <li>・ 1 ビット単位のパルアップ抵抗 ON / OFF 可能</li> <li>・ 兼用機能 PC0 ~ PC7 : パラレルインタフェースのアドレス出力</li> </ul>	あり
SI02 ポート SI2P0 ~ SI2P3	I/O	<ul style="list-style-type: none"> <li>・ 4 ビットの入出力ポート</li> <li>・ 1 ビット単位の入出力指定可能</li> <li>・ 兼用機能 SI2P0 : SI02 データ出力 SI2P1 : SI02 データ入力 / バス入出力 SI2P2 : SI02 クロック入出力 SI2P3 : SI02 クロック出力</li> </ul>	なし
PWM0	0	PWM0 出力ポート	なし
PWM1	0	PWM1 出力ポート	なし
RES	I	リセット端子	なし
XT1	I	<ul style="list-style-type: none"> <li>・ 32.768kHz 水晶発振子用入力端子</li> <li>・ 兼用機能 汎用入力ポート 使用しない場合は VDD1 に接続すること。</li> </ul>	なし
XT2	I/O	<ul style="list-style-type: none"> <li>・ 32.768kHz 水晶発振子用出力端子</li> <li>・ 兼用機能 汎用入力ポート 使用しない場合は発振仕様にして、オープンにすること。</li> </ul>	なし
CF1	I	セラミック発振子用入力端子	なし
CF2	0	セラミック発振子用出力端子	なし

## ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示す。

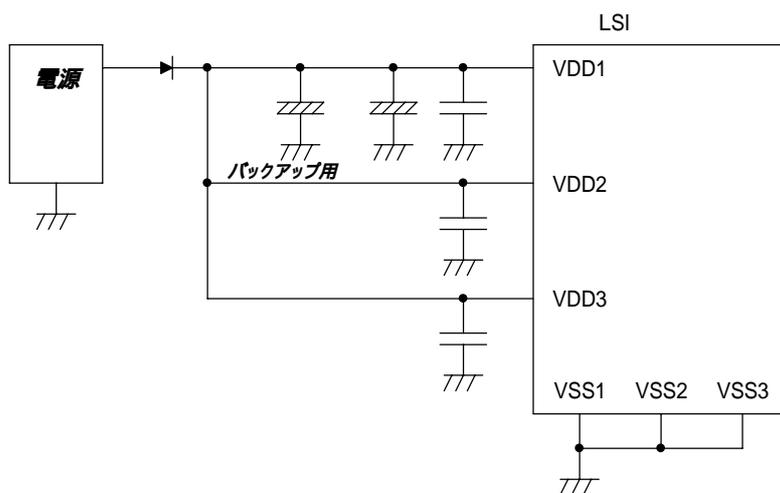
なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	オプション切替単位	オプション種類	出力形式	プルアップ抵抗
P00 ~ P07	1ビット単位	1	CMOS	プログラマブル(注1)
		2	Nch-オープンドレイン	なし
P10 ~ P17 P20 ~ P27 P30 ~ P34	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
PA0 ~ PA5 PB0 ~ PB7(注) PC0 ~ PC7	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	-	なし	Nch-オープンドレイン	プログラマブル
P71 ~ P73	-	なし	CMOS	プログラマブル
P80 ~ P87	-	なし	Nch-オープンドレイン	なし
SI2P0, SI2P2 SI2P3 PWM0, PWM1	-	なし	CMOS	なし
SI2P1	-	なし	CMOS(通常ポート選択時) Nch-オープンドレイン (SI02データ選択時)	なし
XT1	-	なし	入力専用	なし
XT2	-	なし	32.768kHz 水晶発振子用出力	なし

注1 ポート0のプログラマブルプルアップ抵抗は、4ビット単位(P00~03, P04~07)の制御になる。

(注) パラレルインタフェースモードの時、PB0~PB7はオプションに関係なく、出力形式がCMOSとなる。

- VDD1端子に入るノイズを小さくし、バックアップ時間を長くするために、次のように接続すること。VSS1端子とVSS2端子とVSS3端子は必ず電氣的にショートすること。



## 1. 絶対最大定格 / Ta=25 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				unit
				VDD[V]	min.	typ.	max.	
最大電源電圧	VDDMAX	VDD1, VDD2, VDD3	VDD1=VDD2=VDD3		-0.3	~	+6.5	V
入力電圧	VI(1)	XT1, XT2, CF1			-0.3	~	VDD+0.3	
出力電圧	VO(1)	PWM0, PWM1			-0.3	~	VDD+0.3	
入出力電圧	VI0(1)	ホ <sup>+</sup> -I0, 1, 2 ホ <sup>+</sup> -I3, 7, 8 ホ <sup>+</sup> -IA, B, C SI2P00 ~ SI2P03 PWM0, PWM1			-0.3	~	VDD+0.3	
高レベル出力電流	ピーク出力電流	IOPH(1)	ホ <sup>+</sup> -I0, 1, 2, 3 ホ <sup>+</sup> -IA, B, C SI2P00 ~ SI2P03 PWM0, PWM1	CMOS 出力選択 適用 1 端子当り		-10		mA
		IOPH(2)	P71 ~ P73	適用 1 端子当り		-5		
	合計出力電流	IOAH(1)	P71 ~ P73	適用全端子合計		-5		
		IOAH(2)	ホ <sup>+</sup> -I1 PWM0, PWM1 ホ <sup>+</sup> -I3 SI2P00 ~ SI2P03	適用全端子合計		-30		
		IOAH(3)	ホ <sup>+</sup> -I0, 2	適用全端子合計		-20		
		IOAH(4)	ホ <sup>+</sup> -IB	適用全端子合計		-20		
IOAH(5)	ホ <sup>+</sup> -IA, C	適用全端子合計		-20				
低レベル出力電流	ピーク出力電流	IOPL(1)	P02 ~ P07 ホ <sup>+</sup> -I1, 2, 3 ホ <sup>+</sup> -IA, B, C SI2P00 ~ SI2P03 PWM0, PWM1	適用 1 端子当り			20	
		IOPL(2)	P00, P01	適用 1 端子当り			30	
		IOPL(3)	ホ <sup>+</sup> -I7, 8	適用 1 端子当り			15	
	合計出力電流	IOAL(1)	ホ <sup>+</sup> -I7	適用全端子合計			5	
		IOAL(2)	ホ <sup>+</sup> -I8	適用全端子合計			5	
		IOAL(3)	ホ <sup>+</sup> -I1 PWM0, PWM1 ホ <sup>+</sup> -I3 SI2P00 ~ SI2P03	適用全端子合計			50	
		IOAL(4)	ホ <sup>+</sup> -I0, 2	適用全端子合計			70	
		IOAL(5)	ホ <sup>+</sup> -IB	適用全端子合計			40	
		IOAL(6)	ホ <sup>+</sup> -IA, C	適用全端子合計			40	
	許容消費電力	Pdmax	Q1P80E SQFP80	Ta=-20 ~ +70			評価後 決定	mW
動作周囲温度	Topg			-20	~	70		
保存周囲温度	Tstg			-55	~	125		

## 2. 許容動作条件 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				unit
				VDD[V]	min.	typ.	max.	
動作電源電圧	VDD(1)	VDD1=VDD2=VDD3	0.294 $\mu$ s tCYC 200 $\mu$ s		4.5		5.5	V
メモリ保持電源電圧	VHD	VDD1=VDD2=VDD3	HOLD モード時 RAM, レジスタ保持		2.0		5.5	
高レベル入力電圧	VIH(1)	ポート1,2 SI2P00 ~ 03 P71 ~ P73 P70 のポート入力 / 割り込み側		4.5 ~ 5.5	0.3VDD +0.7		VDD	
	VIH(2)	ポート0,8 ポートA, B, C		4.5 ~ 5.5	0.3VDD +0.7		VDD	
	VIH(3)	ポート70 の ウォッチドッグタイマ側		4.5 ~ 5.5	0.9VDD		VDD	
	VIH(4)	XT1, XT2, CF1, RES#		4.5 ~ 5.5	0.75VDD		VDD	
低レベル入力電圧	VIL(1)	ポート1,2 SI2P00 ~ 03 P71 ~ P73 P70 のポート入力 / 割り込み側		4.5 ~ 5.5	VSS		0.1VDD +0.4	
	VIL(2)	ポート0,8 ポートA, B, C		4.5 ~ 5.5	VSS		0.15VDD +0.4	
	VIL(5)	ポート70 の ウォッチドッグタイマ側		4.5 ~ 5.5	VSS		0.8VDD -1.0	
	VIL(6)	XT1, XT2, CF1, RES#		4.5 ~ 5.5	VSS		0.25VDD	
命令サイクルタイム	tCYC			4.5 ~ 5.5	0.294		200	$\mu$ s
外部システムクロック周波数	FEXCF(1)	CF1	・CF2 端子オープン ・システムクロック 分周 1/1 ・外部システムクロック の DUTY50 $\pm$ 5%	4.5 ~ 5.5	0.1		10	MHz
			・CF2 端子オープン ・システムクロック 分周 1/2	4.5 ~ 5.5	0.2		20.4	
発振周波数範囲 (注1)	FmCF(1)	CF1, CF2	10MHz セラミック発振時 図1参照	4.5 ~ 5.5	9.8	10	10.2	MHz
	FmRC		内蔵 RC 発振	4.5 ~ 5.5	0.3	1.0	2.0	
	FsXtal	XT1, XT2	32.768kHz 水晶発振時 図2参照	4.5 ~ 5.5		32.768		kHz
発振安定時間 (注1)	TmsCF(1)	CF1, CF2	10MHz セラミック発振時 図4参照	4.5 ~ 5.5				ms
	TmsCF(2)	CF1, CF2	4MHz セラミック発振時 図4参照	4.5 ~ 5.5				
	TssXtal	XT1, XT2	32.768kHz 水晶発振時 図4参照	4.5 ~ 5.5				s

(注1) 発振定数は表1, 2参照のこと。

## 3. 電気的特性 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				unit
				VDD[V]	min.	typ.	max.	
高レベル入力電流	I1H(1)	ホ <sup>°</sup> -t0,1,2 ホ <sup>°</sup> -t3,7,8 ホ <sup>°</sup> -tA,B,C S12P00 ~ S12P03 RES# PWMO, PWM1	出力ディセーブル プルアップ抵抗オフ VIN=VDD (出力 Tr. のオフリーク 電流を含む)	4.5 ~ 5.5			1	μA
	I1H(2)	XT1, XT2	入力ポート仕様時 VIN=VDD	4.5 ~ 5.5			1	
	I1H(3)	CF1	VIN=VDD	4.5 ~ 5.5			15	
低レベル入力電流	I1L(1)	ホ <sup>°</sup> -t0,1,2 ホ <sup>°</sup> -t3,7,8 ホ <sup>°</sup> -tA,B,C S12P00 ~ S12P03 RES# PWMO, PWM1	出力ディセーブル プルアップ抵抗オフ VIN=VSS (出力 Tr. のオフリーク 電流を含む)	4.5 ~ 5.5	-1			
	I1L(2)	XT1, XT2	入力ポート仕様時 VIN=VSS	4.5 ~ 5.5	-1			
	I1L(3)	CF1	VIN=VSS	4.5 ~ 5.5	-15			
高レベル出力電圧	VOH(1)	ホ <sup>°</sup> -t0,1,2,3 ホ <sup>°</sup> -tB,C	IOH=-1.0mA	4.5 ~ 5.5	VDD-1			V
	VOH(2)	S12P00 ~ S12P03 PWMO, PWM1	IOH=-0.1mA	4.5 ~ 5.5	VDD-0.5			
	VOH(3)	ホ <sup>°</sup> -tA	IOH=-5.0mA	4.5 ~ 5.5	VDD-1			
	VOH(4)		IOH=-0.4mA	4.5 ~ 5.5	VDD-0.5			
	VOH(5)	ホ <sup>°</sup> -t7	IOH=-0.4mA	4.5 ~ 5.5	VDD-1			
低レベル出力電圧	VOL(1)	ホ <sup>°</sup> -t0,1,2,3 ホ <sup>°</sup> -tB,C	IOl=10mA	4.5 ~ 5.5			1.5	
	VOL(2)	S12P00 ~ S12P03 PWMO, PWM1	IOl=1.6mA	4.5 ~ 5.5			0.4	
	VOL(3)							
	VOL(4)	P00, P01	IOl=30mA	4.5 ~ 5.5			1.5	
	VOL(5)	ホ <sup>°</sup> -t7,8	IOl=1mA	4.5 ~ 5.5			0.4	
	VOL(6)							
	VOL(7)	ホ <sup>°</sup> -tA	IOl=15mA	4.5 ~ 5.5			1.5	
	VOL(8)		IOl=2mA	4.5 ~ 5.5			0.4	
プルアップ抵抗	Rpu	ホ <sup>°</sup> -t0,1,2,3 ホ <sup>°</sup> -t7 ホ <sup>°</sup> -tA,B,C	VOH=0.9VDD	4.5 ~ 5.5	15	40	70	k
ヒステリシス電圧	VHIS	RES#		4.5 ~ 5.5		0.1		V
端子容量	CP	全端子	被測定端子以外 VIN=VSS f=1MHz Ta=25	4.5 ~ 5.5		10		pF

## 4. シリアル入出力特性 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=0V

項目		記号	適用端子 ・備考	条件	規格						
					VDD[V]	min.	typ.	max.	unit		
シリアル 入力クロック	入力クロック	周期	tSCK(1)	SCK0(P12), SI2P2	図 6 参照	4.5 ~ 5.5	2			tCYC	
		低レベル パルス幅	tSCKL(1)				1				
			tSCKLA(1)				1				
		高レベル パルス幅	tSCKH(1)				1				
			tSCKHA(1)				3(SI00) 5(SI02)				
		周期	tSCK(2)	SCK1(P15)			図 6 参照	4.5 ~ 5.5	2		
	低レベル パルス幅	tSCKL(2)		1							
	高レベル パルス幅	tSCKH(2)		1							
	出力クロック	出力クロック	周期	tSCK(3)	SCK0(P12), SI2P2, SI2P3  ・オープンドレイン出力 時は 1k のプルアッ プ抵抗を外付けする ・図 6 参照  SCK0(P12) SI00 の場合 SI2P2, SI2P3 SI02 の場合  SCK0(P12) SI00 の場合 SI2P2, SI2P3 SI02 の場合	4.5 ~ 5.5	4/3			tSCK	
			低レベル パルス幅	tSCKL(3)					1/2		
				tSCKLA(2)					3/4		
			高レベル パルス幅	tSCKH(3)					1/2		
tSCKHA(2)								2			
								7/4			
出力クロック		周期	tSCK(4)	SCK1(P15)	・オープンドレイン出 力 時は 1k のプルアッ プ抵抗を外付けする ・図 6 参照	4.5 ~ 5.5	2			tCYC	
		低レベル パルス幅	tSCKL(4)					1/2		tSCK	
		高レベル パルス幅	tSCKH(4)					1/2			
シリアル 入力	データセット アップ時間	tsDI	SB0(P11), SB1(P14), SI2P1, SI0, SI1	・SI0CLK の立ち上がり に対して規定する ・図 6 参照	4.5 ~ 5.5	0.03			μs		
	データホールド 時間	thDI					0.03				
シリアル 出力	出力遅延時間	tdDO	S00(P10), S01(P13), SB0(O11), SB1(P14), SI2P0, SI2P1	・SI0CLK の立ち下がり に対して規定する ・オープンドレイン出力 時は 1k のプルアッ プ抵抗を外付けする ・図 6 参照	4.5 ~ 5.5			1/3tCYC +0.05			

## 5. パラレル入出力特性 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=0V

注意: RS, WR#, RD#, CS#として使用するポートA端子は、オプションでC-MOS形式を選択すること。

パラレル入出力タイミング波形図8, 図9を参照すること。

項目	記号	適用端子・備考	条件	規格				unit
				VDD[V]	min.	typ.	max.	
ライトサイクル, リードサイクル	tC(1)			4.5 ~ 5.5		1		tCYC
アドレス セットアップ時間	tsA(1)	・WR#(PA3), PB0 ~ PB7 ・RD#(PA4), PC0 ~ PC7	アドレスの確定から 制御信号の変化まで	4.5 ~ 5.5	1/3tCYC -30ns			tCYC & ns
	tsA(2)	RD#(PA4), PC0 ~ PC7		4.5 ~ 5.5	2/3tCYC -30ns			
アドレス ホールド時間	thA(1)	RD#(PA4), PC0 ~ PC7	RD#の変化から アドレスの変化まで	4.5 ~ 5.5	1/6tCYC			ns
	thA(2)	WR#(PA3), PC0 ~ PC7	WR#の変化から アドレスの変化まで	4.5 ~ 5.5	5			
RS セットアップ時間	tsRS(1)	WR#(PA3), RS(PA5), CS#(PAX)	RS, CS#の変化から WR#の変化まで	4.5 ~ 5.5	1/6tCYC -15ns			tCYC & ns
	tsRS(2)	RD#(PA4), RS(PA5)	RSの変化から RD#の変化まで	4.5 ~ 5.5	1/6tCYC -15ns			
	tsRS(3)	RD#(PA4), RS(PA5)		4.5 ~ 5.5	1/3tCYC -15ns			
CS# セットアップ時間	tsCS(1)	RD#(PA4), CS#(PAX)	CS#の変化から RD#の変化まで	4.5 ~ 5.5	1/3tCYC -15ns			ns
	tsCS(2)	WR#(PA3), CS#(PAX)	CS#の変化から WR#の変化まで	4.5 ~ 5.5	2/3tCYC -15ns			
RS ホールド時間	thRS(1)	WR#(PA3), RS(PA5)	WR#の変化から RSの変化まで	4.5 ~ 5.5	0			tCYC & ns
	thRS(2)	RD#(PA4), RS(PA5), CS#(PAX)	RD#の変化から RS, CS#の変化まで	4.5 ~ 5.5	1/6tCYC			
	thRS(3)	RD#(PA4), RS(PA5), CS#(PAX)		4.5 ~ 5.5	0			
CS# ホールド時間	thCS(1)	RD#(PA4), RS(PA5)	RD#の変化から CS#の変化まで	4.5 ~ 5.5	1/6tCYC			tCYC & ns
	thCS(2)	WR#(PA3), RS(PA5)	WR#の変化から CS#の変化まで	4.5 ~ 5.5	0			
WR# 'H'パルス幅	tWRH(1)	WR#(PA3)		4.5 ~ 5.5	1/6tCYC -5ns	1/6 tCYC		tCYC & ns
	tWRH(2)	WR#(PA3)		4.5 ~ 5.5	2/3tCYC -5ns	2/3 tCYC		
WR# 'L'パルス幅	tWRL(1)	WR#(PA3)		4.5 ~ 5.5	1/6tCYC -5ns	1/6 tCYC		ns
	tWRL(2)	WR#(PA3)		4.5 ~ 5.5	1/3tCYC -5ns	1/3 tCYC		
RD# 'H'パルス幅	tRDH(1)	RD#(PA4)		4.5 ~ 5.5	1/6tCYC -5ns	1/6 tCYC		ns
	tRDH(2)	RD#(PA4)		4.5 ~ 5.5	1/3tCYC -5ns	1/3 tCYC		
RD# 'L'パルス幅	tRDL(1)	RD#(PA4)		4.5 ~ 5.5	1/3tCYC -5ns	1/3 tCYC		ns
	tRDL(2)	RD#(PA4)		4.5 ~ 5.5	1/2tCYC -5ns	1/2 tCYC		
ライトデータ 許容ディレイ	tdDT(1)	RD#(PA4), PB0 ~ PB7	RD#の立ち下がりから 入力データの確定まで	4.5 ~ 5.5			1/6tCYC -15ns	tCYC & ns
	tdDT(2)	RD#(PA4), PB0 ~ PB7	の許容時間 注1	4.5 ~ 5.5			1/3tCYC -15ns	
入力データ セットアップ時 間	tsDTR(1)	RD#(PA4), PB0 ~ PB7	入力データの確定から RD#の立ち上がりまで の時間 注2	4.5 ~ 5.5	40			ns
入力データ ホールド時間	thDTR(1)	RD#(PA4), PB0 ~ PB7	RD#の立ち上がりから 入力データの保持必要 時間	4.5 ~ 5.5	0			ns

(次ページへ)

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
出力データ セットアップ時間	tsDTW(1)	RD#(PA4), PB0 ~ PB7	出力データの確定から WR#の立ち上がりまで の時間	4.5 ~ 5.5	1/3tCYC -30ns			tCYC & ns
出力データ セットアップ時間	tsDTW(2)	RD#(PA4), PB0 ~ PB7		4.5 ~ 5.5	1/3tCYC -30ns			
出力データ ホールド時間	thDTW(1)	RD#(PA4), PB0 ~ PB7	WR#の立ち上がりから 出力データの保持時間	4.5 ~ 5.5	0			ns
	thDTW(2)			4.5 ~ 5.5	0			

注1: LOWの不正データがなくなるまでの時間

注2: tRDL(1) - tDDT(1)の期間は, LOWの不正データは出力されない。

6. パルス入力条件 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P70), INT1(P71), INT2(P72), INT4(P20 ~ P23), INT5(P24 ~ P27)	・割り込み要因フラグを セットできる。 ・タイマ0,1へのイベント 入力ができる。	4.5 ~ 5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が1/1の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	4.5 ~ 5.5	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が1/32の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	4.5 ~ 5.5	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が1/128の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	4.5 ~ 5.5	256			
	tPIL(5)	RES#	リセットできる。	4.5 ~ 5.5	200			μs

7. AD 変換特性 / Ta=-20 ~ +70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子 ・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
分解能	N	ANO(P80) ~ AN7(P87)	(注2)	4.5 ~ 5.5		8		bit
絶対精度	ET		(注2)	4.5 ~ 5.5			±1.5	LSB
変換時間	TCAD		AD変換時間=32 × tCYC (ADCR2=0の時) (注3)	4.5 ~ 5.5	15.10 (tCYC= 0.588μs)		97.92 (tCYC= 3.06μs)	μs
		AD変換時間=64 × tCYC (ADCR2=1の時) (注3)	4.5 ~ 5.5	15.10 (tCYC= 0.294μs)		97.92 (tCYC= 1.53μs)		
アナログ入力 電圧範囲	VAIN			4.5 ~ 5.5	VSS		VDD	V
アナログポート 入力電流	IAINH		VAIN=VDD	4.5 ~ 5.5			1	μA
	IAINL		VAIN=VSS	4.5 ~ 5.5	-1			

(注2) 絶対精度は量子化誤差(±1/2LSB)を除く。

(注3) 変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をいう。

## 8. 消費電流特性 / Ta=-20+70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子 ・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
通常動作時 消費電流 (注4)	IDDOP(1)	VDD1 =VDD2 =VDD3	<ul style="list-style-type: none"> <li>・FmCF=10MHz セラミック発振時</li> <li>・FmX'tal=32.768kHz 水晶発振時</li> <li>・システムクロックは 10MHz 側</li> <li>・内蔵 RC 発振は停止</li> <li>・1/1 分周時</li> </ul>	4.5 ~ 5.5		評価後決定		mA
	IDDOP(2)		<ul style="list-style-type: none"> <li>・CF1=20MHz 外部クロック</li> <li>・FmX'tal=32.768kHz 水晶発振時</li> <li>・システムクロックは CF1 側</li> <li>・内蔵 RC 発振は停止</li> <li>・1/2 分周時</li> </ul>	4.5 ~ 5.5		評価後決定		
HALT モード 消費電流 (注4)	IDDHALT(1)	VDD1 =VDD2 =VDD3	HALT モード <ul style="list-style-type: none"> <li>・FmCF=10MHz セラミック発振時</li> <li>・FmX'tal=32.768kHz 水晶発振時</li> <li>・システムクロックは 10MHz 側</li> <li>・内蔵 RC 発振は停止</li> <li>・1/1 分周時</li> </ul>	4.5 ~ 5.5		評価後決定		mA
	IDDHALT(2)		<ul style="list-style-type: none"> <li>・CF1=20MHz 外部クロック</li> <li>・FmX'tal=32.768kHz 水晶発振時</li> <li>・システムクロックは CF1 側</li> <li>・内蔵 RC 発振は停止</li> <li>・1/2 分周時</li> </ul>	4.5 ~ 5.5		評価後決定		
HOLD モード 消費電流	IDDHOLD(1)	VDD1	HOLD モード <ul style="list-style-type: none"> <li>・CF1=VDD またはオープン (外部クロック時)</li> </ul>	4.5 ~ 5.5		評価後決定		μA
時計 HOLD モード 消費電流	IDDHOLD(2)	VDD1	時計 HOLD モード <ul style="list-style-type: none"> <li>・CF1=VDD またはオープン (外部クロック時)</li> <li>・FmX'tal=32.768kHz 水晶発振時</li> </ul>	4.5 ~ 5.5		評価後決定		μA

(注4) 消費電流は出力 Tr、および内蔵プルアップ抵抗に流れる電流を含まない。

## 9. F-ROM 書き込み特性 / Ta=+10 ~ +55 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子 ・備考	条件	規格				
				VDD[V]	min.	typ.	max.	unit
オンボード 書き込み電流	IDDFW(1)	VDD1	<ul style="list-style-type: none"> <li>・128 バイト書き込み</li> <li>・消去電流も含む</li> </ul>	4.5 ~ 5.5		30	65	mA
書き込み時間	tFW(1)		<ul style="list-style-type: none"> <li>・128 バイト書き込み</li> <li>・消去動作も含む</li> <li>・128 バイトのデータを そろえる時間は除く</li> </ul>	4.5 ~ 5.5		4.2	7.0	mS

表 1 セラミック発振保証定数 (メインクロック)

発振の種類	メーカー	発振子	C1	C2
10MHz セラミック発振	ムラタ	評価後決定する		
		評価後決定する	内蔵	
4MHz セラミック発振	ムラタ	評価後決定する		
		評価後決定する	内蔵	
	京セラ	評価後決定する		

C 1 , C 2 は K 公差 ( ± 1 0 % ) , S L 特性を使用すること。

表 2 水晶発振保証定数 (サブクロック)

発振の種類	メーカー	発振子	C3	C4
32.768kHz 水晶発振		評価後決定する		
		評価後決定する		

C 3 , C 4 は J 公差 ( ± 5 % ) , C H 特性を使用すること。

( 高精度を必要としないものについては , K 公差 ( ± 1 0 % ) , S L 特性を使用すること。 )

- (注意)
- 回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。
  - 上記以外の発振子を用いた場合には、特性を保証できない。

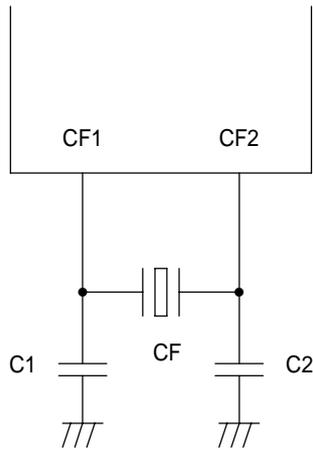


図 1 C F 発振回路

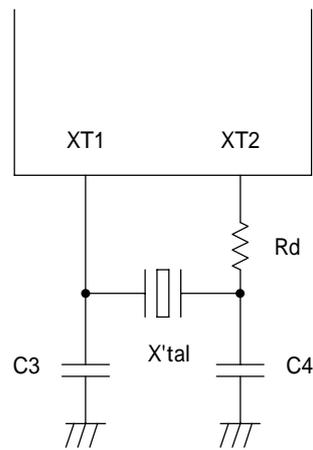


図 2 X T 発振回路

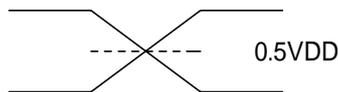


図 3 A C タイミング測定点

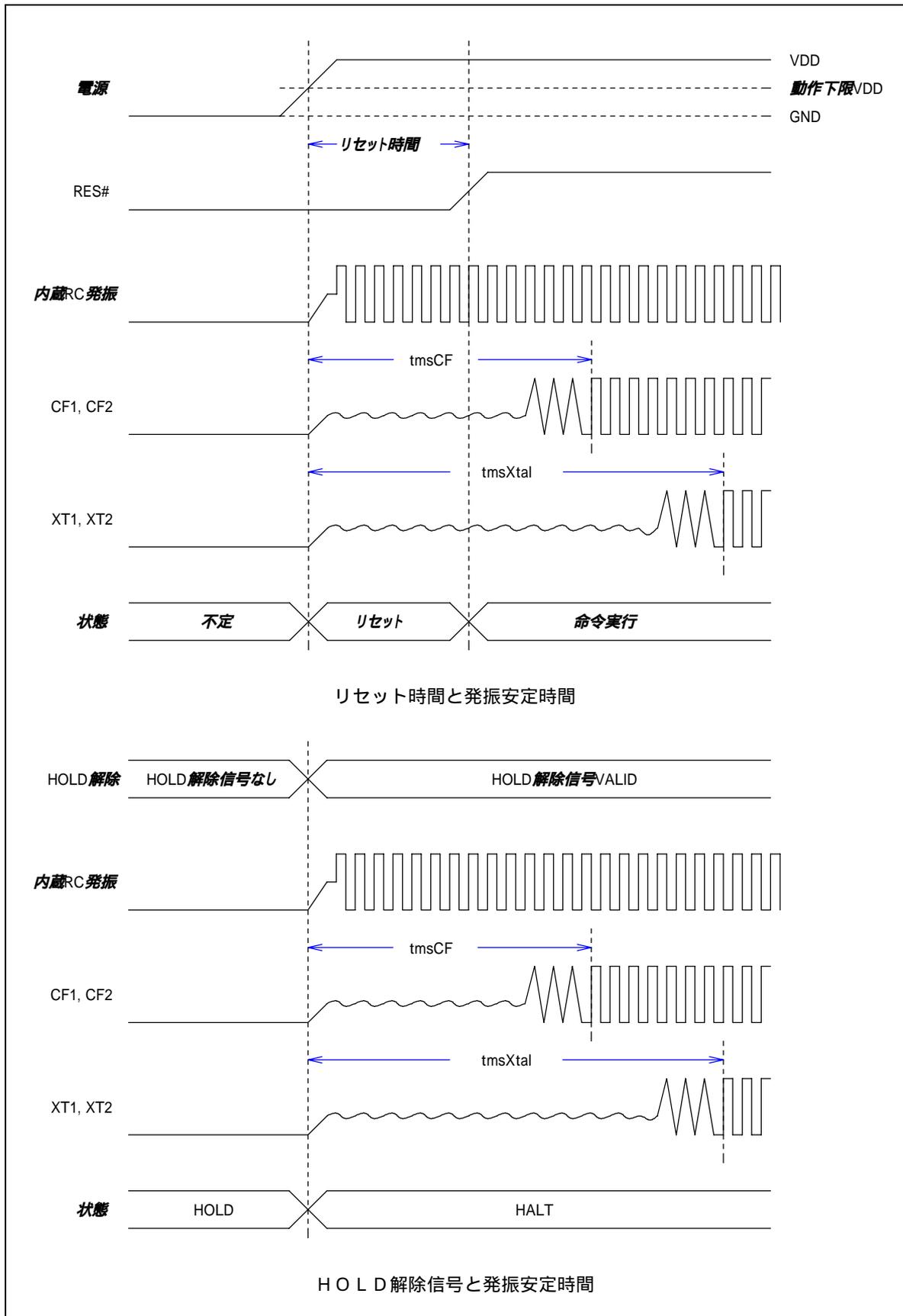


図4 発振安定時間

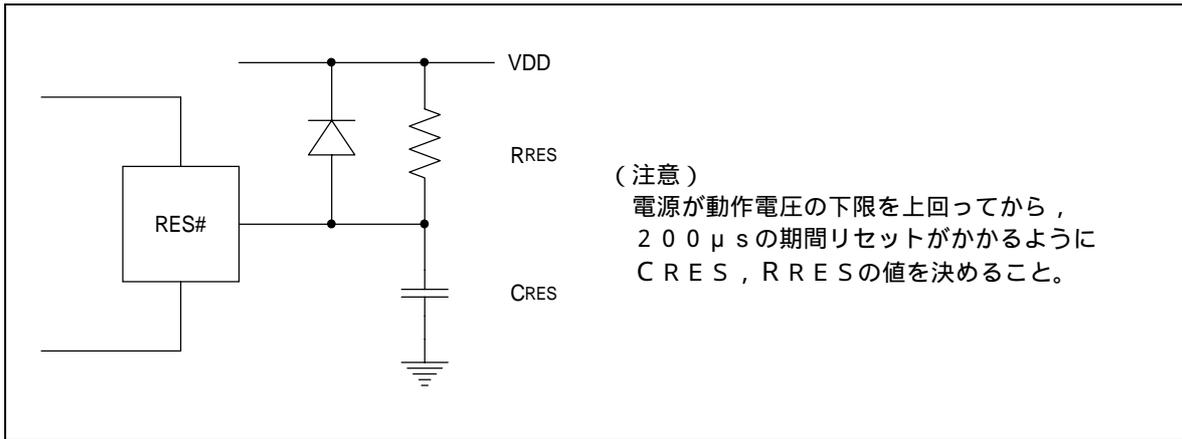


図5 リセット回路

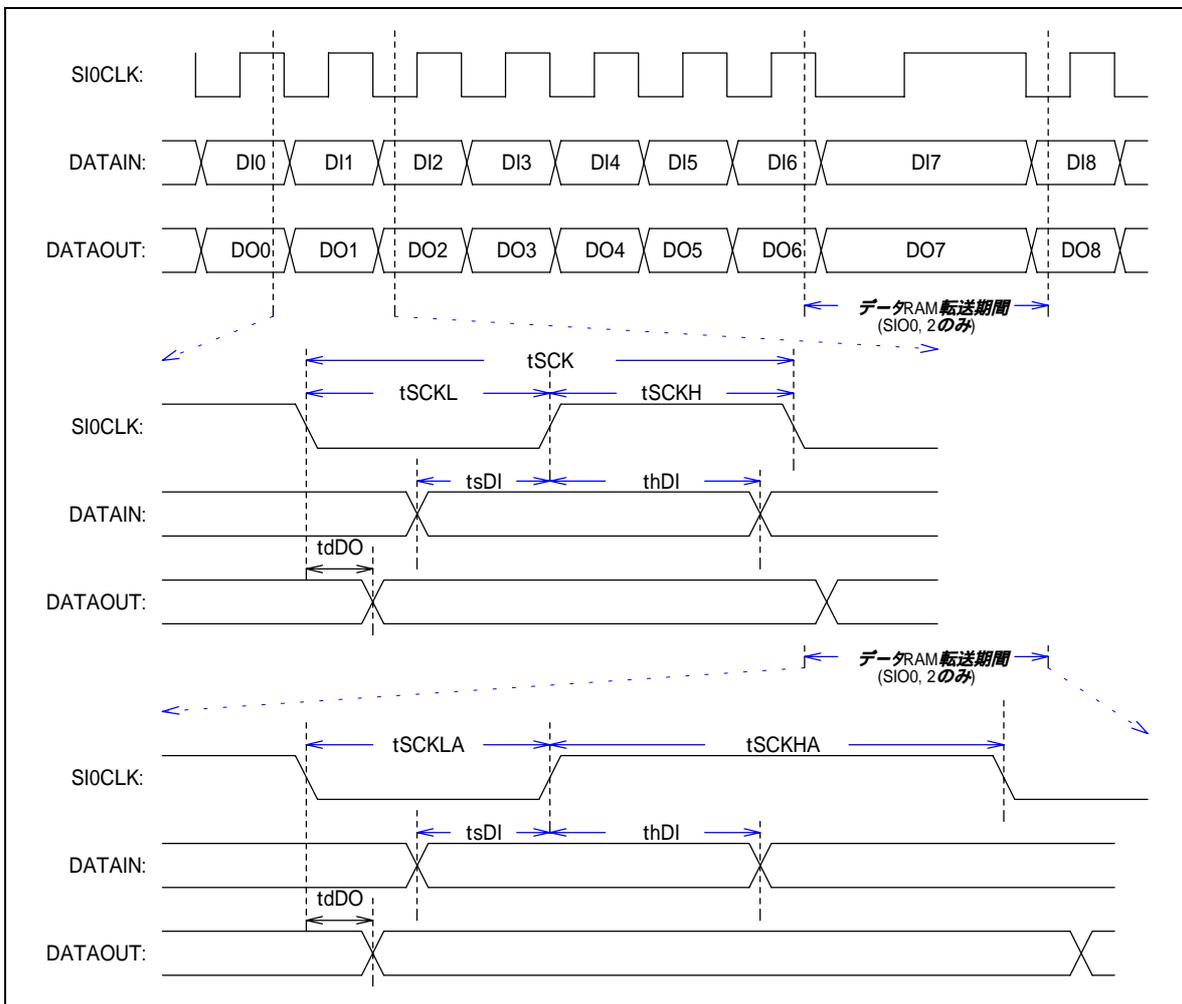


図6 シリアル入出力波形

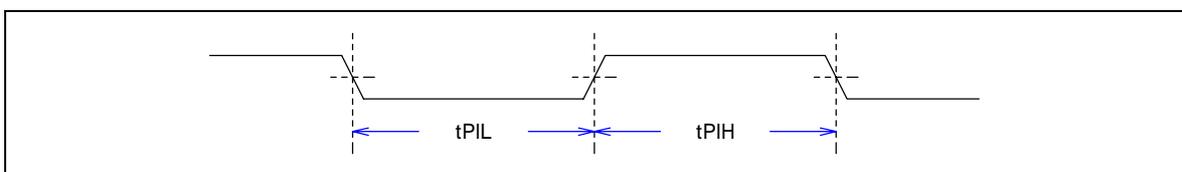
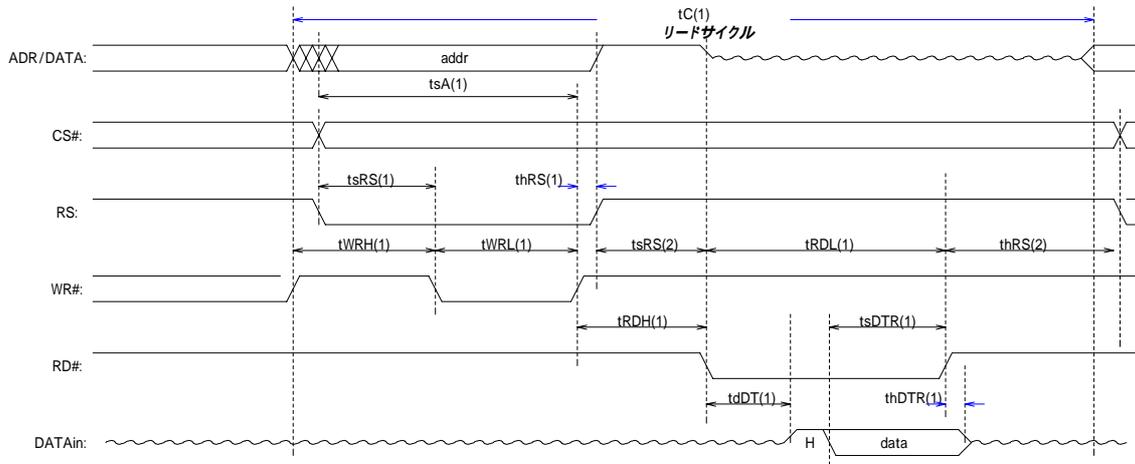


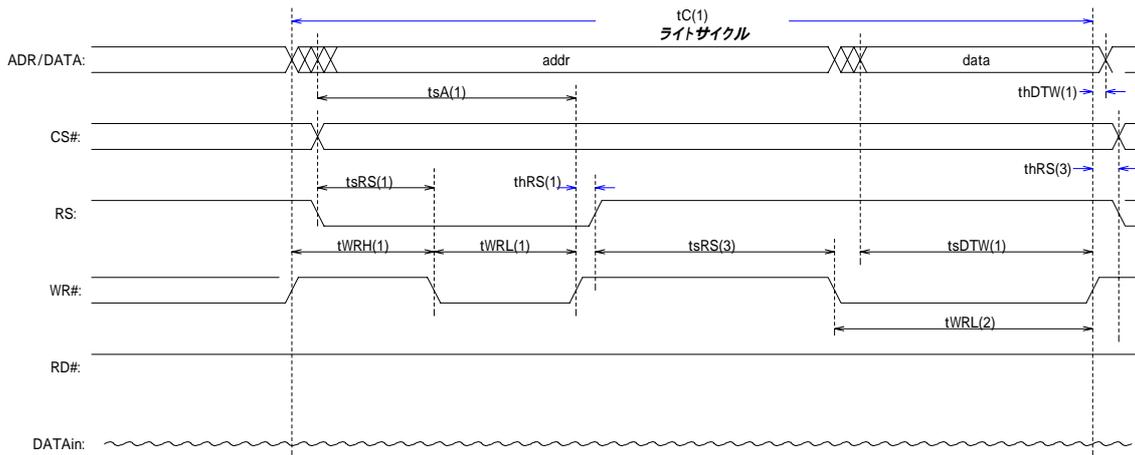
図7 パルス入力タイミング波形

・パラレル入出力タイミング波形：間接指定リードモード



注意：RS，WR#，RD#，CS#として使用するポートA端子は、オプションでC-MOS形式を選択すること。

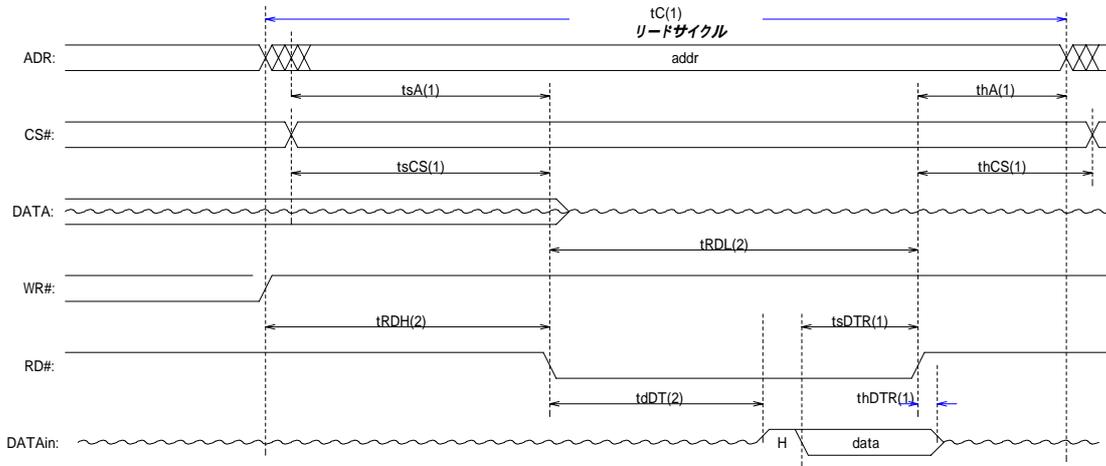
・パラレル入出力タイミング波形：間接指定ライトモード



注意：RS，WR#，RD#，CS#として使用するポートA端子は、オプションでC-MOS形式を選択すること。

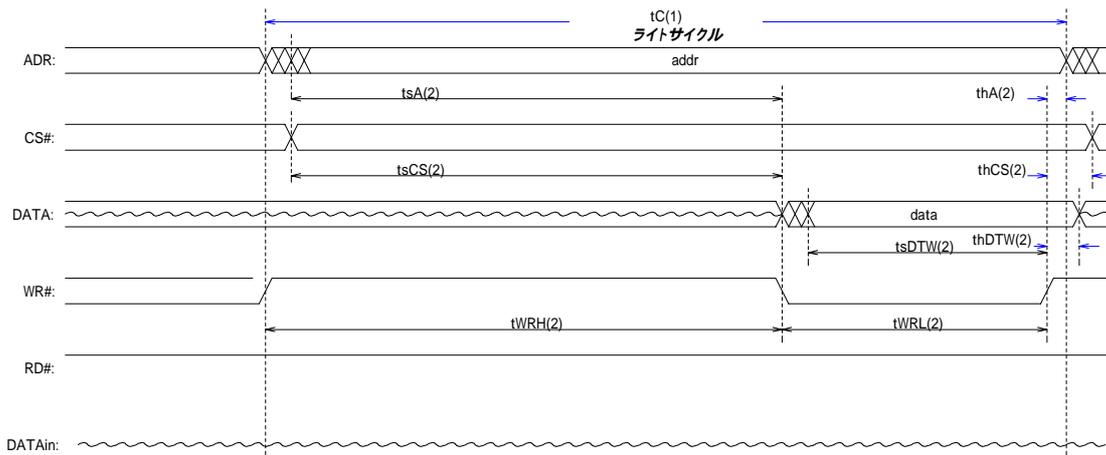
図8 間接モードパラレル入出力タイミング波形

・ 平行入出力タイミング波形：直接指定リードモード



注意：RS, WR#, RD#, CS#として使用するポートA端子は、オプションでC-MOS形式を選択すること。

・ 平行入出力タイミング波形：直接指定ライトモード



注意：RS, WR#, RD#, CS#として使用するポートA端子は、オプションでC-MOS形式を選択すること。

図9 直接モード平行入出力タイミング波形

- この資料の情報(掲載回路および回路定数を含む)は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。
- 本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。