

CDMA IF VGA及びI/Q復調器
VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

概要

MAX2310/MAX2312/MAX2314/MAX2316は、デュアルバンド、デュアルモード及びシングルモードN-CDMA及びW-CDMAセルラ電話機器用に設計されたIFレシーバです。信号経路は可変利得アンプ(VGA)及びI/Q復調器からなっています。これらのデバイスは、+2.7V電源動作保証、110dB以上のダイナミックレンジ及び高入力IP3(利得35dBにおいて-33dBm、-35dBにおいて1.7dBm)といった特長を備えています。

類似する他の製品とは異なり、MAX2310レシーバファミリは自己制御されたIFサブシステムを形成するデュアル発振器及びシンセサイザを内蔵しています。シンセサイザのリファレンス及びRF分周器は3線シリアルバスを通じて完全に設定可能になっているため、任意のコモンリファレンス及びIF周波数を使用したデュアルバンドシステム構造が可能です。差動ベースバンド出力はN-CDMAとW-CDMAシステムの両方に十分な帯域幅を持っており、+2.75Vの低電源電圧で飽和出力レベル2.7Vp-pを提供します。CDMA(差動IF)モードにおけるMAX2310は、低ノイズ電圧制御発振器(VCO)及びシンセサイザを含めて消費電流は僅か26mA(+2.75V電源)です。

MAX2310/MAX2312/MAX2314/MAX2316は、28ピンQSOPパッケージで提供されています。

アプリケーション

シングル/デュアル/トリプルモードCDMAハンドセット
グローバルスターデュアルモードハンドセット
ワイヤレスデータリンク
テトラダイレクトコンバージョンレシーバ
ワイヤレスローカルループ(WLL)

特長

- ◆ VCOとシンセサイザを含む完全IFサブシステム
- ◆ デュアルバンド、トリプルモード動作をサポート
- ◆ 110dB以上の利得制御範囲を持つVGA
- ◆ 直交復調器
- ◆ 高出力レベル：2.7V
- ◆ プログラマブルチャージポンプ電流
- ◆ 40MHz～300MHzの任意のIF周波数をサポート
- ◆ 3線プログラマブルインタフェース
- ◆ 低電源電圧：+2.7V

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX2310EEI	-40°C to +85°C	28 QSOP
MAX2312EEI	-40°C to +85°C	28 QSOP
MAX2314EEI	-40°C to +85°C	28 QSOP
MAX2316EEI	-40°C to +85°C	28 QSOP

ピン配置はデータシートの最後に記載されています。
ブロック図はデータシートの最後に記載されています。

選択ガイド

PART	MODE	DESCRIPTION	INPUT RANGE
MAX2310	AMPS, Cellular CDMA, PCS CDMA	Dual Band, Triple Mode	40MHz to 300MHz
MAX2312	PCS CDMA	Single Band, Single Mode	67MHz to 300MHz
MAX2314	AMPS, Cellular CDMA	Single Band, Dual Mode	40MHz to 150MHz
MAX2316	Cellular CDMA	Single Band, Single Mode or Single Band, Dual Mode with External Discriminator	40MHz to 150MHz

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

ABSOLUTE MAXIMUM RATINGS

V_{CC} to GND-0.3V, +6.0V
 $\overline{\text{SHDN}}$ to GND-0.3V to (V_{CC} + 0.3V)
 $\overline{\text{STBY}}$, $\overline{\text{BUFEN}}$, MODE, EN, DATA,
 CLK, DIVSEL-0.3V to (V_{CC} + 0.3V)
 VGC to GND-0.3V, the lesser of +4.2V or (V_{CC} + 0.3V)
 AC Signals TankH $\pm$, TankL $\pm$,
 REF, FM $\pm$, CDMA $\pm$ 1.0V peak

Digital Input Current $\overline{\text{SHDN}}$, MODE, DIVSEL,
 $\overline{\text{BUFEN}}$, DATA, CLK, $\overline{\text{EN}}$, $\overline{\text{STBY}}$ $\pm 10\text{mA}$
 Continuous Power Dissipation (T_A = +70°C)
 28-pin QSOP (derate 10mW/°C above T_A = +70°C)800mW
 Operating Temperature Range-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-65°C to +160°C
 Lead Temperature (soldering, 10sec)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +2.7V to +5.5V, MODE = DIVSEL = $\overline{\text{SHDN}}$ = $\overline{\text{STBY}}$ = $\overline{\text{BUFEN}}$ = high, differential output load = 10k Ω , T_A = -40°C to +85°C, registers set to default power-up settings. Typical values are at V_{CC} = +2.75V and T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Supply Current (Note 1)	I _{CC}	CDMA mode	T _A = +25°C		25.9	37.5	mA
			T _A = -40°C to +85°C			41.5	
		FM IQ mode	T _A = +25°C		25.4	36.7	
			T _A = -40°C to +85°C			40.6	
		FM I mode	T _A = +25°C		24.7	35.7	
			T _A = -40°C to +85°C			39.5	
		STANDBY (VCO_H)	T _A = +25°C		12.3	18.8	
			T _A = -40°C to +85°C			20.7	
		STANDBY (VCO_L)	T _A = +25°C		11.5	18.4	
			T _A = -40°C to +85°C			20.3	
		Addition for LO out ($\overline{\text{BUFEN}}$ = low)			3.5		
Shutdown Current	I _{CC}	$\overline{\text{SHDN}}$ = low			1.5	10	μA
Register Shutdown Current	I _{CC}				3	5.8	mA
Logic High				2.0			V
Logic Low						0.5	V
Logic High Input Current	I _{IH}			2			μA
Logic Low Input Current	I _{IL}					2	μA
VGC Control Input Current		0.5V < V _{VGC} < 2.3V		-5		5	μA
VGC Control Input Current During Shutdown		$\overline{\text{SHDN}}$ = low				1	μA
Lock Indicator High (locked)		50kΩ load		2.0			V
Lock Indicator Low (unlocked)		50kΩ load				0.5	V
DC Offset Voltage		I+ to I- and Q+ to Q-, PLL locked		-20	±1.5	+20	mV
Common-Mode Output Voltage		V _{CC} = 2.75V			V _{CC} - 1.4		V

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

AC ELECTRICAL CHARACTERISTICS

(MAX2310/MAX2314 or MAX2312/MAX2316 EV kit, $V_{CC} = +2.75V$, registers set to default power-up states, $f_{IN} = 210.88MHz$ for CDMA, $f_{IN} = 85.88MHz$ for FM, $f_{REF} = 19.68MHz$, synthesizer locked with passive 2nd-order lead-lag loop filter, $\overline{SHDN} = high$, VGC set for +35dB voltage gain, differential output load = $10k\Omega$, all power levels referred to 50Ω , $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Frequency	f _{IN}	(Note 2)		40		300	MHz
Reference Frequency	f _{REF}	(Note 2)				39	MHz
Frequency Reference Signal Level	V _{REF}			0.2			Vp-p
SIGNAL PATH, CDMA MODE							
Input Third-Order Intercept	IIP3	Gain = -35dB (Note 3)		1.7		dBm	
		Gain = +35dB (Note 4)		-33.2			
Input 1dB Compression	P _{1dB}	Gain = -35dB		-9	-6.4	dBm	
		Gain = +35dB		-44	-38.3		
Input 0.25dB Desensitization		(Note 5)	Gain = -35dB	-14.8		dBm	
			Gain = +35dB	-49			
Minimum Voltage Gain	A _V	V _{GC} = 0.5V (Note 6)		-54.8	-49	dB	
Maximum Voltage Gain	A _V	V _{GC} = 2.3V (Note 6)		56	61.3	dB	
DSB Noise Figure	NF	Gain = -35dB		62.9		dB	
		Gain = +35dB		6.36			
SIGNAL PATH, FM_IQ MODE							
Input Third-Order Intercept	IIP3	(Note 7)	Gain = -35dB	-6.0		dBm	
			Gain = +35dB	-31			
Input 1dB Compression	P _{1dB}	(Notes 6, 8)	Gain = -35dB	-20	-16.2	dBm	
			Gain = +35dB	-44	-38.4		
Minimum Voltage Gain	A _V	V _{GC} = 0.5V (Note 6)		-50.2	-47.4	dB	
Maximum Voltage Gain	A _V	V _{GC} = 2.3V (Note 6)		58.5	63.4	dB	
SIGNAL PATH, CDMA and FM_IQ MODE							
Maximum Gain Variation Over Temperature		Normalized to +25°C		±2.5		dB	
Baseband 0.5dB Bandwidth				4.2		MHz	
Quadrature Suppression		T _A = T _{MIN} to T _{MAX}		+30	+35	dB	
LO to Baseband Leakage				1		mVp-p	
Saturated Output Level	V _{SAT}	Differential		2.7		Vp-p	
PHASE-LOCKED LOOP							
VCO Tune Range	f _{VCO_L}	(Note 2)		80	300	MHz	
	f _{VCO_H}			135	600		
LOOUT Output Power	P _{LO}	R _L = 50Ω, BUFEN = low		-13.7		dBm	

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

AC ELECTRICAL CHARACTERISTICS (continued)

(MAX2310/MAX2314 or MAX2312/MAX2316 EV kit, $V_{CC} = +2.75V$, registers set to default power-up states, $f_{IN} = 210.88MHz$ for CDMA, $f_{IN} = 85.88MHz$ for FM, $f_{REF} = 19.68MHz$, synthesizer locked with passive 2nd-order lead-lag loop filter, $\overline{SHDN} = high$, VGC set for +35dB voltage gain, differential output load = $10k\Omega$, all power levels referred to 50Ω , $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VCO Minimum Divide Ratio	M1, M2				256	
VCO Maximum Divide Ratio	M1, M2		16383			
REF Minimum Divide Ratio	R1, R2				2	
REF Maximum Divide Ratio	R1, R2		2047			
Minimum Phase Detector Comparison Frequency		(Note 6)			20	kHz
Maximum Phase Detector Comparison Frequency		(Note 6)	1500			kHz
Base Band Spurious due to PLL					-50	dBc
LOOUT at 85MHz, VCO_L Enabled (Note 9)		1kHz offset		-72		dBc/Hz
		12.5kHz offset		-100		
		30kHz offset		-110		
		120kHz offset		-119		
		900kHz offset		-125		
LOOUT at 210MHz, VCO_H Enabled (Note 9)		1kHz offset		-64		dBc/Hz
		12.5kHz offset		-91		
		30kHz offset		-105		
		120kHz offset		-115		
		900kHz offset		-125		
TURBO LOCK						
Charge-Pump Source/Sink Current		Acquisition, CPX = XX, TC = 1	1480	2100	2650	μA
		Locked, CPX = 00	105	150	190	
		Locked, CPX = 01	150	210	265	
		Locked, CPX = 10	210	300	380	
		Locked, CPX = 11	300	425	530	
Charge-Pump Source/Sink Matching		Locked, all values of CPX, 0.5V < VCP < VCC - 0.5V		0.2	10	%

Note 1: FM_IQ and FM_I modes are not available on MAX2312 and MAX2316.

Note 2: Recommended operating frequency range.

Note 3: $f_1 = 210.88MHz$, $f_2 = 210.89MHz$, $P_{f1} = P_{f2} = -15dBm$.

Note 4: $f_1 = 210.88MHz$, $f_2 = 210.89MHz$, $P_{f1} = P_{f2} = -50dBm$.

Note 5: Small-signal gain at 200kHz below the LO frequency will be reduced by less than 0.25dB when an interfering signal at 1.25MHz below the LO frequency is applied at the specified level.

Note 6: Guaranteed by design and characterization.

Note 7: $f_1 = 85.88MHz$, $f_2 = 85.98MHz$, $P_{f1} = P_{f2} = -15dBm$.

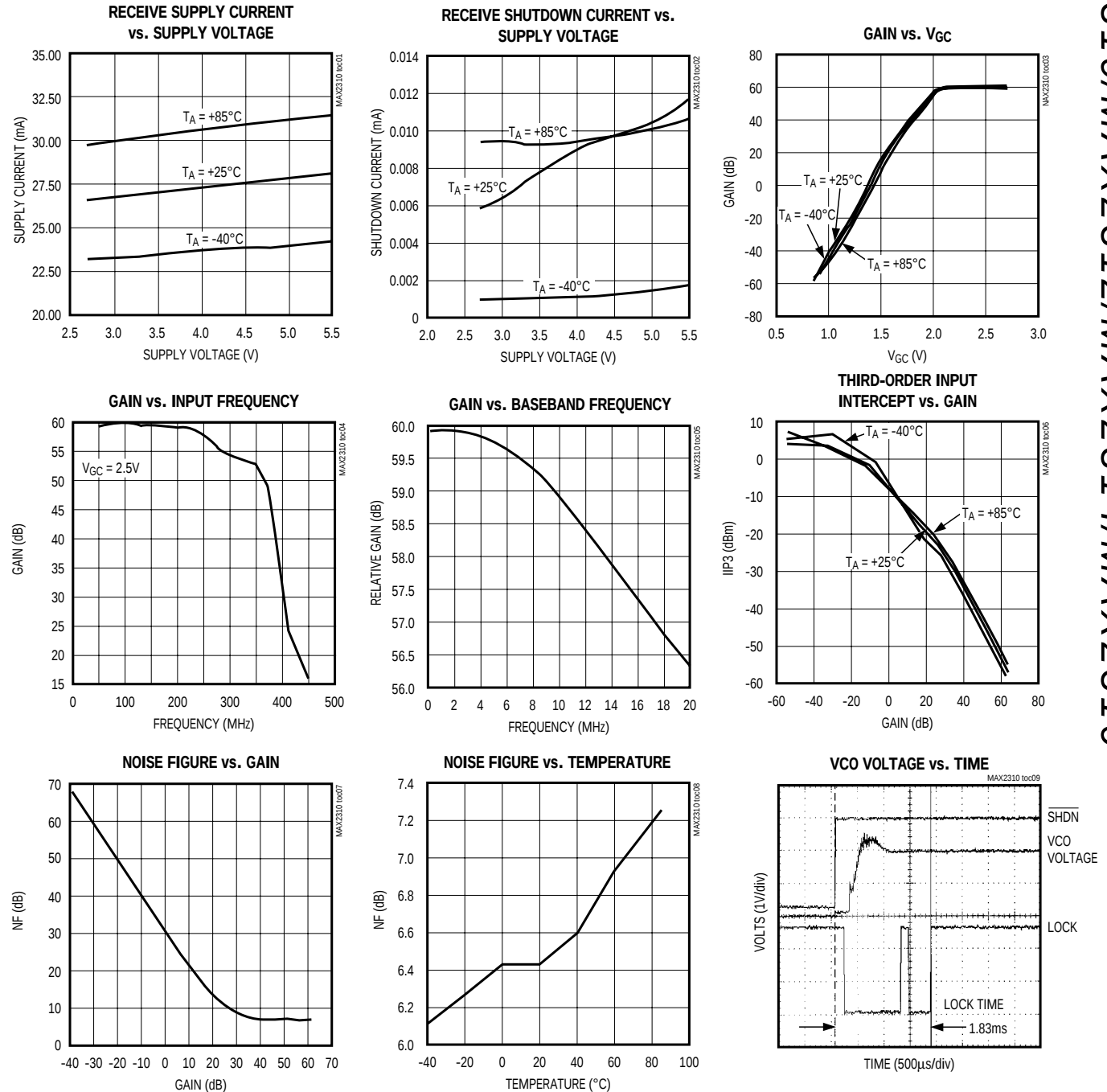
Note 8: $f_1 = 85.88MHz$, $f_2 = 85.98MHz$, $P_{f1} = P_{f2} = -50dBm$.

Note 9: Measured at LOOUT with BD = 0 (+2 selected).

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

標準動作特性

(MAX2310/MAX2314 or MAX2312/MAX2316 EV kit, $V_{CC} = +2.75V$, registers set to default power-up states, $f_{IN} = 210.88MHz$ for CDMA, $f_{IN} = 85.88MHz$ for FM, $f_{REF} = 19.68MHz$, synthesizer locked with passive 2nd-order lead-lag loop filter, SHDN = high, VGC set for +35dB voltage gain, differential output load = 10k Ω , all power levels referred to 50 Ω , $T_A = +25^\circ C$, unless otherwise noted.)

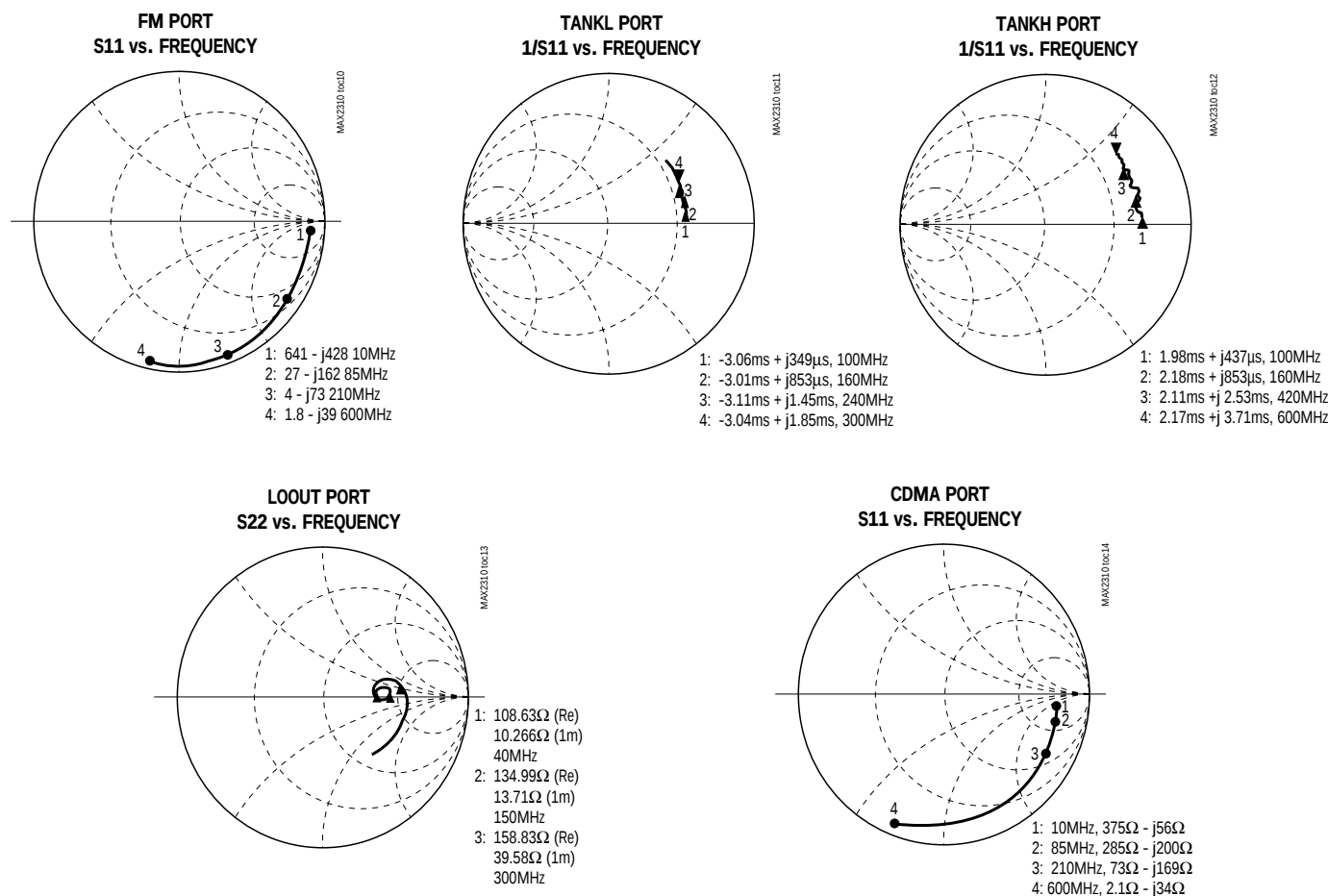


MAX2310/MAX2312/MAX2314/MAX2316

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

標準動作特性(続き)

(MAX2310/MAX2314 or MAX2312/MAX2316 EV kit, $V_{CC} = +2.75V$, registers set to default power-up states, $f_{IN} = 210.88MHz$ for CDMA, $f_{IN} = 85.88MHz$ for FM, $f_{REF} = 19.68MHz$, synthesizer locked with passive 2nd-order lead-lag loop filter, SHDN = high, VGA set for +35dB voltage gain, differential output load = 10k Ω , all power levels referred to 50 Ω , $T_A = +25^{\circ}C$, unless otherwise noted.)



端子説明

端子				名称	機能
MAX2310	MAX2312	MAX2314	MAX2316		
1	1	1, 8	1	BYP	バイパスノード。アナロググランドに容量デカップリング(バイパス)する必要があります。
2	2	2	2	CP_OUT	チャージポンプ出力
3	3	3	3	GND	アナロググランドリファレンス
4, 5	—	4, 5	5, 6	TANKL+, TANKL-	低周波発振器の差動タンク入力
—	4	—	4	DIVSEL	ハイにするとM1/R1が選択されます。ローにするとM2/R2が選択されます。

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

端子説明(続き)

端子				名称	機 能
MAX2310	MAX2312	MAX2314	MAX2316		
6, 7	5, 6	—	—	TANKH+, TANKH-	高周波発振器の差動タンク入力
—	7	—	7	$\overline{\text{BUFEN}}$	LOバッファアンプ(アクティブロー)
—	—	6, 7	—	N.C.	無接続。必ずオープン回路にしておいて下さい。
8	—	—	—	MODE	モード選択。ハイの時にCDMAモード、ローの時にFMモードになります。
—	8	—	8	LOOUT	内部VCO出力。BDピットの設定によって、LOOUTはVCO周波数(IF周波数の2倍)又はVCO周波数の半分(IF周波数と同じ)になります。
9	9	9	9	V _{CC}	ディジタル回路用の+2.7V ~ +5.5V電源
10	10	10	10	GND	ディジタルグランド
11	11	11	11	REF	リファレンス周波数入力
12	12	12	12	$\overline{\text{SHDN}}$	シャットダウン入力(アクティブロー)。ローの時にデバイス全体(レジスタ及びシリアルインタフェースを含む)がパワーダウンします。
13, 14	13, 14	13, 14	13, 14	IOUT+, IOUT-	差動同相ベースバンド出力又はFM信号出力FM_Iモードが選択されます。
15	15	15	15	LOCK	ロック出力(オープンコレクタピン)。ロジックハイの場合は位相ロックされた状態を意味します。
16, 17	16, 17	16, 17	16, 17	QOUT-, QOUT+	差動直交位相ベースバンド出力。FM_Iモードが選択されるとディセーブルされます。
18	18	18	18	CLK	3線シリアルバスのクロック入力
19	19	19	19	$\overline{\text{EN}}$	イネーブル入力。ローの時に入力シフトレジスタがイネーブルされます。
20	20	20	20	DATA	3線シリアルバスのデータ入力
21	21	21	21	V _{CC}	アナログ回路の2.7V ~ 5.5V電源
22	22	22	22	VGC	VGA利得制御入力。制御電圧範囲は0.5V ~ 2.3Vです。
23, 24	23, 24	23, 24	23, 24	CDMA-, CDMA+	差動CDMA入力。CDMAモードでアクティブになります。
25	—	25	—	FM+	差動正入力。FMモードでアクティブになります。
—	25	—	25	N.C.	無接続
26	—	26	—	FM-	FM信号の差動負入力。GNDにバイパスするとシングルエンド動作になります。
—	26	—	26	$\overline{\text{STBY}}$	スタンバイ入力(アクティブロー)。ローの時にVCO、PLL及びシリアルバスをオン状態に維持しながら、VGAと復調器をパワーダウンします。
27, 28	27, 28	27, 28	27, 28	BYP	バイパスノード。アナログV _{CC} に容量デカップリング(バイパス)する必要があります。

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

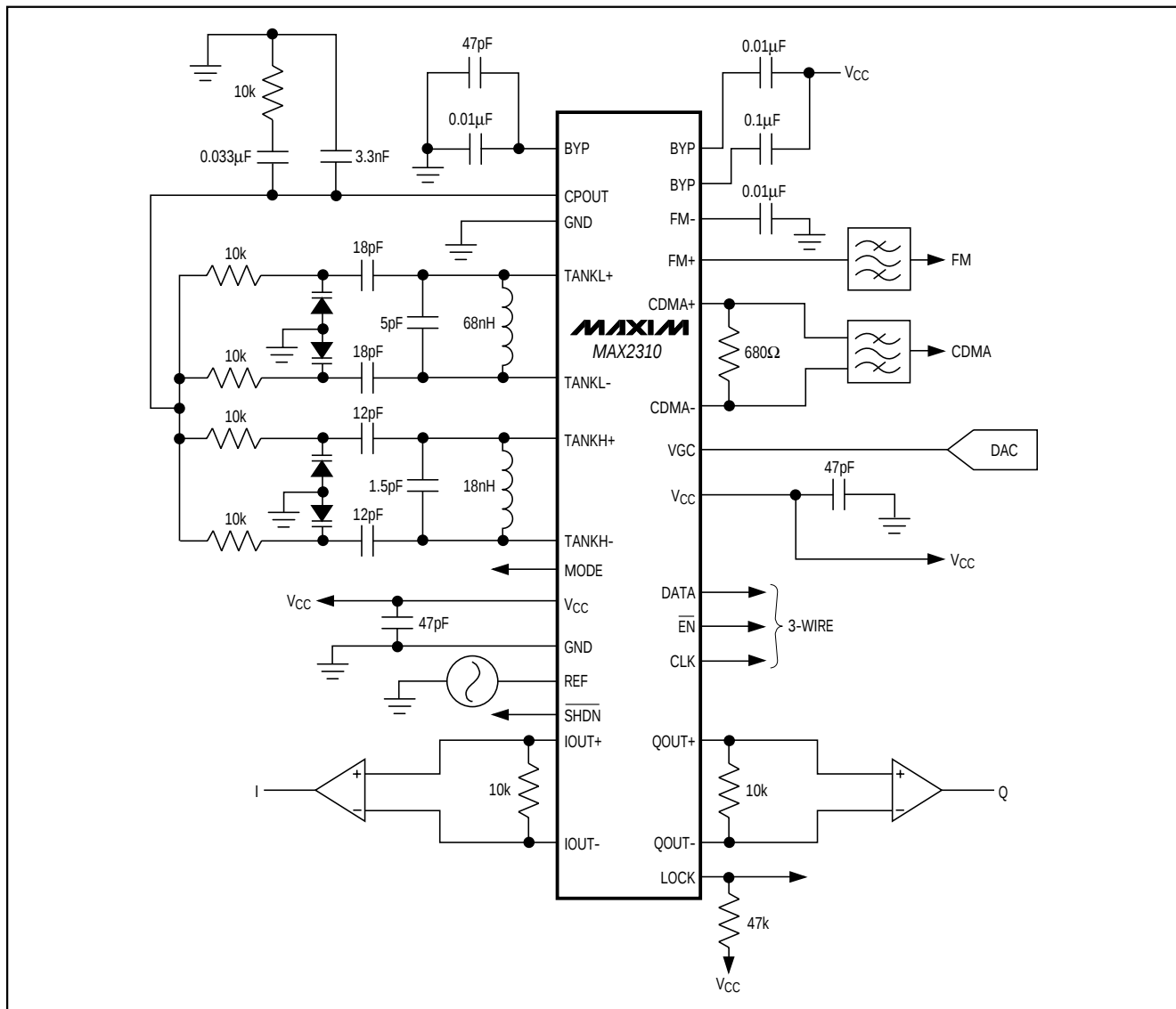


図1. MAX2310の標準動作回路

詳細 _____

MAX2310

MAX2310は、デュアルバンド(PCS及びセルラ)及びデュアルモードコード分割マルチプルアクセス(CDMA)及びFMアプリケーション用に設計されています(図1)。本素子はIF可変利得アンプ、直交復調器、デュアルVCO及びデュアル周波数シンセサイザを内蔵しています(図7)。デュアルVCOは、各モード又は動作バンドで異なるIF周波数を使用するアプリケーション用として

提供されています。アナログFM出力信号は、Iチャンネルに変換するように設定することも、直交的にIとQチャンネルの両方に変換することもできます。MAX2310の動作モードは表1に説明されています。これらのモードは、制御レジスタのプログラミング及び制御ピンのロジックレベルの設定によって設定できます。MODEがフローティングのままにされると、内部レジスタが動作を制御します。ハイ又はローに駆動すると、表1に示すようにモードがレジスタビットの一部より優先されます。

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

表1. MAX2310の制御レジスタ状態

動作 モード	動作 結果	端子		制御レジスタ													L S B
		SHDN	MODE	TEST_MODE	CP POL	TEST_EN	TURBOCHARGE	DIVSEL	VCO_BYP	VCO_SEL	BUF_DIV	BUFEN	FM_TYPE	IN_SEL	STBY	SHDN	
SHUTDOWN	シャットダウンピンにより、素子を完全にパワーダウンします。	L	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
SHUTDOWN	シャットダウンレジスタビットが0の時、シリアルポートはアクティブのままです。	H	X	X	X	X	X	X	X	X	X	X	X	X	X	0	
STANDBY	スタンバイレジスタビットが0の時、VGAと変調器のみがパワーオフになります。	H	X	X	X	0					X	X			0	1	
CDMA	モードピンにより、VCO_SEL、DIVSEL及びIN_SELをハイにします。	H	H			0		X		X	X	X	X	X	1	1	
CDMA	モードピンをフローティングにすると、レジスタに制御が戻ります。	H	F			0		1		1	X	X	X	1	1	1	
FM_IQ	モードピンにより、VCO_SEL、DIVSEL及びIN_SELをローにします。	H	L			0		X		X	X	X	0	X	1	1	
FM_IQ	モードピンをフローティングにすると、レジスタに制御が戻ります。	H	F			0					X	X	0	0	1	1	
FM_I	モードピンにより、VCO_SEL、DIVSEL及びIN_SELをローにします。	H	L			0		X		X	X	X	1	X	1	1	
FM_I	ピンをフローティングにすると、レジスタに制御が戻ります。	H L	F			0					X	X	1	0	1	1	

注記：H=ハイ、L=ロー、F=フローティングピン、X=任意、ブランク=独立したパラメータ、1=ロジックハイ、0=ロジックロー。

MAX2312/MAX2316

MAX2312/MAX2316直交復調器は、外部FMディスクリミネータを使用したデュアルモード又はシングルモードCDMAで使えるMAX2310の簡易版です(図2a及び2b)。MAX2312 VCOは、67MHz～300MHzのIF周波数範囲に最適化されています。MAX2316 VCOは、40MHz～150MHzのIF周波数範囲に最適化されています。

いずれの素子もVCOのバッファ付出力を含んでいます。バッファ付VCO出力は、TDDシステム内の送信LO用又はデュアルモード電話のFM復調用に従来のリミティングIF段を使用しているシステムをサポートするために使用できます。このバッファ付出力は、VCO周波数(IF周波数

の2倍)又はVCO周波数の半分(IF周波数)に設定できます。BUFENピンがこの機能をイネーブルします。シリアルインタフェース又はSTBYピンを通じてスタンバイモードを選択できますが、このモードにおいては、VCO及びシンセサイザだけが動作します。表2に、MAX2312/MAX2316の動作モードが説明されています。これらのモードは、制御レジスタのプログラミング及び/又は制御ピンのロジックレベルの設定によって設定されます。制御ピン(STBY、BUFEN、DIVSEL)がフローティングのままになっていると、内部レジスタが動作モードを制御します。ハイ又はローに駆動すると、表2に示すように制御ピンがレジスタビットの一部より優先されます。

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

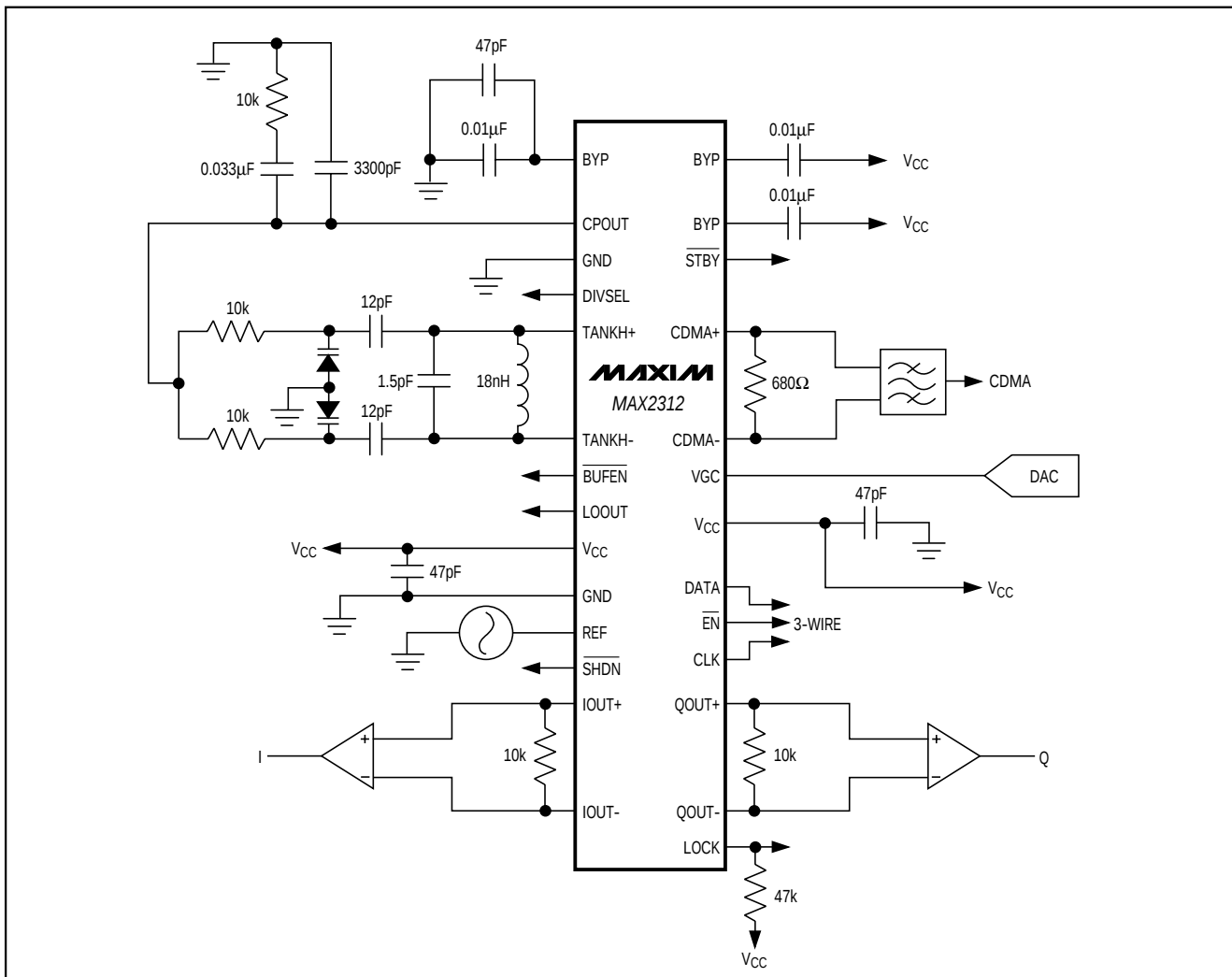


図2a. MAX2312の標準動作回路

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

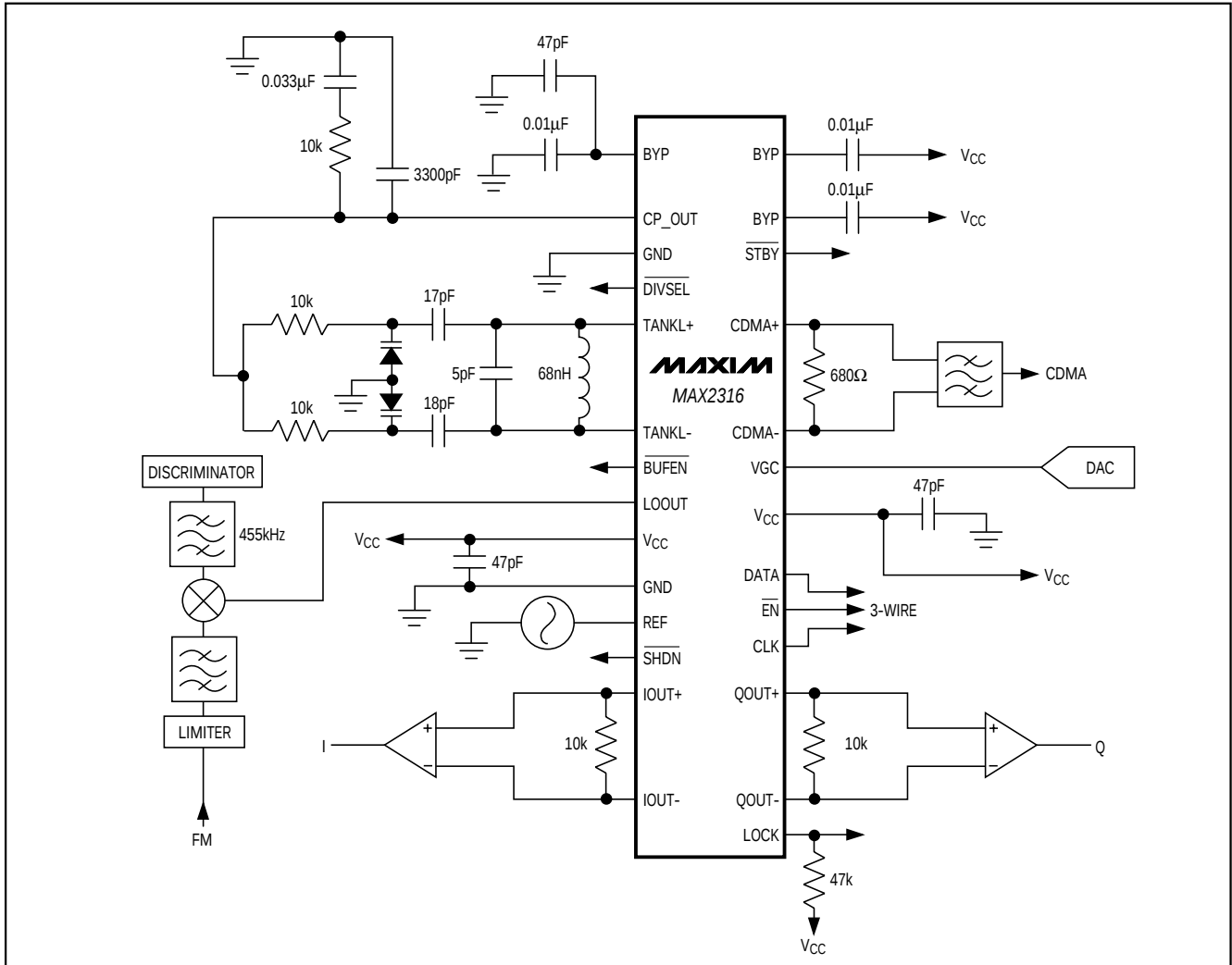


図2b. MAX2316の標準動作回路

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

表2. MAX2312/MAX2316の制御レジスタ状態

動作 モード	動作 結果	端子				M S B 制御レジスタ													L S B
		SHDN	DIVSEL	BUFEN	STBY	TEST_MODE	CP_POL	TES_TEN	TURBOCHARGE	DIVSEL	VCO_BYP	VCO_SEL	BUF_DIV	BUFEN	FM_TYPE	IN_SEL	STBY	SHDN	
SHUTDOWN	シャットダウンピンにより素子を完全にパワーダウンします。	L	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
SHUTDOWN	シャットダウンレジスタビットが0の時、シリアルバスをアクティブにします。	H	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	
STANDBY	スタンバイピンが0の時、VGA及び変調器のみをパワーダウンします。	H			L			0				X					X	1	
STANDBY	スタンバイレジスタビットが0の時、VGA及び変調器のみをパワーダウンします。	H	H/L	H				0				X					0	1	
DIVIDER SELECT	DIV_SELピンはDIV_SELレジスタビットより優先されます。	H	H/L		H			0		X		X						1	
DIVIDER SELECT	DIV_SELピンがフローティングの場合、レジスタビットはデバイダを選択します。	H	F		H			0		1/0		X						1	
LO BUFFER ENABLE	BUFENピンによりLOバッファを制御し、そのビットより優先されます。	H/L		H				0				X		X				1	
LO BUFFER ENABLE	ピンがフローティングの場合、BUFENレジスタビットによりバッファを制御します。	H		F				0				X		1/0				1	

注記：H=ハイ、L=ロー、1=ロジックハイ、0=ロジックロー、X=任意、ブランク=独立したパラメータ。

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

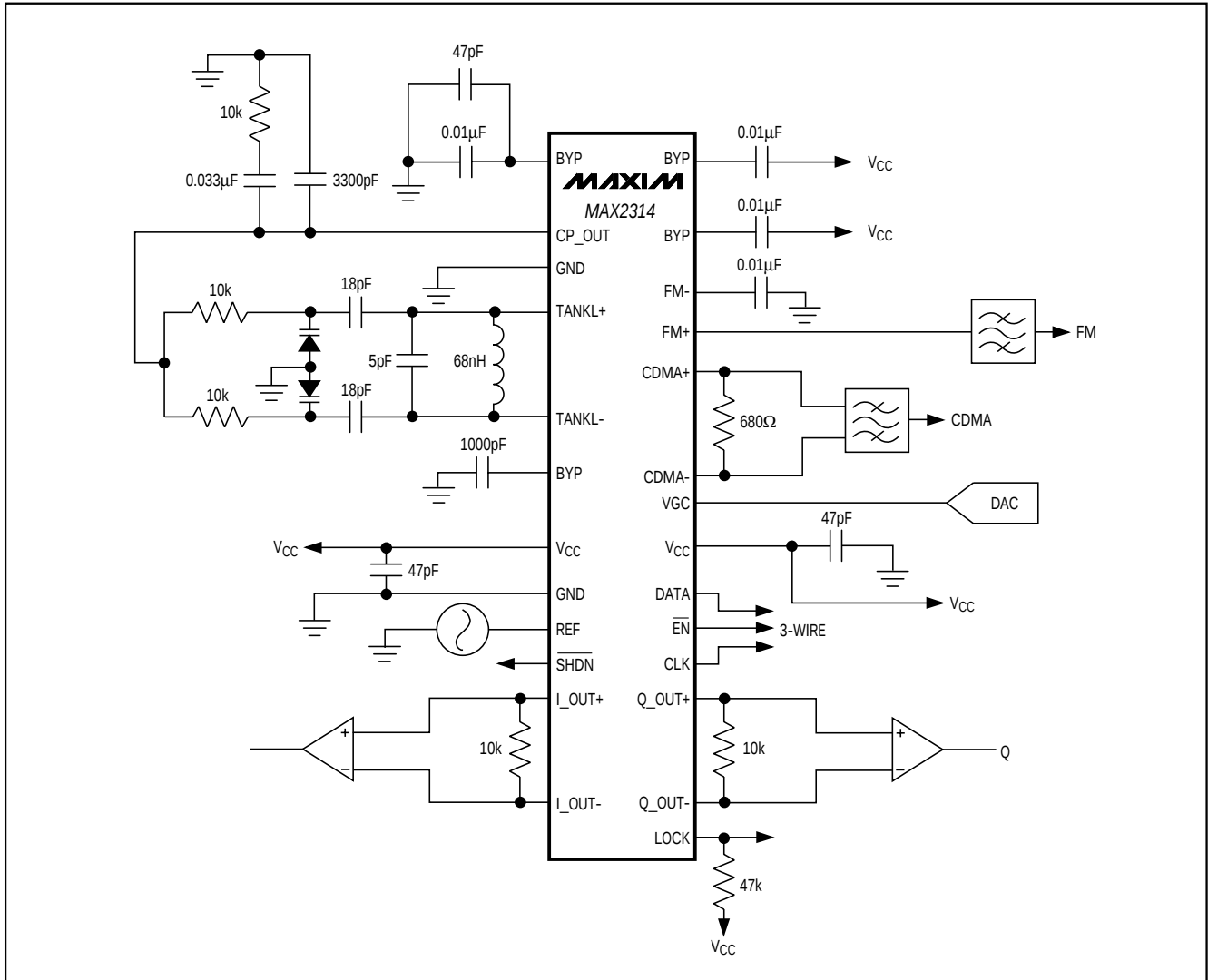


図3. MAX2314の標準動作回路

MAX2314

MAX2314はCDMAセルラバンド、デュアル動作をサポートします。MAX2310の場合と同様、FMモードはIポートへの変換又はI及びQポート両方への直交変換を設定できます(図3)。MAX2314の動作モードは表3に説明されています。これらのモードは、制御レジスタのプログラミング及び制御ピンのロジックレベルを指定することにより設定されます。

アプリケーション情報

可変利得アンプ及び復調器

MAX2310ファミリは、優れた利得範囲を持つ可変利得アンプ(VGA)を備えています。MAX2310/MAX2314は、IN_SEL (IS)制御ビットで選択可能なデュアル差動入力のマルチモードアプリケーションをサポートします。MAX2310においては、この機能はMODEピンで制御できます。このピンはIS制御ビット無効にします。

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

表3. MAX2314の制御レジスタ状態

動作 モード	動作 結果	端 子	制御レジスタ													L S B
		SHDN	TEST_MODE	CP_POL	TEST_EN	TURBOCHARGE	DIVSEL	VCO_BYP	VCO_SEL	BUF_DIV	BUFEN	FM_TYPE	IN_SEL	STBY	SHDN	
SHUTDOWN	シャットダウンピンにより素子を完全にパワーダウンします。	L	X	X	X	X	X	X	X	X	X	X	X	X	X	X
SHUTDOWN	シャットダウンレジスタビットが0の時、シリアルポートをアクティブにします。	H	X	X	X	X	X	X	X	X	X	X	X	X	X	L
STANDBY	スタンバイピンが0の時、VGA及び変調器のみをパワーダウンします。	H			0				0	X	X			0	1	
CDMA	CDMA動作	H			0				0	X	X	X	1	1	1	
FM_IQ	FM IQ 直交動作	H			0				0	X	X	0	0	1	1	
FM_I	FM I 動作	H			0				0	X	X	1	0	1	1	

注記：H=ハイ、L=ロー、1= ロジックハイ、0 = ロジックロー、X = 任意、ブランク = 独立したパラメータ

VGAの利得はVGCピンによって110dB以上の範囲で制御されます。VGAの出力は直交復調器のRFポートを駆動します。MAX2310/MAX2314は、2つのタイプのFM復調(FM_TYPE (FT)制御ビットで制御)を提供します。FM_TYPEが1の時、信号はI及びQ信号経路の両方を通り、ローパスフィルタリングを経てベースバンドでA/D変換されます。FM_TYPEが0の時、FM信号はIミキサのみを通じて送られます。

電圧制御発振器、バッファ及び直交発生

ダウンコンバージョン用のLO信号は、内蔵差動発振器及び外付高Q共振ネットワークからなる電圧制御発振器(VCO)によって提供されます。図4にVCO発振器の簡略化回路図を示します。マルチバンド動作は、デュアルVCOを備えたMAX2310によってサポートされます。VCO_H及びVCO_LはMODEピン又はVCO_SEL(VS)制御ビットによって選択可能です。これらは希望のLO周波数の2倍で発振します。外部LOを必要とするアプリケーションにおいては、VCO_BYP(VB)ビットを使用してVCOをバイパスすることができます。

MAX2312/MAX2316は、VCOの出力をバッファしてその信号をLOOUTピンに出します。この信号は、

BUFEN(BE)制御ビット又はBUFEN制御ピンによってイネーブルされます。この信号の周波数はBUF_DIV(BD)制御ビットによって選択され、VCO周波数又はVCO周波数の半分の周波数が可能です。

直交ダウンコンバージョンは、LO信号の同相(I)及び直交位相(Q)成分を上述の復調器のLOポートに供給することで実現されます。直交LO信号は、2つのラッチでVCO出力周波数を分周することによって発生します。適切なラッチ出力が希望のLO周波数でI及びQ信号を提供します。

シンセサイザ

VCOの出力周波数は、内部位相ロックループ(PLL)デュアルモジュラスシンセサイザによって制御されます。ループフィルタは、新しいアプリケーションのループ設計を容易にするために外付になっています。同調可能な共振ネットワークも、Qを最大限にするため及び設計の柔軟性のために外付になっています。VCO出力周波数はMカウンタによって希望の比較周波数まで分周されます。Mカウンタは、4ビットアスワローカウンタ及び10ビットPカウンタからなっています。リファレンス信号は外部ソースから供給され、Rカウンタを使って

比較周波数まで分周されます。2つの分周された信号は、スリーステートのデジタル位相周波数ディテクタで比較されます。位相ディテクタ出力がチャージポンプ、ロック検出ロジック及びターボチャージ制御ロジックを駆動します。チャージポンプ出力(CP_OUT)ピンはループフィルタによって処理され、同調可能な共振ネットワークを駆動してVCO周波数を変更し、ループを閉じます。

マルチモードアプリケーションは、2つの独立したプログラマブルレジスタによってサポートされています。各々がMカウンタ(M1、M2)、Rカウンタ(R1、R2)及びチャージポンプ出力電流の大きさ(CP1、CP2)になっています。DIVSEL(DS)ビットは、どのレジスタのセットが使用されるかを選択します。このビットは、MAX2310のMODEピン又はMAX2312/MAX2316のDIVSELピンの方が優先されます。これらのレジスタのプログラミングは、「3線インタフェース及びレジスタ」で説明されています。

素子が最初にパワーアップする時又は状態を変更した時、シンセサイザのアクイジション時間をターボ機能によって減少させることができます。この機能はTURBOCHARGE(TC)制御ビットによってイネーブルされます。ターボ機能は、アクイジションモード中に大きなチャージポンプ電流を提供します。いったんVCO周波数のアクイジションが完了すると、チャージ

ポンプ出力電流の大きさは自動的に予め設定された状態に戻り、これによってループ安定性が維持されてVCO出力信号の衝撃を最小限に抑えられます。

ロック検出出力は、PLLがロックされたことをロジックハイで表示します。

3線インタフェース及びレジスタ

MAX2310ファミリは、シンセサイザプログラミング及びデバイスの設定用に3線インタフェースを備えています(図5)。3線インタフェースはクロック、データ及びENABLEからなっています。このインタフェースはVCO分周器(M1及びM2)、リファレンス周波数分周器(R1及びR2)及び13ビット制御レジスタを制御します。制御レジスタは、動作モードを設定するために使用されます(表4)。入力シフトは長さが17データビットで、全部で18クロックビットを必要とします(図6)。データバスを初期化するため、イネーブルがローになる前に1個のクロックパルスが必要です。

M又はR分周器レジスタの値が設定され、ダウンロードされると、制御レジスタもその後に更新する必要があります。これにより、望ましくない時にターボロックがアクティブになるのを防ぐことができます。

$\overline{\text{SHDN}}$ 制御ビットは、 $\overline{\text{SHDN}}$ ピンとは異なるため注意が必要です。 $\overline{\text{SHDN}}$ 制御ビットがローの時、レジスタ及びシリアルインタフェースはアクティブに留まり、ラッチに保存された値は保持されますが、その他は停止します。これとは対照的に、 $\overline{\text{SHDN}}$ ピンがローになると、レジスタ及びシリアルインタフェースを含めて全てがシャットダウンします。図7のファンクションダイアグラムを参照して下さい。

レジスタ

図8にプログラミングロジックを示します。17ビットシフトレジスタはCLKの立ち上がりエッジでデータを同期入力することによって設定されます。シフトレジスタがデータを受け取れるようにするには、その前に $\overline{\text{EN}}$ がハイの状態にCLK入力を少なくとも完全な1クロックサイクルで駆動初期化する必要があります(図6を参照)。イネーブルをローに引きつけると、データをシフトレジスタに同期入力できるようになります。イネーブルをハイに引きつけると、それぞれA0、A1及びA2とアドレス指定されたレジスタがロードされます(図8)。表5に、全てのレジスタのパワーオンデフォルト値を示します。表6はCP0とCP1に依存するチャージポンプ電流を示しています。

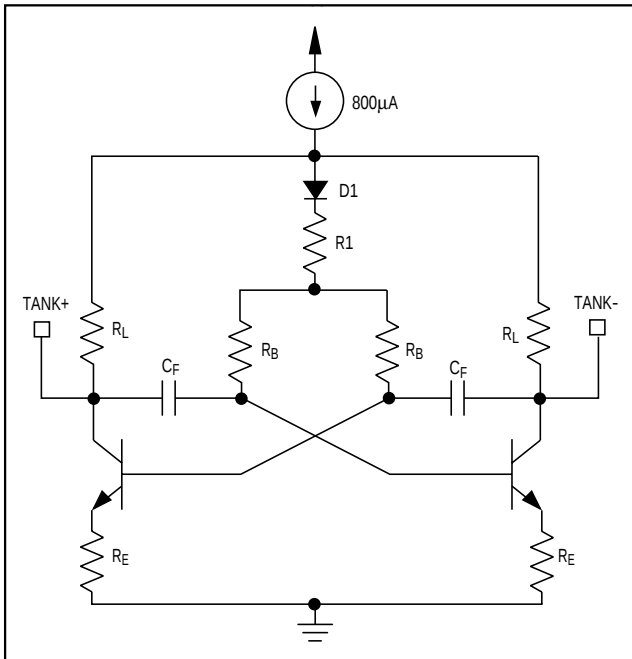


図4. 電圧制御発振器

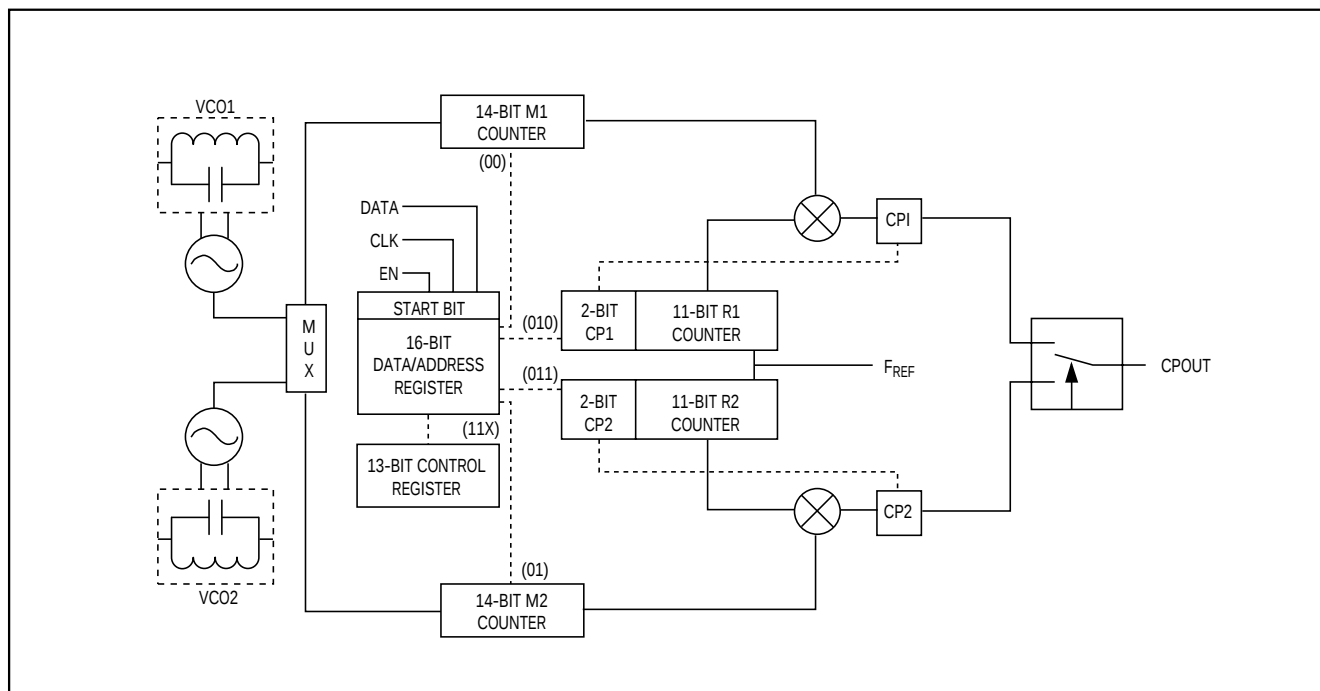


図5. 3線制御ブロック図

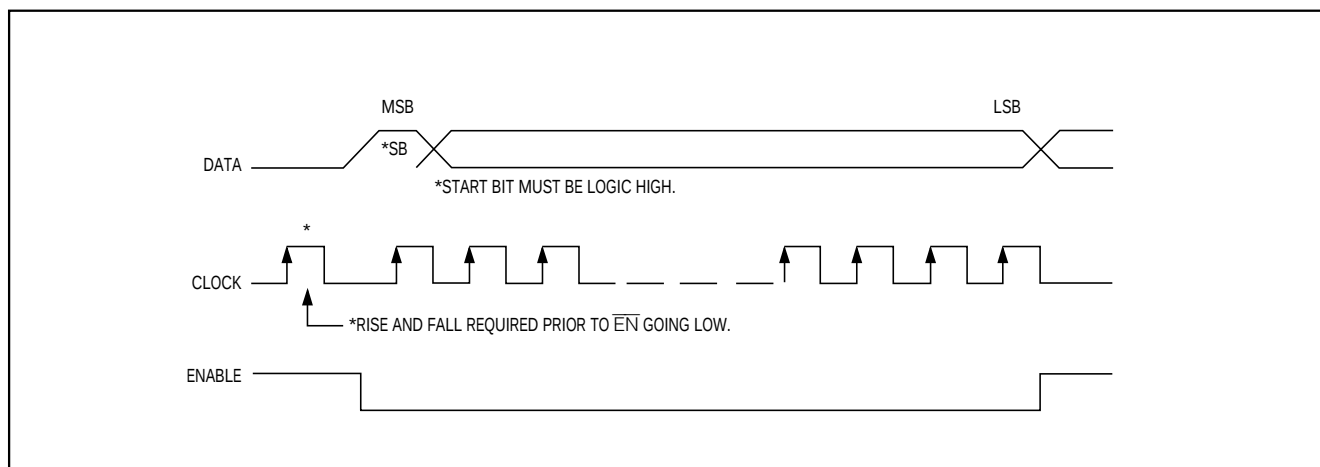


図6. 3線インタフェースのタイミング図

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

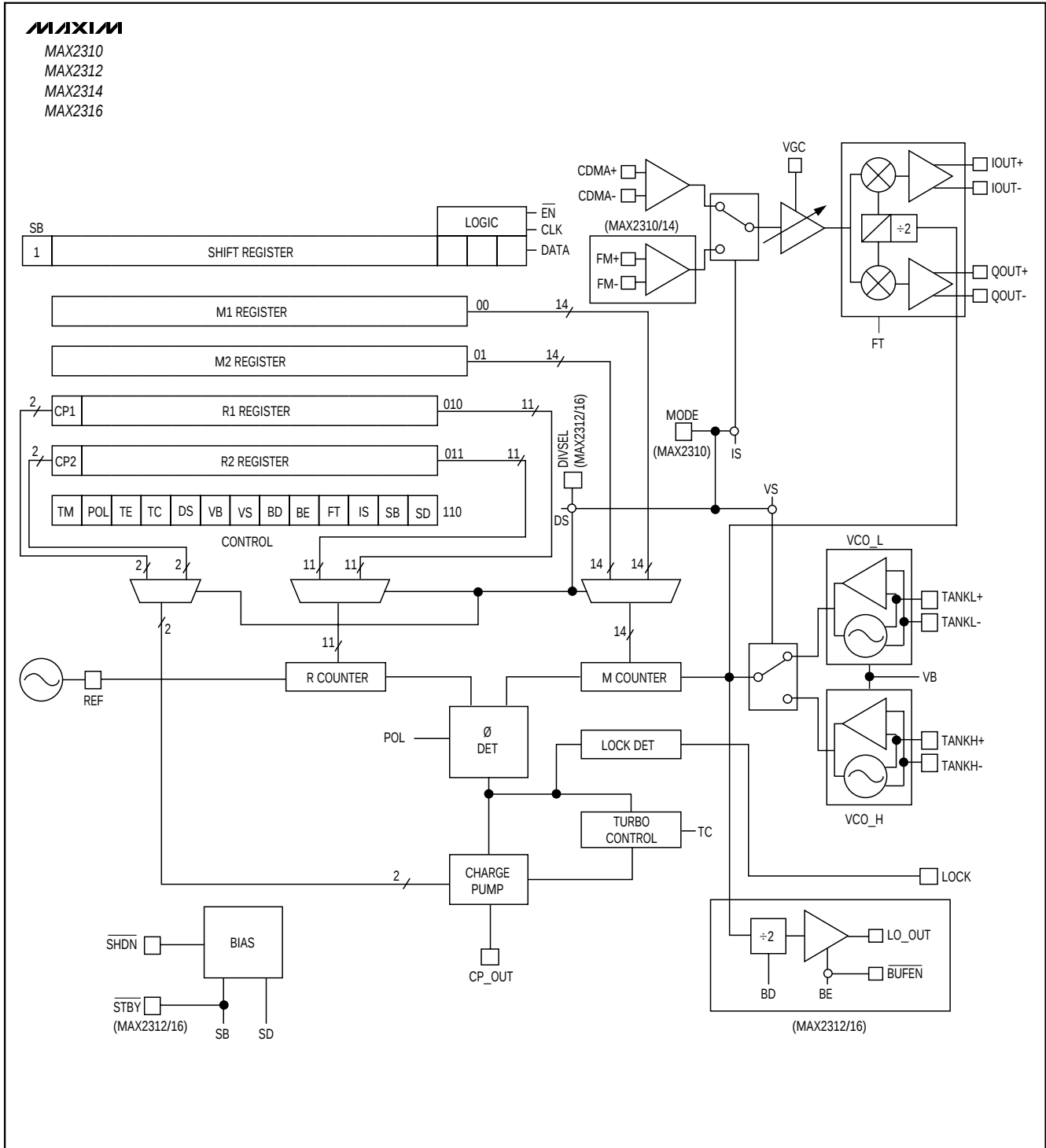


図7. ファンクションダイアグラム

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

MAX2310/MAX2312/MAX2314/MAX2316

表4. 制御レジスタ、デフォルト状態: 0B57h、アドレス: 110b

ビット ID	ビット名	パワーアップ状態	ビット位置 0=LSB	機能
TM	TEST_MODE	0	12	通常動作では0にしてください。
POL	CP_POL	1	11	ロジック" 1 "はチャージポンプ出力CP_OUTを $f_{REF}/R > f_{VCO}/M$ の時、電流ソースとします。この状態はVCO同調極性が電圧を増加させた時、周波数が減少する場合に使用します。ロジック" 0 "はチャージポンプ出力CP_OUTを $f_{VCO}/M > f_{REF}/R$ の時電源ソースとします。この状態は同調電圧を増加した時、VCO周波数を減少させる場合に使用します。
TE	TEST_ENABLE	0	10	通常動作では0にしてください。
TC	TURBO_CHARGE	1	9	ロジック" 1 "でターボチャージモードがアクティブになります。これはPLLで迅速に周波数を補足します。
DS	DIV_SEL	1	8	ロジック" 1 "でM1/R1分周比を選択します。ロジック" 0 "でM2/R2を選択します。
VB	VCO_BYP	0	7	ロジック" 1 "で外付VCO動作用にVCO入力をバイパスします。
VS	VCO_SEL	1	6	ロジック" 1 "でVCO_Hを選択し、ロジック" 0 "でVCO_Lを選択します。
BD	BUF_DIV	0	5	ロジック" 1 "でLOOUTポートの2分周を選択します。ロジック" 0 "で分周器をバイパスします。
BE	$\overline{\text{BUFEN}}$	1	4	ロジック" 1 "でLOOUTをディセーブルにします。ロジック" 0 "でLOOUTをイネーブルにします。
FT	FM_TYPE	0	3	FMモードでアクティブ。ロジック" 0 "でFMモード用に直交復調を選択します。ロジック" 1 "でダウンコンバージョンをIポートに選択します。
IS	IN_SEL	1	2	ロジック" 0 "でFM入力ポートを選択します。ロジック" 1 "でCDMA入力を選択します。
SB	$\overline{\text{STBY}}$	1	1	ロジック" 0 "でスタンバイモードをイネーブルにします。このモードではVCOがロック状態でレジスタがアクティブのままVGA及び復調段をシャットダウンします。
SD	$\overline{\text{SHDN}}$	1	0	ロジック" 0 "でレジスタによるシャットダウンをイネーブルにします。このモードはM及びRラッチ、及びシリアスバス以外の全てをシャットダウンします。

表5. レジスタデフォルト

REGISTER	DEFAULT
M1	10519 _{DEC}
M2	4269 _{DEC}
R1	492 _{DEC}
R2	492 _{DEC}
CTRL	0B57 _{HEX}
CP0	11 BIN
CP1	11 BIN

表6. チャージポンプ制御ビット

CP1	CP0	CHARGE-PUMP CURRENT AFTER ACQUISITION (μA)
0	0	150
0	1	210
1	0	300
1	1	425

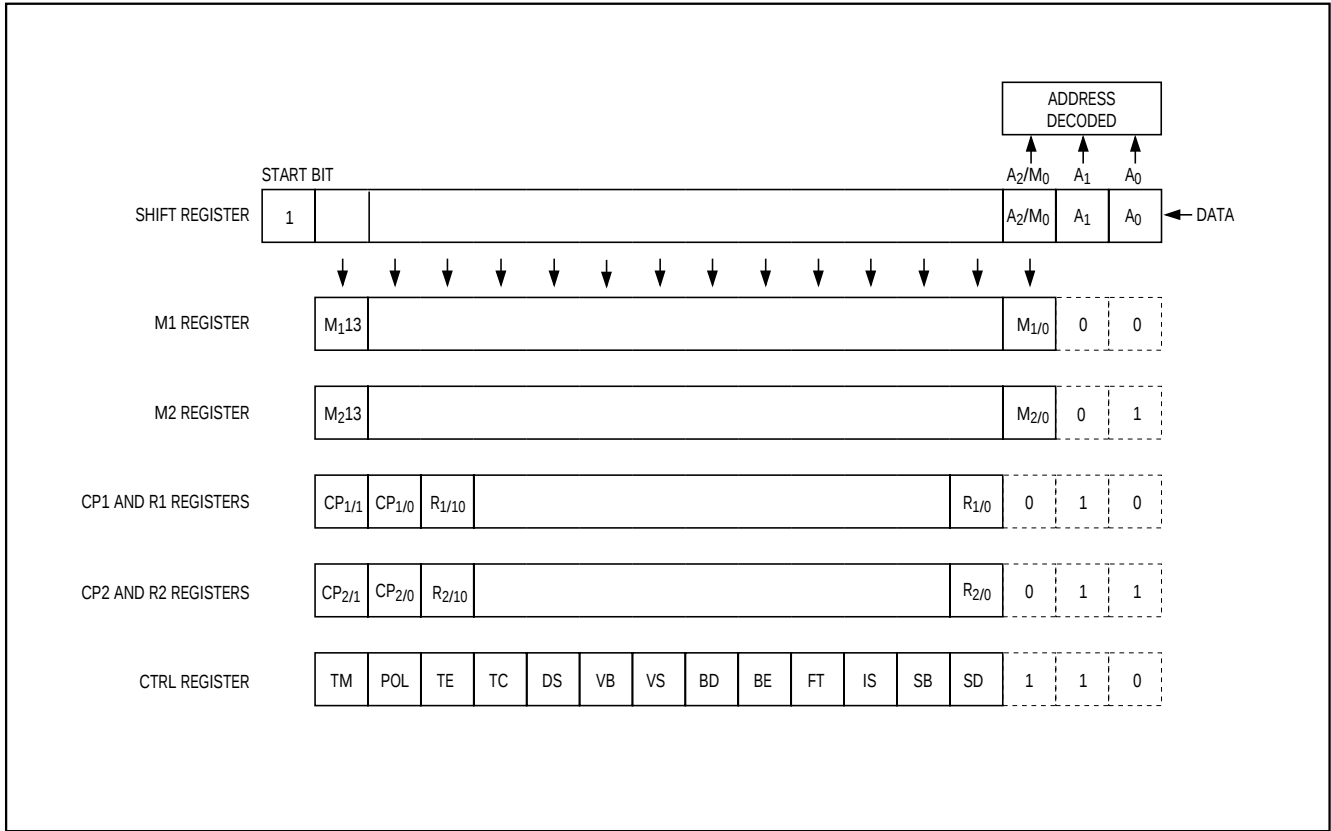
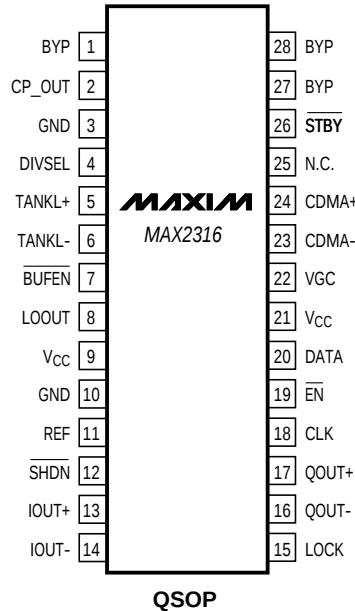
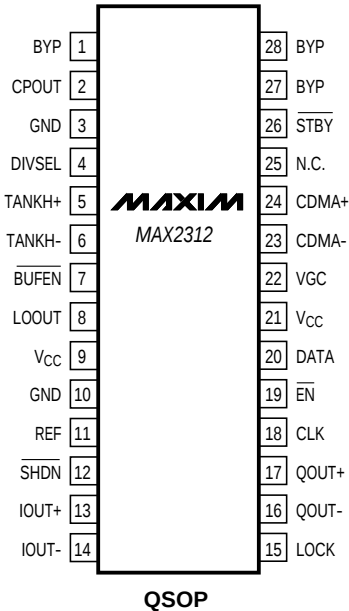
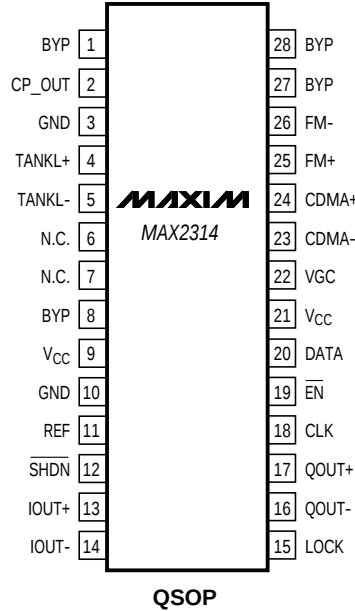
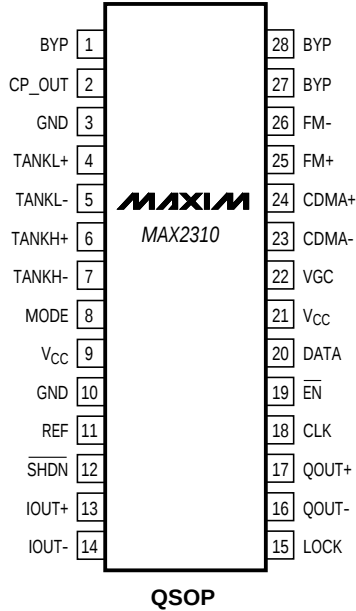


図8. プログラミングロジック

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

ピン配置

TOP VIEW

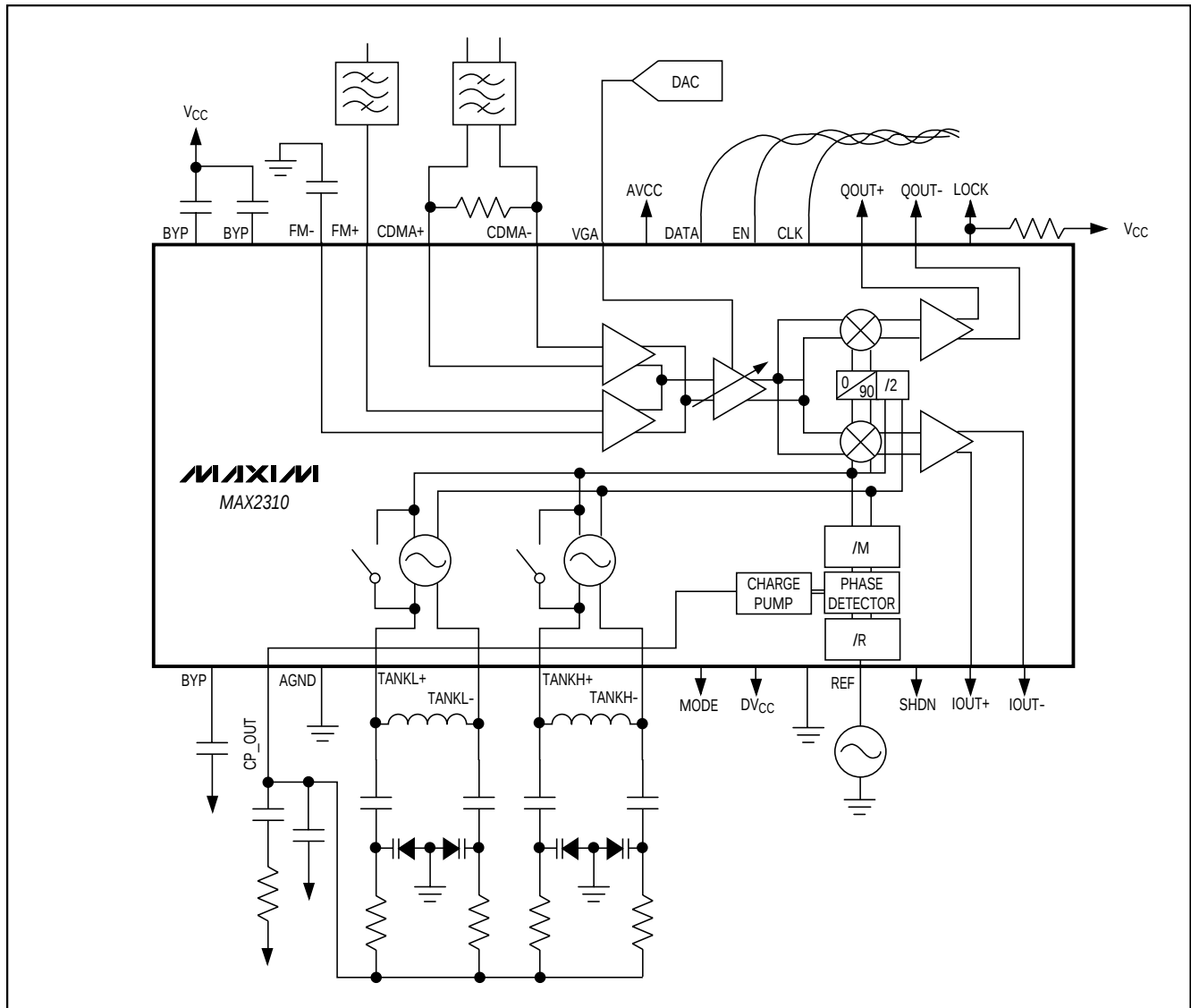


CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

チップ情報 _____

TRANSISTOR COUNT: 6422

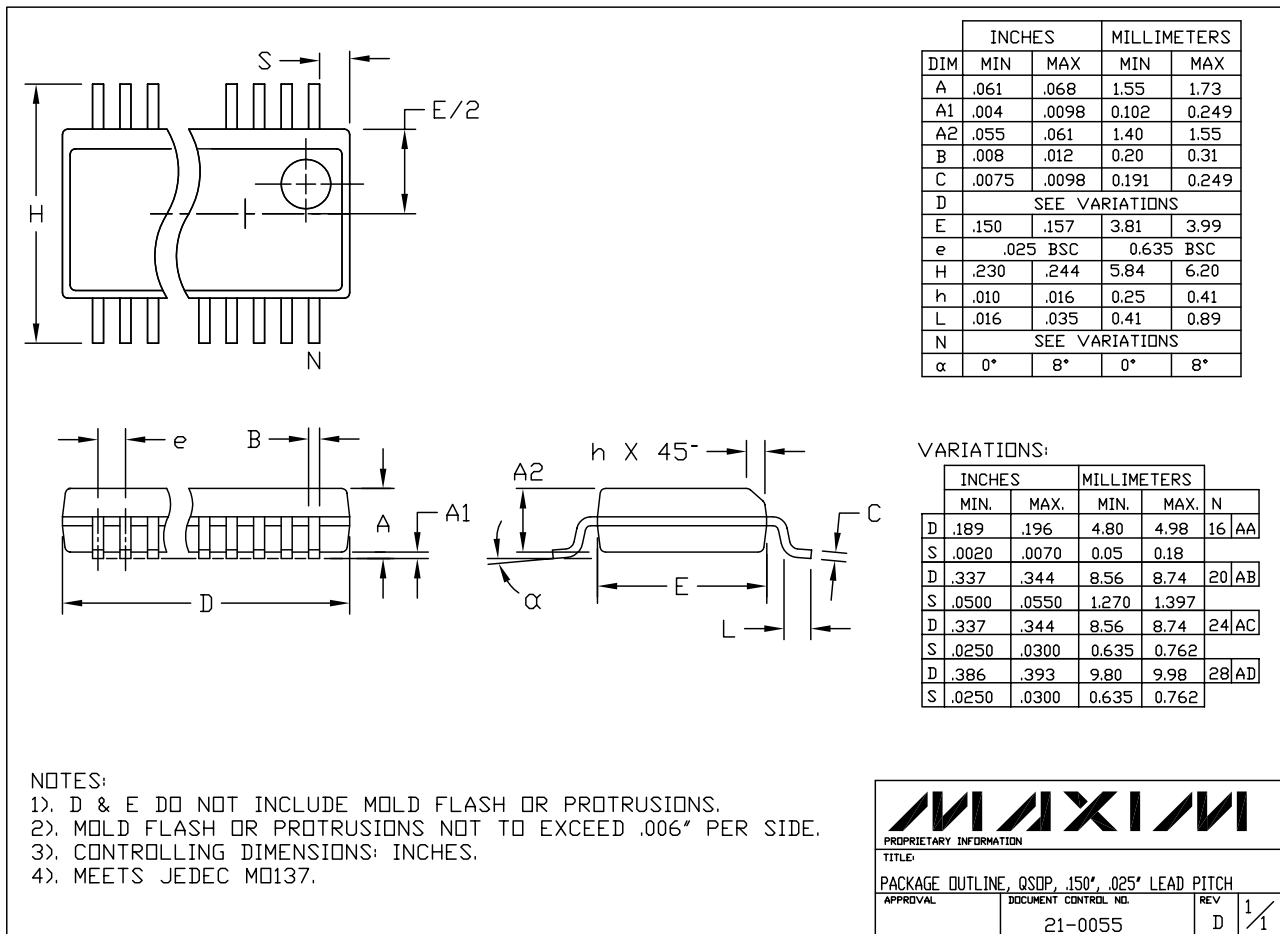
ブロック図 _____



MAX2310/MAX2312/MAX2314/MAX2316

CDMA IF VGA及びI/Q復調器 VCO及びシンセサイザ付

パッケージ



QSDP EPS