
R100-XP



Восьмиразрядный КМОП микроконтроллер

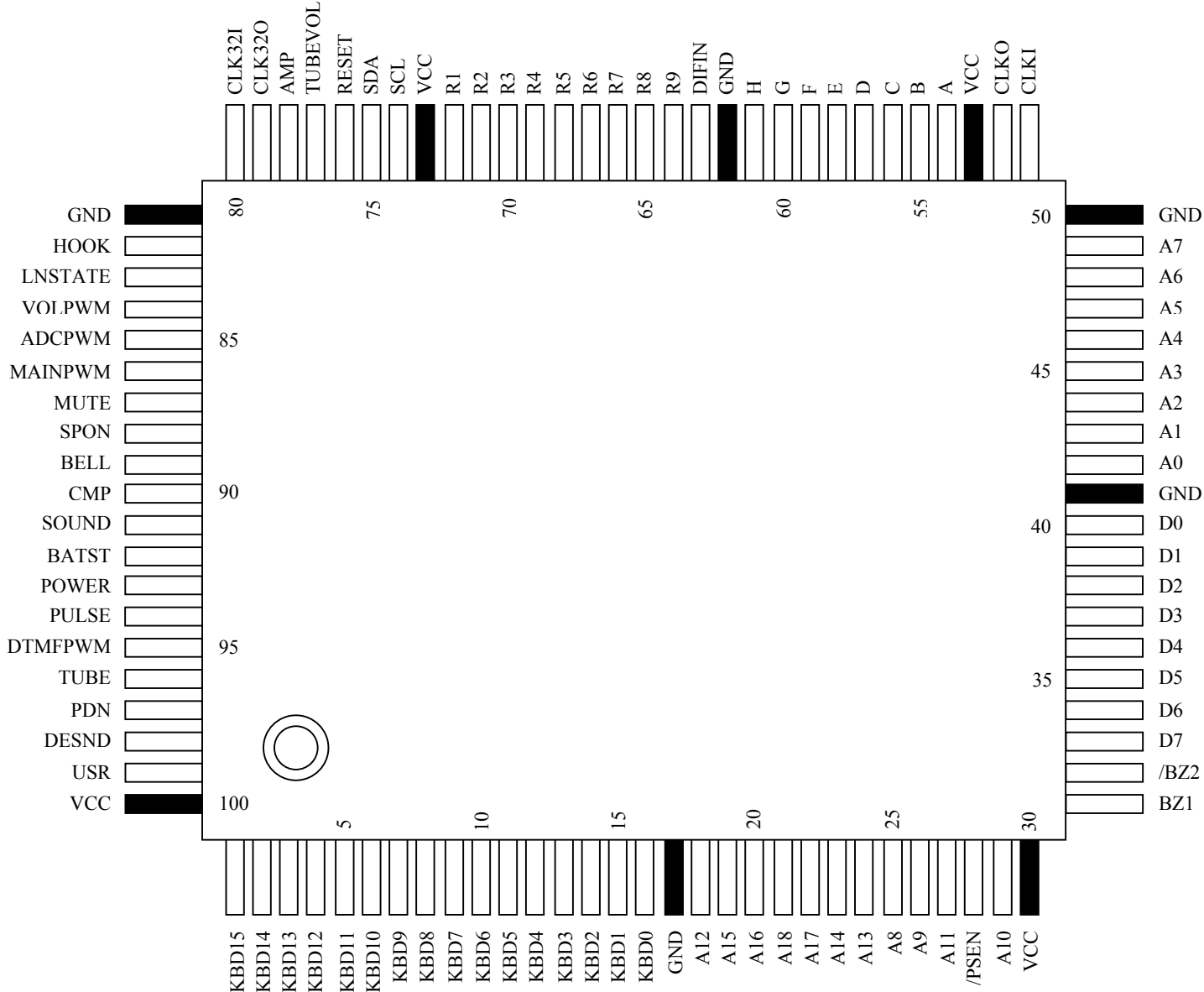
Текущая версия документа: апрель 2004

R100-XP высокопроизводительный восьмиразрядный микроконтроллер, совместимый по командам с семейством микроконтроллеров MCS51.

1. Отличительные возможности

- Рабочий диапазон
 - Рабочая частота ядра процессора : от 0 до 20 МГц
 - (при использовании внешней ПЗУ с $T_{pd}=70\text{нс}$,
 $CI(A0..A18,D0..D7,PSEN)=30\text{пФ}$, $V_{cc}=4.75$, $T_j=+125$): 8.6 МГц
 - Генератор низкой частоты : 32768 Гц
 - Напряжение питания : от 4.75В до 5.25В
(абсолютный максимум +7В).
 - Рабочая температура : от 0°C до +70°C
(кристалл: $T_j \text{ max } +125^\circ\text{C}$)
- Совместимость с МК MCS51
- Внутреннее ОЗУ данных : 256 байт
- Внешнее адресное пространство : 512К байт ПЗУ (максимум)
 - Из них программной памяти : 64К байт (максимум)
- Минимальное время выполнения одной инструкции : 1 период тактовой частоты
- Режим пониженного энергопотребления : Режим работы от кварцевого резонатора 32КГц (генератор основной тактовой частоты отключен). Выход из режима программный.
- Синтезатор звука : Совместим с Yamaha YM2149F и AY-3-8910 фирмы General Instruments . 3 генератора чистого тона и формирователь шумовых эффектов
- Постоянно включенный сторожевой таймер «Watchdog»
- Часы реального времени : Автономный счетчик, работающий от низкочастотного генератора
- Линии общего назначения : 52 линии, включая двунаправленные, линии с Pull up, линии с Pull down, линии с триггером шмитта на входе.
- Контроллер девятизначного семисегментного светодиодного индикатора с сильноточными выходами (24мА)
- Шим-формирователи : два 8-бит, два 6-бит (один с открытым стоком)
- Программируемый выход для подключения пьезоизлучателя
- 16 битный таймер-счетчик
- Корпус : QFP100 (Footprint: 3.2 mm)

2. Расположение выводов (вид сверху)



2.1. Описание выводов

Символьное обозначение	Описание работы
KBD0 - KBD15	Двунаправленные порты ввода-вывода с триггером шмитта на входе. Линии имеют максимальный выходной ток 16 мА. Имеется подтяжка на VCC*.
A0 – A18	Выходные линии адреса внешней памяти.
/PSEN	Выход сигнала выбора кристалла внешней памяти.
D0 – D7	Входы шины данных внешней памяти.
BZ1, /BZ2	Выходы управления керамическим пьезоизлучателем. Максимальный выходной ток 24 мА.
CLKI	Вход генератора основной тактовой частоты.
CLKO	Выход генератора основной тактовой частоты.
A, B, C, D, E, F, G	1. Двунаправленные порты ввода-вывода общего назначения с тремя состояниями и триггером шмитта на входе. 2. В режиме работы контроллера девятизначного семисегментного индикатора с параллельным интерфейсом – соответствующие сегменты индикатора с общим катодом. 3. Линии имеют максимальный выходной ток 24 мА.
H	1. Двунаправленный порт ввода-вывода общего назначения с тремя состояниями и триггером шмитта на входе. 2. В режиме работы контроллера девятизначного семисегментного индикатора с параллельным интерфейсом – соответствующий сегмент индикатора с общим катодом. 3. В режиме пониженного потребления может быть выходом внутренней тактовой частоты для формирователя короткого импульса выборки ПЗУ. 4. Линия имеет максимальный выходной ток 24 мА.
DIFIN	Вход формирователя короткого сигнала выборки ПЗУ в режиме пониженного энергопотребления (при работе от 32КГц генератора). Вход с КМОП триггером шмитта. Имеется подтяжка на VCC*.

R1 – R9	1. В режиме работы контроллера девятизначного семисегментного индикатора с параллельным интерфейсом – соответствующие разряды индикатора с общим катодом. 2. В режиме работы контроллера девятизначного семисегментного индикатора с последовательным интерфейсом (см. рис.5): R1 – выход общего назначения. R2 – R5 - двунаправленные линии ввода-вывода общего назначения с тремя состояниями и триггером шмитта на входе. R6 – выходной сигнал строка пакета из двух байтов данных RCLK R7 – выходной сигнал строка битов данных SRCLK R8 – выходной сигнал последовательных данных SER R9 – выход общего назначения. 3. В режиме работы с ЖКИ модулем на контроллере HOLTEK: R1 – выход общего назначения. R2 – двунаправленная линия шины данных модуля D3 R3 – двунаправленная линия шины данных модуля D2 R4 – двунаправленная линия шины данных модуля D1 R5 – двунаправленная линия шины данных модуля D0 R6 – выходной сигнал чтения данных /RD R7 – выходной сигнал записи данных /WR R8 – выходной сигнал выбора устройства /CS R9 – выходной сигнал включения подсветки модуля 4. Линии имеют максимальный выходной ток 24 мА.
SCL	Выход общего назначения.
SDA	Двунаправленный порт ввода-вывода общего назначения с тремя состояниями. Имеется подтяжка на VCC*.
RESET	Если этот вывод будет находиться в состоянии логической «1» в течение 1 периода низкочастотного генератора, R100-XP будет приведен в исходное состояние. Вход с КМОП триггером шмитта, имеет подтяжку на GND*.
TUBEVOL	Выход общего назначения. Максимальный выходной ток 8 мА.
AMP	Выход общего назначения.
CLK32I	Вход генератора 32768Гц.
CLK32O	Выход генератора 32768Гц.
HOOK	Вход общего назначения с КМОП триггером шмитта. Имеется подтяжка на VCC*.
LNSTATE	Вход общего назначения.
VOLPWM	Выход ШИМ-формирователя 6-бит с открытым стоком. Максимальный выходной ток 8 мА.
ADCPWM	Выход ШИМ-формирователя 6-бит.
MAINPWM	Выход ШИМ-формирователя 6/8-бит.

MUTE	Выход общего назначения. Максимальный выходной ток 8 мА.
SPON	Двунаправленный порт ввода-вывода с тремя состояниями и триггером шмитта на входе.
BELL	Вход общего назначения с КМОП триггером шмитта.
CMР	Вход общего назначения.
SOUND	Выход общего назначения.
BATST	Вход общего назначения с КМОП триггером шмитта. Имеется подтяжка на GND*
POWER	Вход общего назначения с КМОП триггером шмитта. Имеется подтяжка на GND*
PULSE	Двунаправленный порт ввода-вывода с тремя состояниями и триггером шмитта на входе.
DTMFPM	Выход ШИМ-формирователя 6/8-бит.
TUBE	Выход общего назначения. Максимальный выходной ток 8 мА.
PDN	Выход общего назначения. Максимальный выходной ток 12 мА.
DESND	Двунаправленный порт ввода-вывода с тремя состояниями и триггером шмитта на входе.
USR	Двунаправленный порт ввода-вывода с тремя состояниями и триггером шмитта на входе.

*Подтяжка на VCC или GND (Pull up, Pull down) – сопротивление около 100 КОм.

3. Предельно допустимые значения.

Параметр	Ед.Изм.	Мин.	Макс.
Напряжение питания	В		7
Напряжение на входах	В	-0.5	V _{cc} +0.5
Макс. допустимый ток вывода без тиристорного защелкивания	мА	-150	150
Температура кристалла	°С	-40	+125
Температура хранения	°С	-55	+125
Максимальная рассеиваемая мощность	мВт		254

4. Рекомендуемый режим работы

Параметр	Обозн.	Ед.Изм.	Мин.	Тип.	Макс.
Напряжение питания	V _{cc}	В	4.75	5	5.25
Температура окр. среды	T _a	°C	0	+25	+70
Температура кристалла	T _j	°C	-40	+30	+125
Входное напряжение лог. 0 (кроме CLK32I)	V _{IL}	В	-0.3		0.3*V _{cc}
Входное напряжение лог. 1 (кроме CLK32I)	V _{IH}	В	0.7*V _{cc}		V _{cc} +0.3
Входное напряжение лог. 0 (CLK32I)	VI32L	В	-0.3		0.8
Входное напряжение лог. 0 (CLK32I)	VI32H	В	2.0		V _{cc} +0.3
Выходное напряжение лог. 1 при I _o =-24 мА : A, B, C, D, E, F, G, H, R1...R9, BZ, /BZ	VO24H	В	2.4		
Выходное напряжение лог. 0 при I _o =24 мА : A, B, C, D, E, F, G, H, R1...R9, BZ, /BZ	VO24L	В			0.4
Выходное напряжение лог. 1 при I _o =-16 мА : KBD0..15	VO16H	В	2.4		
Выходное напряжение лог. 0 при I _o =16 мА : KBD0..15	VO16L	В			0.4
Выходное напряжение лог. 1 при I _o =-12 мА : PDN	VO12H	В	2.4		
Выходное напряжение лог. 0 при I _o =12 мА : PDN	VO12L	В			0.4
Выходное напряжение лог. 1 при I _o =-8 мА : TUBEVOL, CLK32O, VOLPWM, MUTE, TUBE	VO8H	В	2.4		
Выходное напряжение лог. 0 при I _o =8 мА : TUBEVOL, CLK32O, VOLPWM, MUTE, TUBE	VO8L	В			0.4
Выходное напряжение лог. 1 при I _o =-4 мА : A0..18, PSEN, SCL, SDA, AMP, ADCPWM, MAINPWM, SOUND, PULSE, SPON, DTMFPWM, DESND, USR	VO4H	В	2.4		
Выходное напряжение лог. 0 при I _o =4 мА : A0..18, PSEN, SCL, SDA, AMP, ADCPWM, MAINPWM, SOUND, PULSE, SPON, DTMFPWM, DESND, USR	VO4L	В			0.4
Средняя потребляемая мощность (без учета нагрузки выходов)	P _d	мВт/ МГц		7.37	
Тактовая частота (CLKI)*	F _{clk}	МГц	0		20
Тактовая частота (CLK32I)**	F _{clk32}	МГц	0		1
Задержка распространения CLK->A0..18, PSEN при C _l =30pF ***	T _{co-adr}	нс	13.8	16.7	22.6
Время установления D0..7->CLK ***	T _{su-dat}	нс	9.82	14.8	24.1
Минимальная длительность сигнала DIFIN	T _{difin}	нс	120		

* Максимальная тактовая частота рассчитывается для каждого случая исходя из примененной внешней памяти. $F_{max} = 1/(T_{co-adr} + T_{su-dat} + T_{pdROM})$. Например для случая программной памяти со временем доступа 70 нс, температуре кристалла 30 °C и $V_{cc}=5.0V$ $F_{max}=1/(16.7 \text{ нс} + 14.8 \text{ нс} + 70 \text{ нс}) = 9.9 \text{ МГц}$.

** Встроенный генератор оптимизирован для работы с «часовым» кварцем – 32768 Гц. Работа данного генератора от других кварцевых резонаторов не гарантируется, однако возможна подача внешнего тактового сигнала на вход CLK32I. Частота сигнала на этом входе не должна превышать значение основной тактовой частоты, деленной на 16.

*** Минимальное значение: $T_j = -55 \text{ °C}$, $V_{cc}=5.25V$; Типовое: $T_j = +30 \text{ °C}$, $V_{cc}=5.0V$; максимальное: $T_j = +125 \text{ °C}$, $V_{cc}=4.75V$;

5. Блок формирования тактовых сигналов и сброса процессора

Блок состоит из двух генераторов с кварцевой стабилизацией частоты (один из них с возможностью останова), делителя с $K=64$ для формирования внутреннего тактового сигнала LCLK, стробирующего счетчик сторожевого таймера, контроллер семисегментного индикатора и счетчик часов реального времени, схемы формирования сброса и мультиплексора тактовых сигналов.

Основной кварцевый генератор оптимизирован для работы с керамическими резонаторами на частоты 4..16 МГц и имеет вход отключения генерации, используемый для останова этого генератора в режиме низкого потребления. Возможна подача внешнего тактового сигнала на вход CLKI данного генератора. При этом емкость нагрузки на выходе CLKO не должна превышать 80 пФ.

Низкочастотный кварцевый генератор оптимизирован для подключения стандартного «часового» кварца 32768 Гц. Возможна подача внешнего тактового сигнала на вход CLK32I, при этом требования к крутизне фронтов этого сигнала нет – так на входе установлен триггер шмитта. Емкостная нагрузка на выход CLK32O не должна превышать 100 пФ.

Мультиплексор тактовых сигналов обеспечивает безглитчевое переключение основного внутреннего тактового сигнала при переходе в режим пониженного потребления и обратно. Узел формирования сигнала сброса обеспечивает начальную инициализацию процессора и функцию «сторожевого таймера». Внешний сигнал RESET проходит через триггер шмитта и простробирован низкочастотным тактовым сигналом для устойчивости к помехам. При включении питания (или активном уровне внешнего RESET) счетчик сторожевого таймера устанавливается в состояние «0x7F», что приводит к формированию внутреннего сигнала сброса. Для нормального функционирования процессора программа должна периодически сбрасывать счетчик сторожевого таймера, для этого в регистр WDRESET (адрес 0xAA, direct) необходимо занести значение “0x55”. Автоматический сброс процессора происходит в случае, если не было сброса счетчика сторожевого таймера 127 тактов сигнала LCLK.

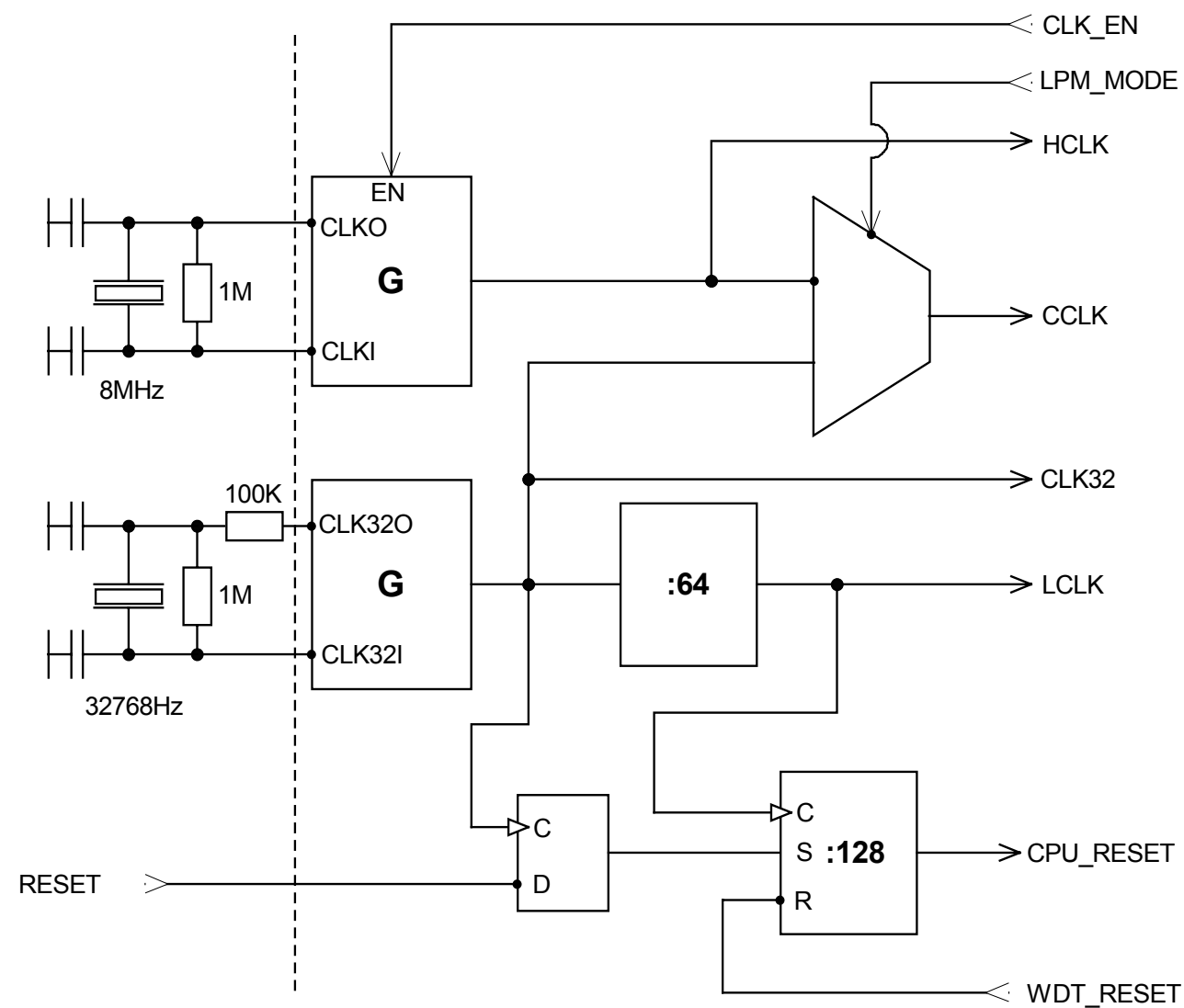


Рис.1 Структурная схема блока формирования тактовых сигналов и сброса

5.1. Регистры

WDTRESET (0xAA, direct)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0

По факту записи в данный регистр значения 0x55 происходит сброс счетчика сторожевого таймера.

6. Блок управления пониженным энергопотреблением

Блок управления энергопотреблением представляет собой конечный автомат, который по командам из процессора обеспечивает переключение внутренней тактовой частоты процессора и режимов работы периферийных устройств (например, PWM-контроллеров). Вход в первый режим низкого потребления (с переключением на низкочастотный тактовый генератор) происходит по факту исполнения процессором инструкции с кодом 0x41 0x00 (мнемоническое обозначение LPM_32KHZ). Процессор подает по линии LPM_REQ запрос к данному блоку и входит в состояние ожидания сигнала LPM_ACK. Блок управления выполняет следующую последовательность действий: переключает через 1 такт сигнала HCLK после спада CLK32 мультиплексор на режим работы от низкочастотного сигнала. Затем останавливает основной тактовый генератор и выдает LPM_ACK, разрешая процессору продолжение работы. После этого все системы процессора работают от низкочастотного генератора. В этом режиме можно понизить потребление микросхемы ПЗУ, из которой производится выборка команд. Для этого между выходом “Н” и входом “DIFIN” требуется подключить дифференцирующую цепочку, которая будет формировать короткий импульс выборки на ПЗУ, в результате чего ПЗУ оказывается выбранной малую часть времени (см.рис.3). Выбранная из ПЗУ команда или данные в этом режиме защелкиваются в специальный внутренний регистр процессора, который в нормальном режиме не участвует в выборке команд. Эта возможность является отключаемой (бит DIFDIS в регистре LPMODE).

Выход из режима низкого потребления с переключением тактовой частоты осуществляется при выполнении процессором инструкций с кодом 0x61 0x00 (мнемоническое обозначение LPM_32KHZEXIT). При этом блок выполняет действия: включает основной тактовый генератор. Ожидает LPMOSCSTART тактов сигнала CLK32. Переключает мультиплексор тактового сигнала на режим работы от HCLK. Выводит процессор из режима ожидания выдачей LPM_ACK.

Вход в режим «полный останов на время» осуществляется выполнением процессором инструкции с кодом 0x21 0x00 (мнемоническое обозначение LPM_ALLOFF). В результате блок управления потреблением останавливает тактовый генератор, но мультиплексор не переключает, а отключает от всех тактов. После чего входит в ожидание LPMTIME тактов сигнала LCLK (деленный на 64 низкочастотный тактовый сигнал). По окончании ожидания включает основной тактовый генератор и по прошествии LPMOSCSTART периодов CLK32 осуществляет подачу высокочастотного тактового сигнала на все системы процессора, затем выводит процессор из состояния ожидания.

Во время нахождения процессора в любом из режимов пониженного потребления выходы VOLPWM, ADCPWM, DTMFPWM и MAINPWM находятся в фиксированном состоянии, определяемом регистром LPMODE, так как нормальное функционирование широтно-импульсных модуляторов, при работе процессора от низкочастотного генератора и выключенном высокочастотном генераторе, невозможно.

ВНИМАНИЕ!

1. Использование режимов пониженного потребления возможно только в том случае, если основной (высокочастотный) тактовый генератор успевает запуститься в течение не более 8 тактов низкочастотного генератора. Для случая основной частоты 8 МГц и низкочастотного тактового сигнала 32768 Гц желательно применение керамического резонатора, с которым время запуска генератора минимально.
2. При выходе из режима «полный останов на время» из-за ошибки в блоке управления потреблением возникает прерывание основной генерации на 1 такт CLK32 с задержкой на 1 такт CLK32 после выхода процессора из состояния ожидания. В результате теоретически могут быть сбои в момент этого ошибочного останова и повторного пуска генератора в результате прохождения коротких импульсов по тактовым цепям. При использовании этого режима для надежной работы системы необходимо выполнение команд “NOP” во время этого «паразитного» останова.

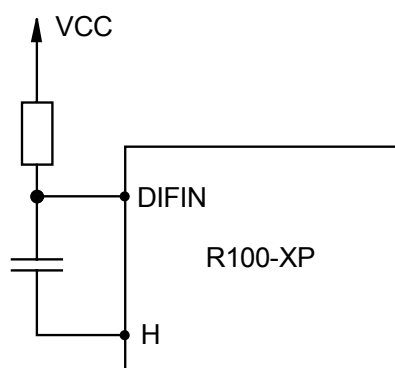


Рис.2 Схема включения дифференцирующей цепочки

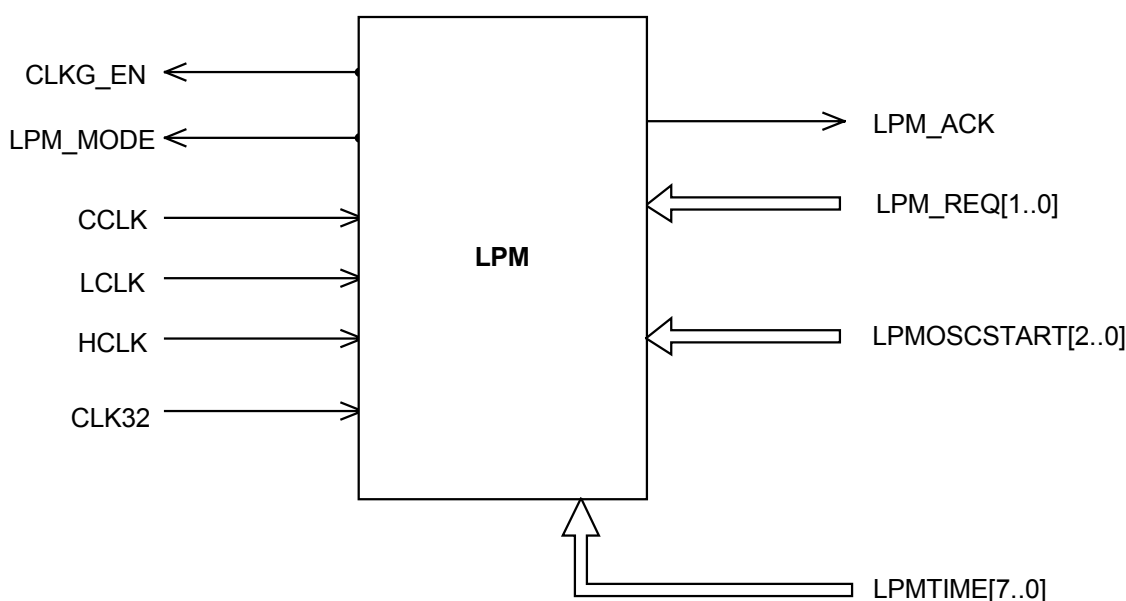


Рис.3 Конечный автомат LPM

6.1. Регистры блока управления потреблением:

LPMOSCSTART (0xCD, direct)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	ST2	ST1	ST0

ST2...ST0 - время запуска основного тактового генератора в периодах низкочастотного генератора. $T_{start} = LPMOSCSTART + 1$

LPMTIME (0xCC, direct)

D7	D6	D5	D4	D3	D2	D1	D0
LT7	LT6	LT5	LT4	LT3	LT2	LT1	LT0

LT7...LT0 - время нахождения в режиме «полный останов» в периодах LCLK (низкочастотный тактовый генератор, деленный на 64).
 $T_{stop} = LPMTIME + 1$

LPMMODE (0xCE, direct)

D7	D6	D5	D4	D3	D2	D1	D0
TRIA	TRIM	TRID	STV	STA	STM	STD	DIFDIS

TRIA - во время пониженного потребления выход ADCPWM в 3-м состоянии
 TRIM - во время пониженного потребления выход MAINPWM в 3-м состоянии
 TRID - во время пониженного потребления выход DTMFPWM в 3-м состоянии
 STV - состояние выхода VOLPWM во время пониженного потребления: 1 – в нуле, 0 – обрыв (3-е состояние).
 STA - состояние ADCPWM в пониженном потреблении, если TRIA=0
 STM - состояние MAINPWM в пониженном потреблении, если TRIM=0
 STD - состояние DTMFPWM в пониженном потреблении, если TRID=0
 DIFDIS - запрет использования дифференцирующей цепочки между выходом “Н” и входом DIFIN, предназначенной для понижения потребления микросхемы ПЗУ.

7. Таймеры и система прерываний процессора.

Блок таймеров состоит из фиксированного 8-битного делителя сигнала CCLK на 256, программируемого 16-битного делителя этого же тактового сигнала и фиксированного делителя на 16 низкочастотного тактового сигнала CLK32. Фиксированный 8-битный делитель CCLK может вызывать прерывание с частотой один раз за 256 тактов процессора и его же выход используется формирователями широтно-импульсных модулированных сигналов. Данное прерывание удобно использовать для модификации регистров ШИМ-генераторов. Программируемый делитель используется для организации периодических прерываний с периодом до 65536 тактов процессора. Выход делителя низкочастотного тактового сигнала

используется для формирования периодического прерывания с частотой CLK32/16. Вектора прерываний не фиксированы и могут программироваться (регистр XAD). К системе прерываний также можно отнести добавленную в процессорное ядро команду с мнемоническим обозначением “HLT” (код 0x01 0x00), она вызывает останов процессора (точнее выполнение команд NOP при остановленной выборке из ПЗУ) до возникновения обслуживаемого запроса прерывания.

К блоку таймеров также относится дополнительный 12-битный счетчик с защелкой, предназначенный для упрощения программной организации часов реального времени. На тактовый вход счетчика подается сигнал CLK32, деленный на 64. Данные с выхода счетчика можно переписать в защелку (по факту любой операции записи в один из ее регистров), и затем считывать с гарантией соответствия младшей части защелкнутого результата старшей.

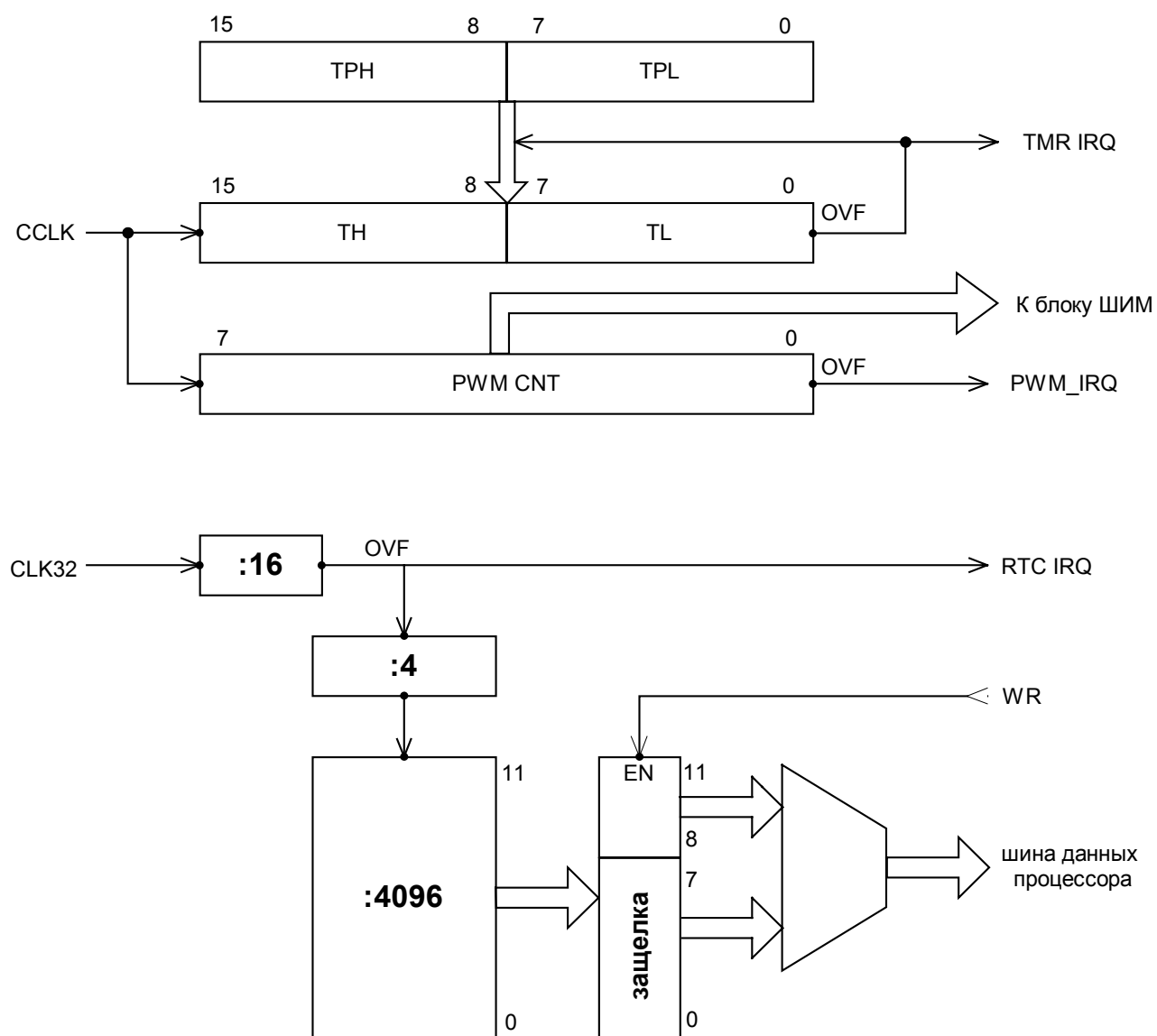


Рис.4 Структурная схема таймеров и системы прерываний процессора

7.1. Регистры блока таймеров и системы прерываний.

TL (0x8A, direct)

D7	D6	D5	D4	D3	D2	D1	D0
T7	T6	T5	T4	T3	T2	T1	T0

TH (0x8C, direct)

D7	D6	D5	D4	D3	D2	D1	D0
T15	T14	T13	T12	T11	T10	T9	T8

T15...T0 – текущее значение счетчика программируемого делителя. Данный счетчик увеличивается на 1 каждый такт (CCLK) процессора. Прерывание формируется в момент переполнения.

TPL (0x8B, direct)

D7	D6	D5	D4	D3	D2	D1	D0
TP7	TP6	TP5	TP4	TP3	TP2	TP1	TP0

TPH (0x8D, direct)

D7	D6	D5	D4	D3	D2	D1	D0
TP15	TP14	TP13	TP12	TP11	TP10	TP9	TP8

TP15...TP0 – значение, определяющие период счета программируемого счетчика. Загружается в TL/TH по факту переполнения.

IE (0xA8, direct, бит-адресуемый)

D7	D6	D5	D4	D3	D2	D1	D0
IE	TMREN	PP	RP	TP	PE	RE	TE

- IE - глобальное разрешение прерываний.
- TMREN - разрешение счета программируемого делителя.
- PP - приоритет прерывания от переполнения 8-битного фиксированного делителя CCLK (PWMIRQ)
- RP - приоритет прерывания от делителя на 16 сигнала CLK32 (RTCIRQ)
- TP - приоритет прерывания от программируемого делителя (TMRIRQ)
- PE - разрешение прерывания PWMIRQ
- RE - разрешение прерывания RTCIRQ
- TE - разрешение прерывания TMRIRQ

XAD (0xF8, direct, бит-адресуемый)

D7	D6	D5	D4	D3	D2	D1	D0
RV5	PV6	PV5	TV6	TV5	XA18	XA17	XA16

- RV5 - вектор прерывания RTCIRQ (00V01011 – в зависимости от состояния бита вектор равен либо 0x000B, либо 0x002B)
- PV6...PV5 вектор прерывания PWMIRQ (0VV10011 – в зависимости от состояния битов вектор может быть 0x0013, 0x0033, 0x0053, 0x0073)
- TV6...TV5 вектор прерывания TMRIRQ (0VV00011 – в зависимости от состояния битов вектор может быть 0x0003, 0x0023, 0x0043, 0x0063)
- XA18...XA16 управление расширенными адресными шинами – описано в разделе системы команд процессора (команда MOVC), к системе прерываний не относится.

RTCL (0xC7, direct)

D7	D6	D5	D4	D3	D2	D1	D0
RTCL7	RTCL6	RTCL5	RTCL4	RTCL3	RTCL2	RTCL1	RTCL0

- RTCL7...RTCL0 - биты 7...0 защелки счетчика реального времени.
Любая запись в данный регистр приводит к защелкиванию нового текущего результата из счетчика в защелку.

RTCH (0xC9, direct)

D7	D6	D5	D4	D3	D2	D1	D0
BATST	0	0	0	RTCL11	RTCL10	RTCL9	RTCL8

- RTCL11...RTCL8 - биты 11...8 защелки счетчика реального времени.
- BATST - состояние сигнала BATST (92 вывод процессора, не защелкивается, выведен в регистр напрямую, бит к блоку таймеров не относится)

8. Блок формирования широтно-импульсных модулированных сигналов.

Блок формирователей ШИМ сигнала состоит из двух независимых идентичных формирователей (PWM0, PWM1), способных работать в 8-ми и 6-ти битном режиме с теневым регистром, загружаемым по факту переполнения счетчика PWMCNT (см. схему блока таймеров, рис. 4), а также в режиме непрерывного сравнения, когда теневой регистр не используется. В 6-битном режиме используются СТАРШИЕ биты регистров, и частота несущей повышается в 4 раза по сравнению с 8-битным. У этих формирователей имеется вход «модулятора» (MODn), который по логическому «И» смешан с выходом генератора. Выходы этих формирователей могут быть подключены к выводам MAINPWM и DTMFPWM микросхемы. Также на данные выходы может быть подан сигнал с заполнением «1/2» или заданный логический уровень. Режимы работы ШИМ-генераторов задаются в регистре PWMCTL, а режимы работы выходов MAINPWM и

DTMF PWM – в регистре MCTL. ШИМ-генератор PWM0 может быть отключен от управления и подключен к выходу музыкального синтезатора через соответствующий регистр данных. В этом режиме для качественного формирования синтезированного сигнала ШИМ формирователь должен быть настроен на 8-битный режим при отключенном теневом регистре.

Также имеется два 6-битных формирователя с меньшими возможностями. Первый из них не имеет модулятора (но имеет отключаемый теневой регистр), его выход постоянно подключен к выводу ADCPWM. Последний формирователь имеет постоянно включенный теневой регистр, и его выход подсоединен к выводу VOLPWM микросхемы (выход с открытым стоком).

8.1. Регистры

PWMCTL (0xB8, direct, бит-адресуемый)

D7	D6	D5	D4	D3	D2	D1	D0
WD1	WD0	R1OUT	ARLD	MOD1	RLD1	MOD0	RLD0

WD1	-	1: PWM1 8 бит 0: PWM1 6 бит
WD0	-	1: PWM0 8 бит 0: PWM0 6 бит
R1OUT	-	Состояние выхода R1 в режимах последовательного индикатора или LCD (к блоку формирователей ШИМ не относится).
ARLD	-	отключение теневого регистра на ADCPWM.
MOD1	-	модулятор PWM1
RLD1	-	отключение теневого регистра PWM1
MOD0	-	модулятор PWM0
RLD0	-	отключение теневого регистра PWM0

MCTL (0x88, direct, бит-адресуемый)

D7	D6	D5	D4	D3	D2	D1	D0
MBIT	AYENA	BZM1	BZM1	DM1	DM0	MM1	MM0

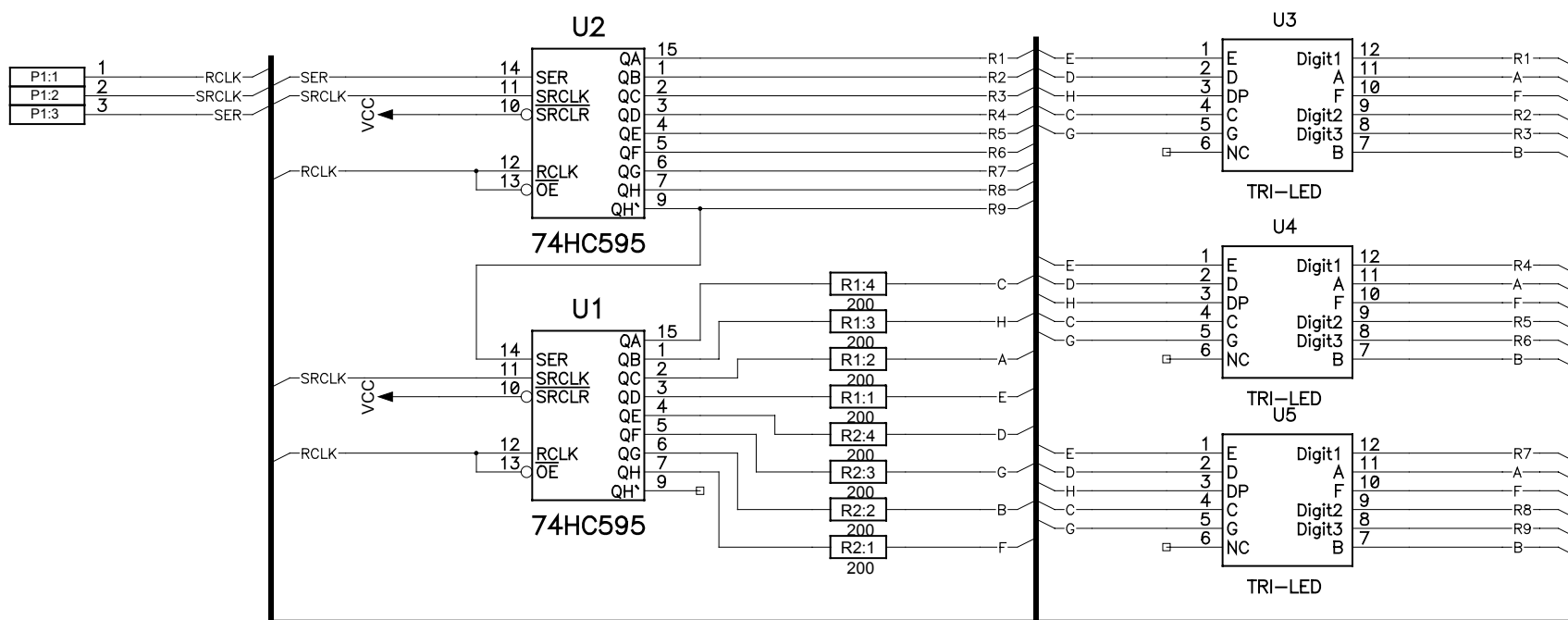
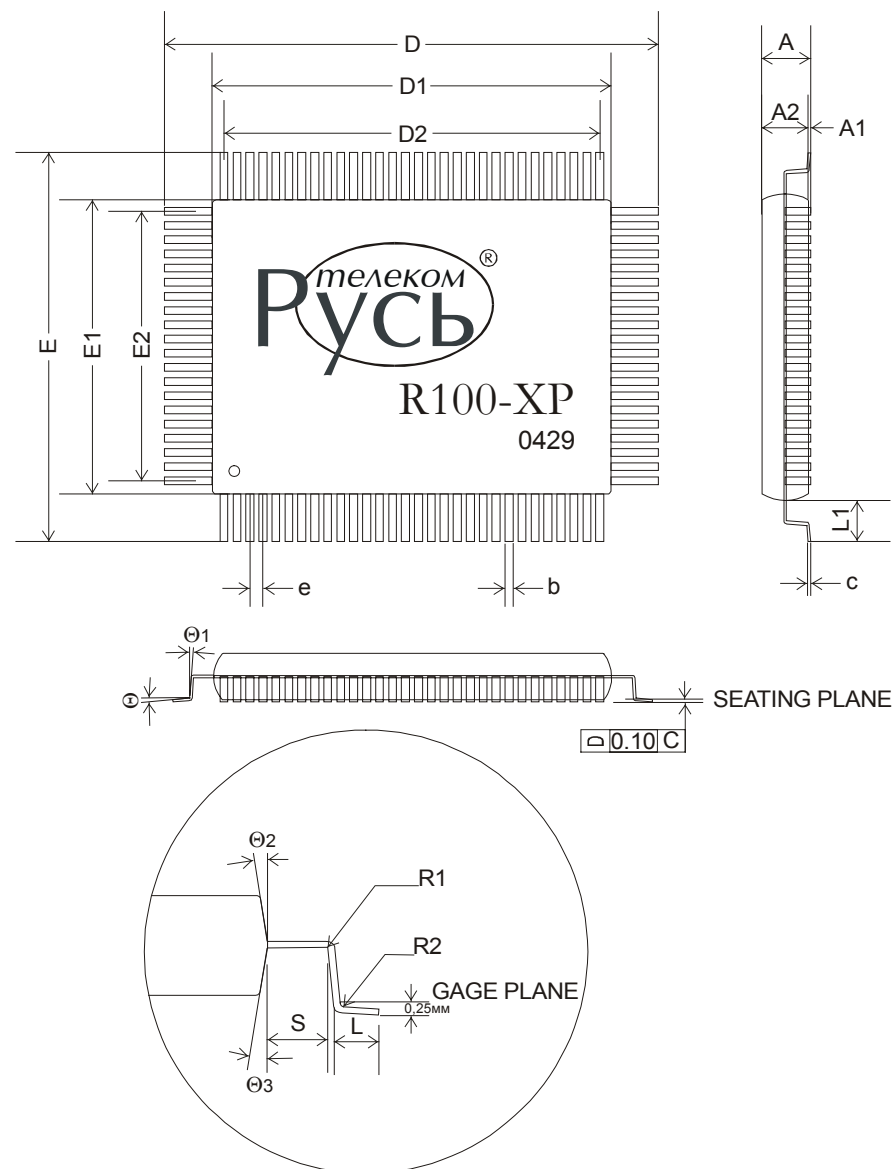


Рис.5 Схема подключения девятизначного семисегментного индикатора с последовательным интерфейсом.



Символ	Размер мм		
	Мин.	Ном.	Макс.
A	---	---	3.40
A1	0.25	---	---
A2	2.55	2.72	3.05
D	23.90		
D1	20.00		
D2	18.85		
E	17.90		
E1	14.00		
E2	12.35		
R2	0.13	---	0.30
R1	0.13	---	---
Θ	0°	3.5°	7°
Θ1	0°	---	---
ALLOY 42 L/F Θ2, Θ3	7°		
COPPER L/F Θ2, Θ3	15°		
b	0.22	0.30	0.38
c	0.11	0.15	0.23
e	0.65		
L	0.73	0.88	1.03
L1	1.95		
S	0.40	---	---

Рис. Габаритные размеры корпуса QFP100 14x20, Footprint 3.9 mm

Copyright © Each Manufacturing Company.

All Datasheets cannot be modified without permission.

This datasheet has been download from :

www.AllDataSheet.com

100% Free DataSheet Search Site.

Free Download.

No Register.

Fast Search System.

www.AllDataSheet.com